

Универзитет у Београду  
Електротехнички факултет

# ИМПЛЕМЕНТАЦИЈА RISC-V ПРОЦЕСОРА СА ПОДРШКОМ ЗА ЕКСТЕРНИ УВИД У СТАЊЕ ПРОЦЕСОРА

---

Дипломски рад

Ментор:  
проф. др Захрарије Радивојевић,  
ванредни професор

Студент:  
Лазар Премовић 2019/0091

Београд, Септембар 2023.

## Преглед:

- RISC-V
- Екстерно дебаговање
- Имплементирани систем
- RISC-V језгро
- Подршка за екстерно дебаговање
- Софтверска подршка
- Демонстрација
- Закључак

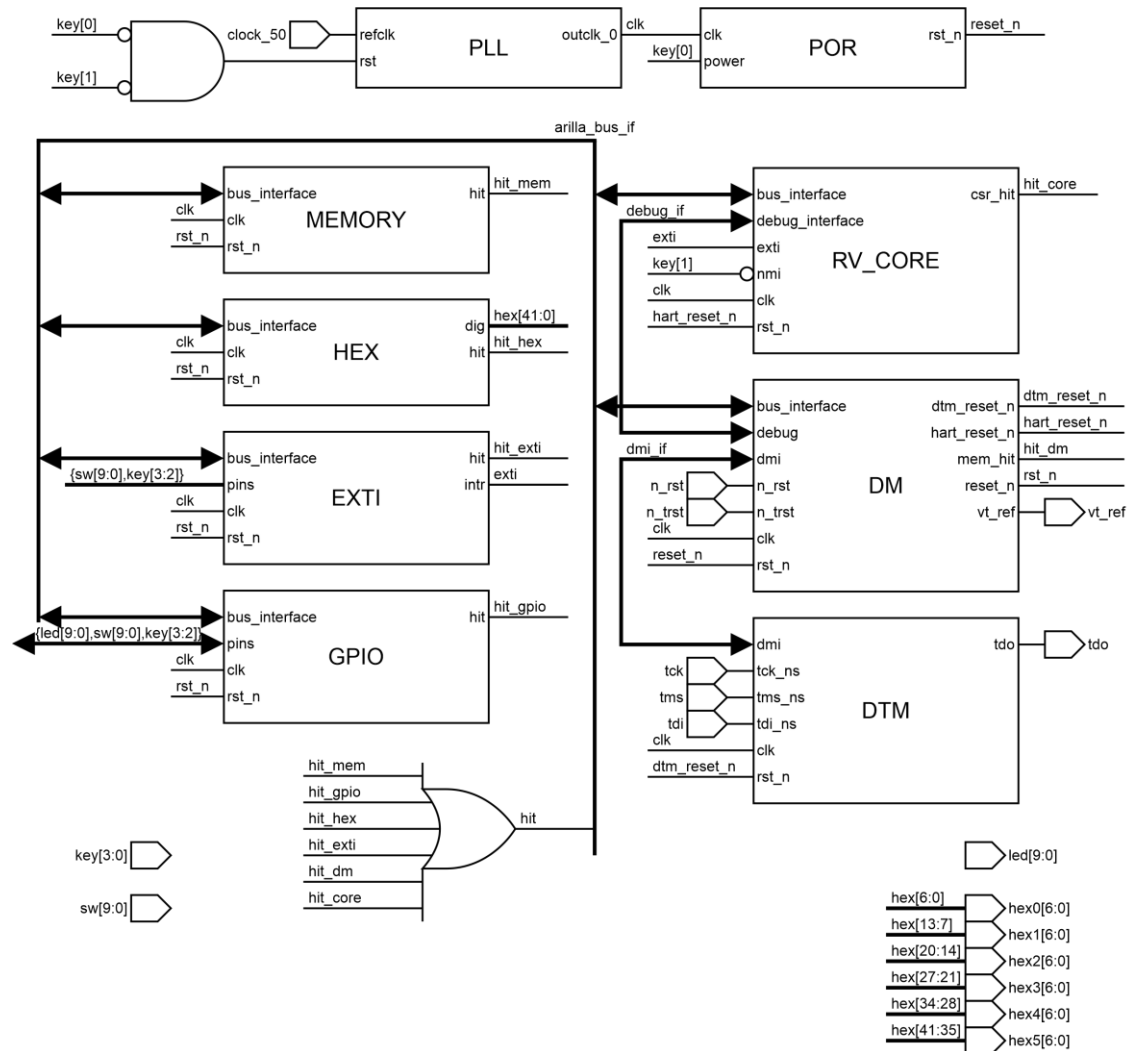
# RISC-V

- RISC архитектура отвореног кода
- Настала на Универзитету Калифорнија, Беркли
- Модуларан приступ са базним инструкцијским сетом и опционим екстензијама
- Погодна за имплементације различите комплексности
- Одабрани базни инструкцијски сет поседује 32 регистра опште намене, ширине 32 бита.

# Екстерно дебаговање

- Дебаговање: процес проналажења и отклањања грешака у софтверу
- Дебагери: алати који помажу при дебаговању, омогућавају контролу извршавања процесора и увид у његово стање
- Уколико постоји, оперативни систем пружа подршку
- Ако нема оперативног система, подршка директно у хардверу
- Десктоп рачунар посебним протоколом (JTAG) комуницира са хардвером који обезбеђује подршку за екстерно дебаговање
- Постоји званична спецификација

# Имплементирани систем

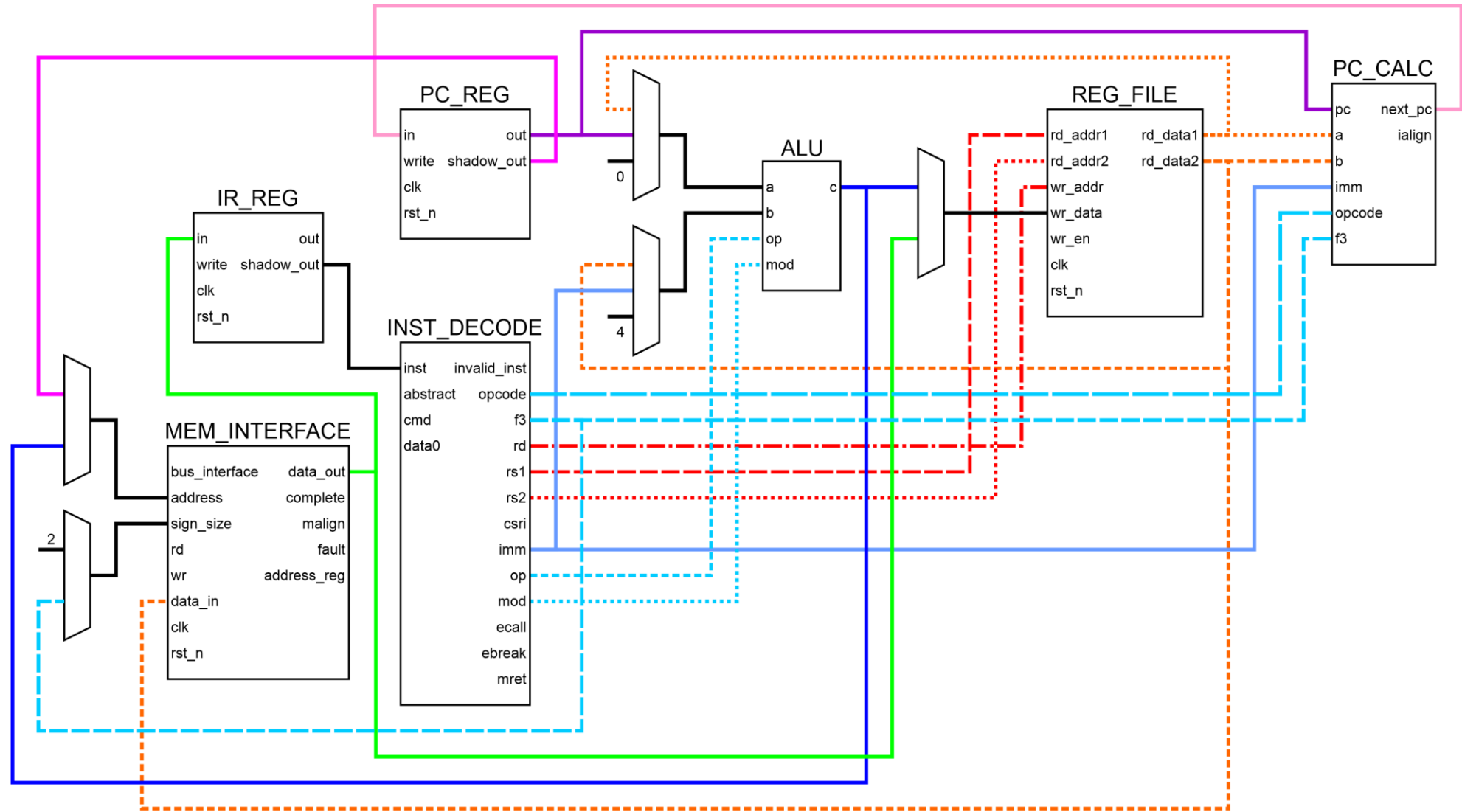


- RISC-V језгро
- 64KB интегрисане RAM меморије
- Debug Module (DM)
- Debug Transport Module (DTM)
- Периферије:
  - GPIO
  - EXTI
  - HEX

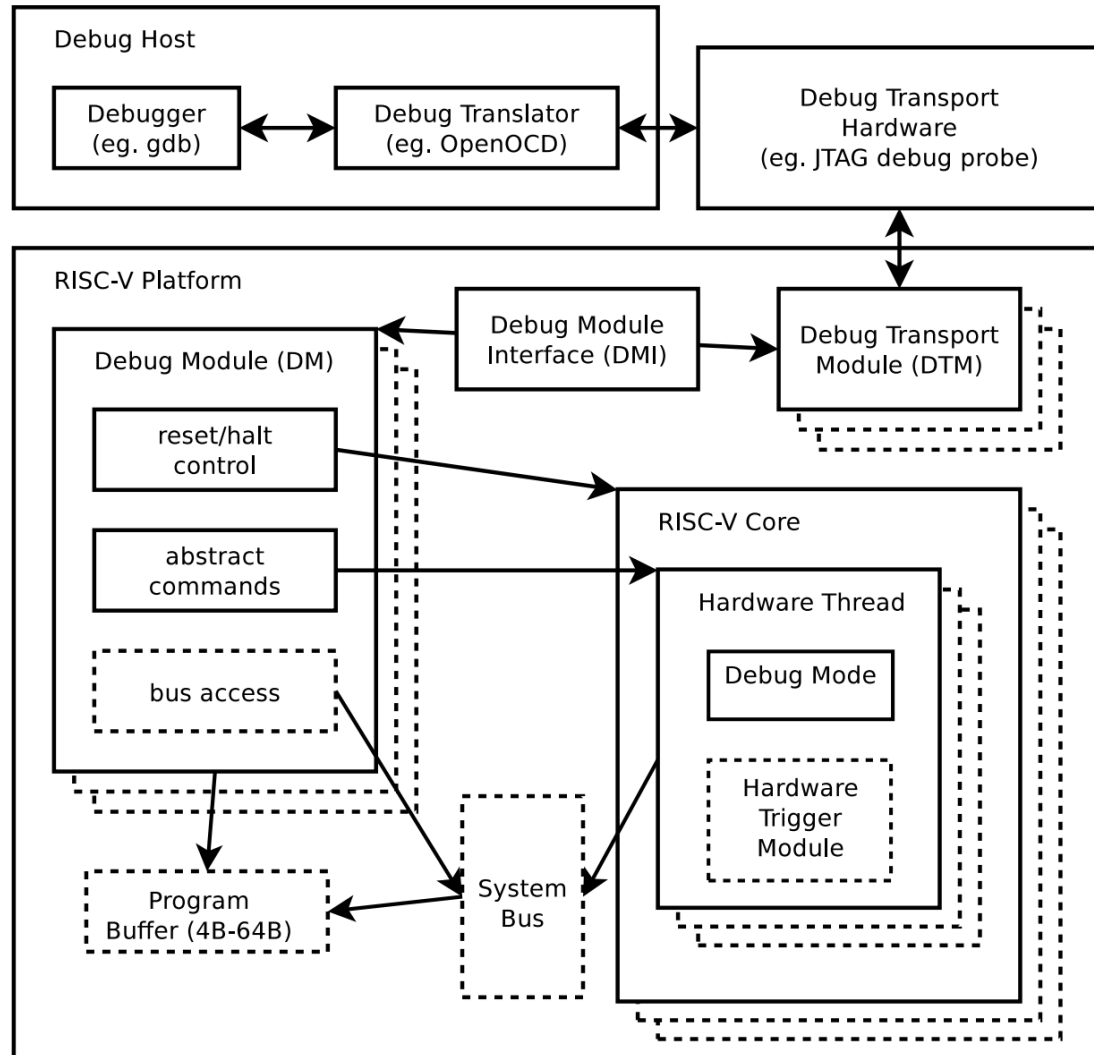
## RISC-V језгро

- Имплементира RV32I базни инструкцијски сет, контролне и статусне регистре и обраду прекида
- Вишетактна организација
- Извршава инструкције које приступају меморији у 2 такта, а све остале у једном
- Радна фреквенција 35MHz
- Паралелно читавање адресе у РС и дохватање инструкције
- Управљачка јединица реализована као Милијев аутомат стања
- Подржава екстерне прекиде, прекиде од стране тајмера, немаскирајуће прекиде, као и комплетан сет изузетака дефинисаних у спецификацији

# RISC-V ядро



# Подршка за екстерно дебаговање

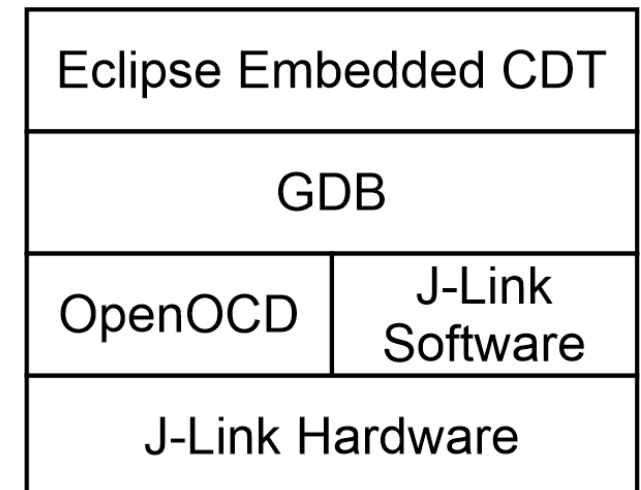


- Адаптер комуницира са DTM-ом користећи JTAG
- DTM комуницира са DM-ом кроз регистре
- DM комуницира са језгром
- Подржане функционалности
  - Заустављање и покретање језгра
  - Апстрактне команде
    - Access Register
    - Quick Access
    - Access Memory
  - Приступ меморијској магистрали
  - Хардверски окидачи

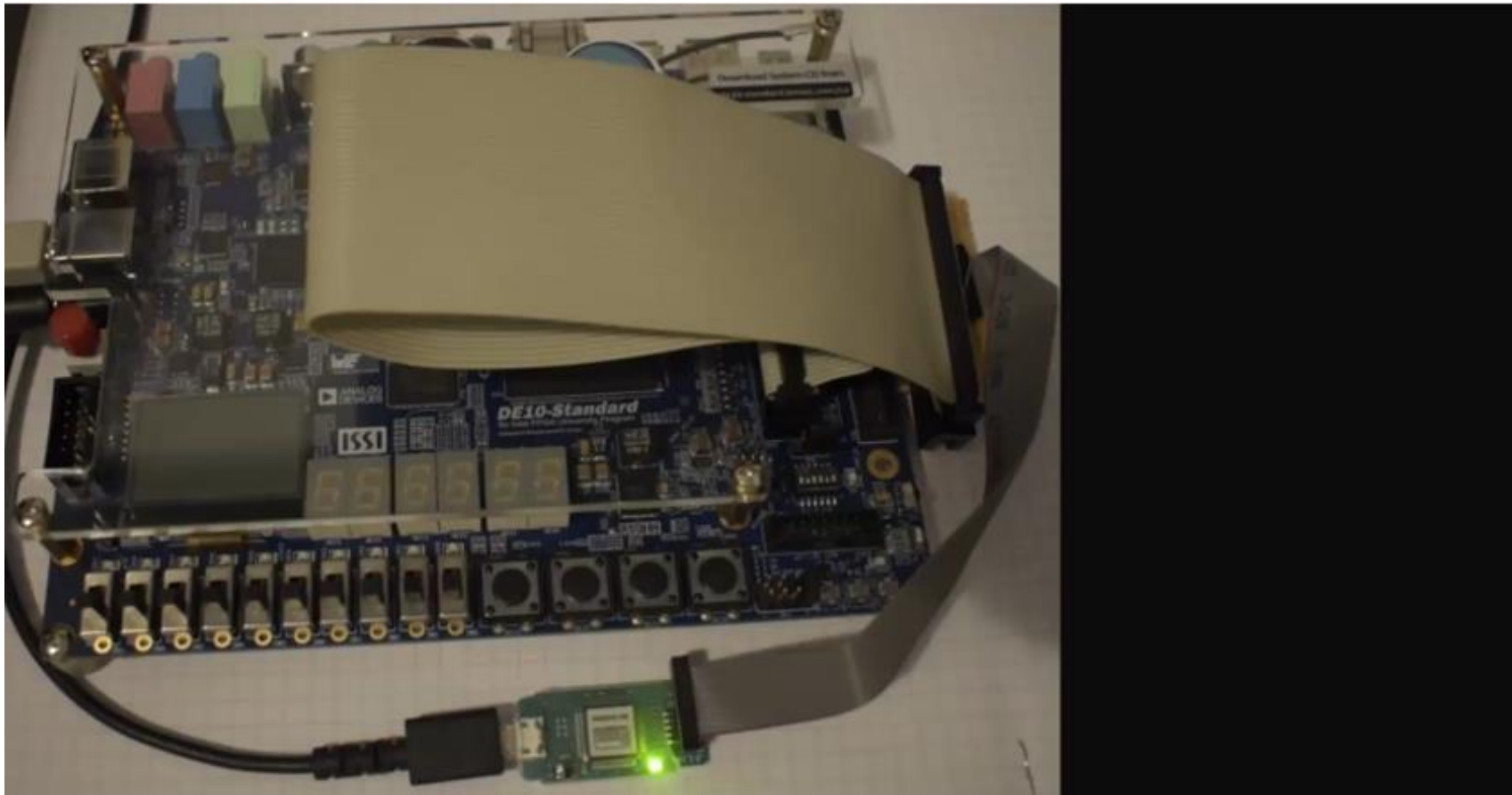


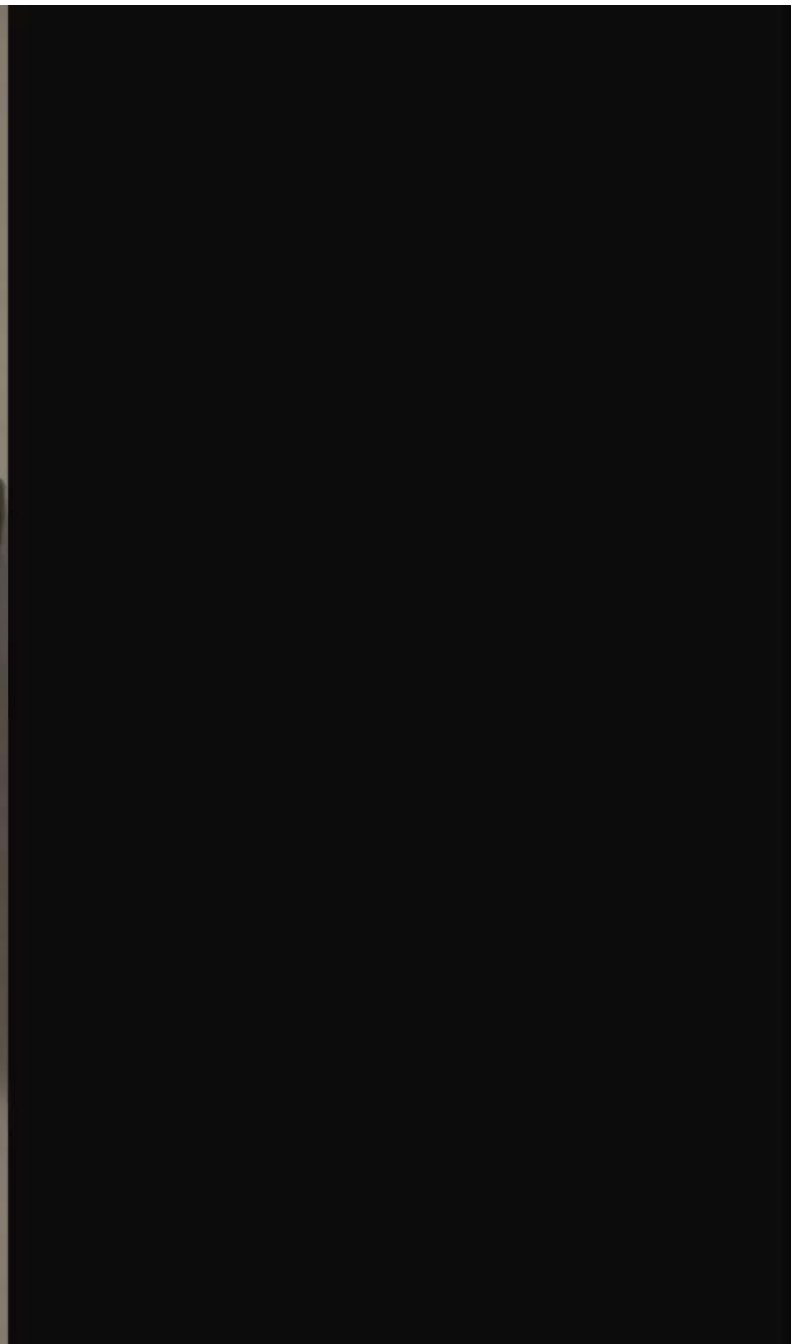
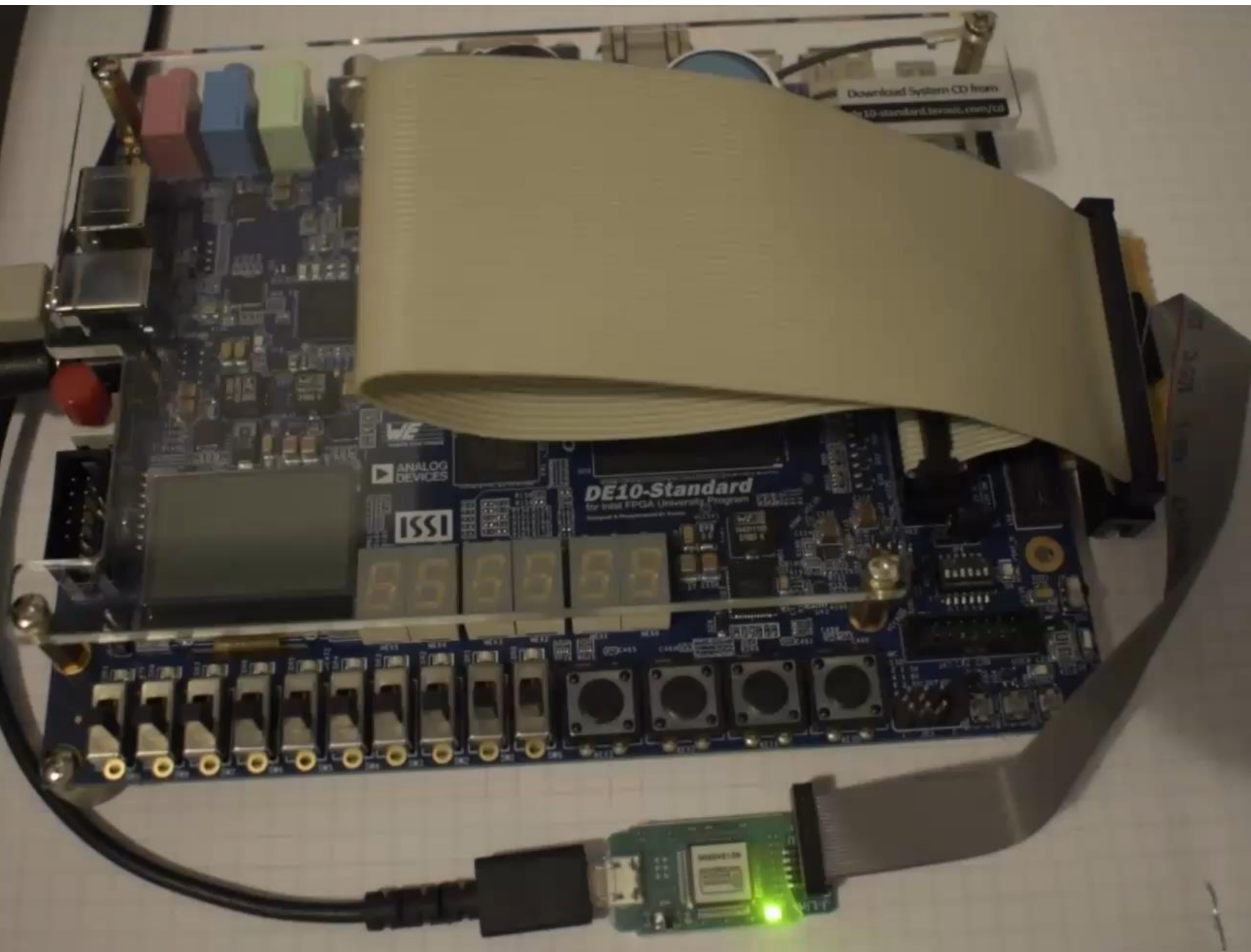
# Софтверска подршка

- Адаптер омогућава рачунару да издаје JTAG команде
- OpenOCD или J-Link софтвер познају спецификацију
- GDB познаје код који се дебагује
- Eclipse Embedded CDT пружа графички кориснички интерфејс
- OpenOCD и J-Link софтвер захтевају конфигурацију:
  - Архитектура уређаја
  - Комуникациони протокол
  - Брзина комуникације



# Демонстрација





# Закључак

- Циљ: RISC-V језгро са подршком за екстерно дебаговање
- Обављено тестирање, имплементација успешна и компатибилна са стандардним алатима
- Фокус на перформансама значајно закомпликовао језгро
- Имплементација комплетне спецификације подршке за дебаговање није неопходна, већ је препоручљиво имплементирати подскуп
- Даљи рад:
  - Унапређење језгра (применљивост или перформансе)
  - Додатна подршка за дебаговање
  - Не инвазивно праћење извршавања (трагови извршавања)

# ИМПЛЕМЕНТАЦИЈА RISC-V ПРОЦЕСОРА СА ПОДРШКОМ ЗА ЕКСТЕРНИ УВИД У СТАЊЕ ПРОЦЕСОРА

**ХВАЛА НА ПАЖЊИ**

---

**ПИТАЊА?**