

Рачунарски ВЛСИ системи (13e114влси)

Практични део испита

2021/22.

Опис дизајна:

Дизајн **dut.vp** који се верификује је 8-битни регистар који има следеће портове:

- сигнал такта **clk**
- асинхрони ресет активан за вредност нула **rst_n**
- 15-битни контролни сигнал **control**
- једнобитни улазни податак **serial_input_lsb**
- једнобитни улазни податак **serial_input_msb**
- 8-битни улазни податак **parallel_input**
- једнобитни излазни податак **serial_output_lsb**
- једнобитни излазни податак **serial_output_msb**
- 8-битни излазни податак **parallel_output**

Контролним сигналом **control** задаје се операција која се извршава. Сваки бит сигнала представља једну операцију. Ако одређени бит има активну вредност, одређена операција треба да се изврши. Ако више битова има активну вредност, извршава се она са највећим приоритетом. Приоритет операције зависи од позиције бита у сигналу. Највећи приоритет има операција која одговара биту 0, а најмањи приоритет операција која одговара биту 14. У наставку су описани битови и одговарајуће операције:

0. CLEAR:

- поставља вредност регистра на 0

1. LOAD:

- у регистар учитава вредност са улазног порта **parallel_input**

2. INC:

- увећава вредност регистра за 1
- пренос се приказује на излазном порту **serial_output_msb**

3. DEC:

- умањује вредност регистра за 1
- позајмица се приказује на излазном порту **serial_output_msb**

4. ADD:

- сабира вредност са улазног порта **parallel_input** са тренутном вредношћу регистра
- пренос се приказује на излазном порту **serial_output_msb**

5. SUB:

- одузима вредност са улазног порта **parallel_input** од тренутне вредности регистра
- позајмица се приказује на излазном порту **serial_output_msb**

6. INVERT:

- инвертује све битове регистра

7. SERIAL_INPUT_LSB:

- битови регистра се померају за једно место улево
- највиши бит регистра се приказује на излазном порту **serial_output_msb**
- на место најнижег бита регистра се учитава вредност са улазног порта **serial_input_lsb**

8. SERIAL_INPUT_MSB:

- битови регистра се померају за једно место удесно
- најнижи бит регистра се приказује на излазном порту **serial_output_lsb**
- на место највишег бита регистра се учитава вредност са улазног порта **serial_input_msb**

9. SHIFT_LOGICAL_LEFT:

- битови регистра се померају за једно место улево
- највиши бит регистра се приказује на излазном порту **serial_output_msb**
- на место најнижег бита регистра се учитава вредност 0

10. SHIFT_LOGICAL_RIGHT:

- битови регистра се померају за једно место удесно
- најнижи бит регистра се приказује на излазном порту **serial_output_lsb**
- на место највишег бита регистра се учитава вредност 0

11. SHIFT_ARITHMETIC_LEFT:

- битови регистра се померају за једно место улево
- највиши бит регистра се приказује на излазном порту **serial_output_msb**
- на место најнижег бита регистра се учитава вредност 0

12. SHIFT_ARITHMETIC_RIGHT:

- битови регистра се померају за једно место удесно
- најнижи бит регистра се приказује на излазном порту **serial_output_lsb**
- на место највишег бита регистра се учитава претходна вредност највишег бита регистра

13. ROTATE_LEFT:

- битови регистра се ротирају за једно место улево
- највиши бит регистра се приказује и на излазном порту **serial_output_msb**

14. ROTATE_RIGHT:

- битови регистра се ротирају за једно место удесно
- најнижи бит регистра се приказује на излазном порту **serial_output_lsb**

Опис верификационог окружења:

Уз дизајн који се верификује дато је и празно верификационо окружење **testbench.sv** које треба реализовати коришћењем **UVM** стандарда како би било искоришћено током процеса верификације дизајна.