

# 浙江大学

## 本科实验报告

课程名称：数字逻辑设计

姓名：沈一芑

学院：计算机学院

系：计算机系

专业：计算机科学与技术

学号：3220101827

指导教师：马德

2023 年 11 月 20 日

# 浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: ISE 电路设计

实验项目名称: 多路选择器设计与应用

学生姓名: 沈一芑 专业: 计算机科学与技术 学号: 322010827

同组学生姓名: 无 指导老师: 马德

实验地点: 东 4 509 实验日期: 2023 年 11 月 20 日

## 一、 实验目的和要求:

- 掌握锁存器与触发器构成的条件和工作原理
- 掌握锁存器与触发器的区别
- 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器、D 触发器的基本功能
- 掌握基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器存在的时序问题

## 二、 实验内容和原理

### 1. 实验内容:

- 基本 SR 锁存器, 验证功能和存在的时序问题
- 实现门控 SR 锁存器, 并验证功能和存在的时序问题
- 实现 D 锁存器, 并验证功能和存在的时序问题
- 实现 SR 主从触发器, 并验证功能和存在的时序问题
- 实现 D 触发器, 并验证功能

### 2. 实验原理:

#### 2.1. 锁存器

- 能长期保持给定的某个稳定状态
- 有两个稳定状态: 0、1
- 一定条件下能随时改变逻辑状态, 即: 置 1 或置 0

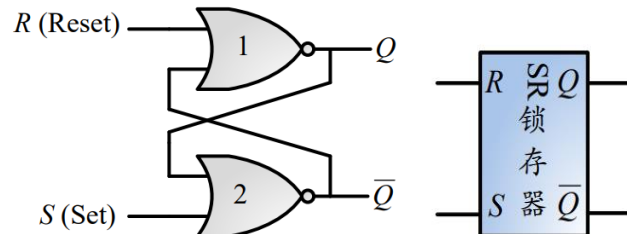
最基本的锁存器有: SR 锁存器、D 锁存器

锁存器有两个稳定状态, 又称双稳态电路

## 2.2. SR 锁存器

- 将两个具有 2 输入端的反向逻辑器件的输出与输入端交叉连起来，另一个输入端作为外部信息输入端，就构成最简单的 SR 锁存器。
- 真值表与原理图如下：

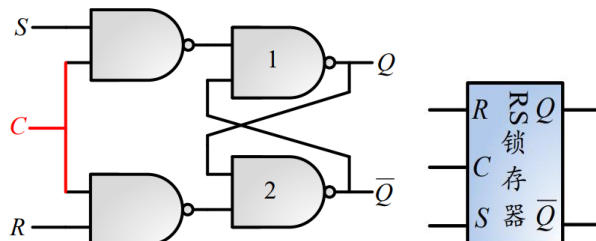
$RS$	$QQ$	说明
00	$QQ$	保持
01	10	置1
10	01	置0
11	00	未定义



## 2.3. 门控 (C) SR 锁存器

- 增加 clk，当 clk 为 0 时保持，为 1 时可更改。
- 真值表与原理图如下：

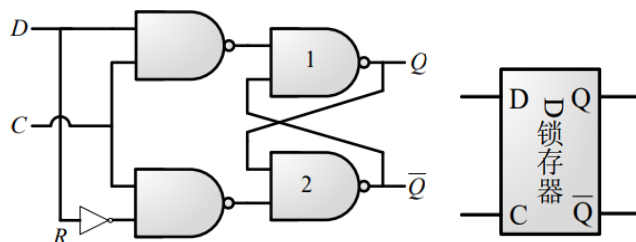
$CRS$	$QQ$	说明
$0 \times \times$	$QQ$	保持
100	$QQ$	保持
101	10	置1
110	01	置0
111	11	未定义



## 2.4. D 锁存器

- 基本 SR 锁存器缺点：存在不确定状态
- 解决方法：消除不确定状态：只需 1 个数据输入端 D，输出端 Q 等于输入端 D，采用电平控制 C。
- 真值表与原理图如下：

$CD$	$QQ$	说明
$0 \times$	$QQ$	保持
10	01	置0
11	10	置1



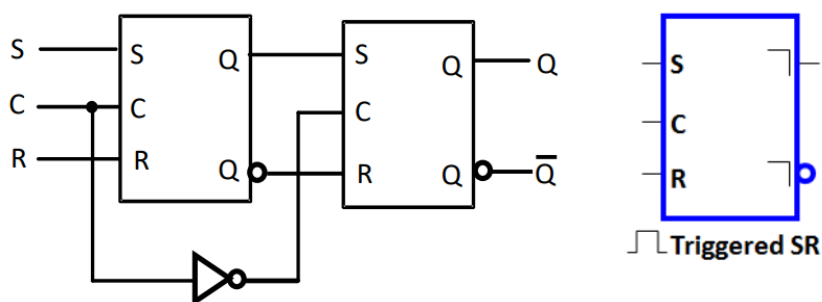
## 2.5. 触发器

- D 锁存器的缺点：存在空翻现象——如果 D 锁存器直接用在时序电路中作为状态存储元件，当使能控制信号有效时，会导致该元件内部的状态值随时多次改变，而不是保持所需的原始状态值。
- 解决方法：消除空翻现象，使每次触发仅使锁存器的内部状态仅改变一次。
- 触发：外部输入使锁存器状态改变的瞬间状态。
- 触发器：在锁存器的基础上使每次触发仅使状态改变一次的锁存电路。

## 2.6. SR 主从触发器

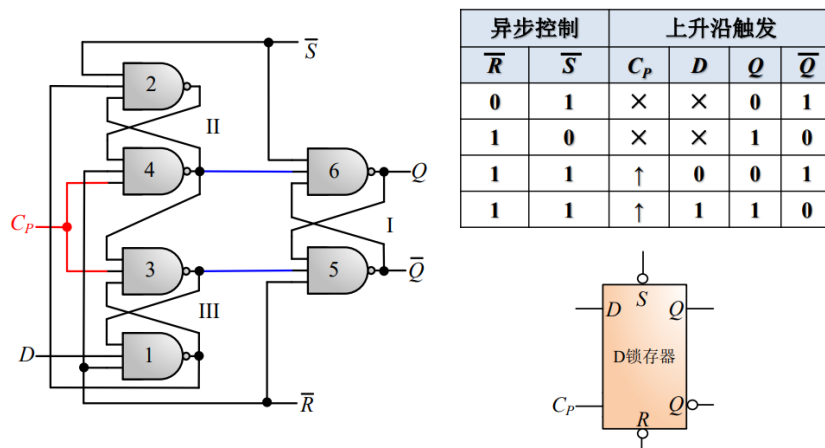
- 由两个钟控 S-R 锁存器串联构成，第二个锁存器的时钟通过反相器取反
  - 当  $C=1$  时，输入信号进入第一个锁存器（主锁存器）
  - 当  $C=0$  时，第二个锁存器（从锁存器）改变输出

从输入到输出的通路被不同的时钟信号值 ( $C = 1$  和  $C = 0$ ) 所断开



## 2.7. D 触发器

- 使用 D 锁存器构成的触发器。相较 SR 触发器，接受的信号仅为边沿处信号，且由于将控制信号减少至单独 D，不存在由于连续变化导致输入错误的情况。



### 三、 主要仪器设备

- 实验设备：

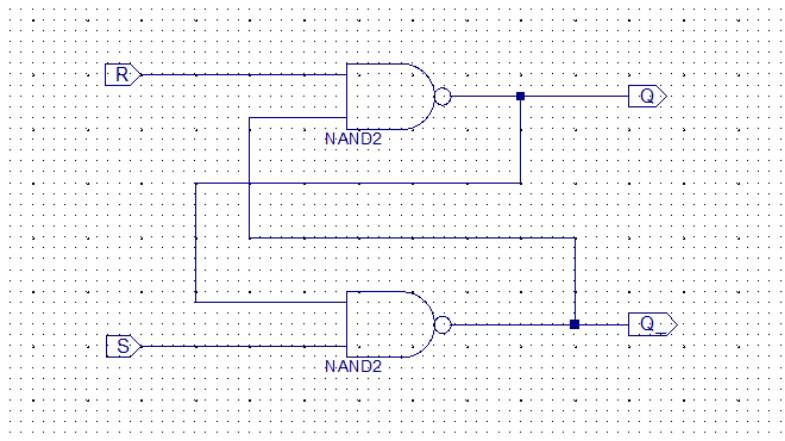
1. 装有 Xilinx ISE 14.7 的计算机      1 台
2. SWORD 开发板                              1 套

### 四、 操作方法与实验步骤

#### 1. 锁存器设计

##### 1.1. 新建 SR 锁存器源文件

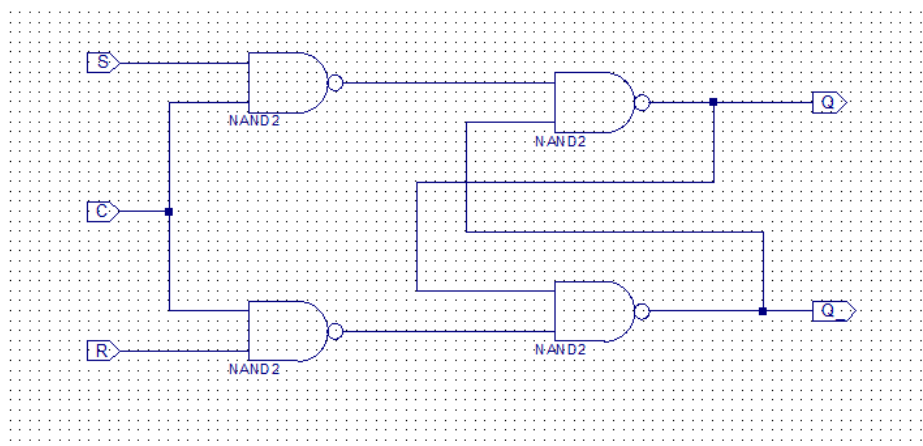
- 类型是 Schematic，文件名称用 SR\_LATCH，NAND2 原理图方式进行设计。



- 建立波形仿真

##### 1.2. 新建 CSR 锁存器源文件

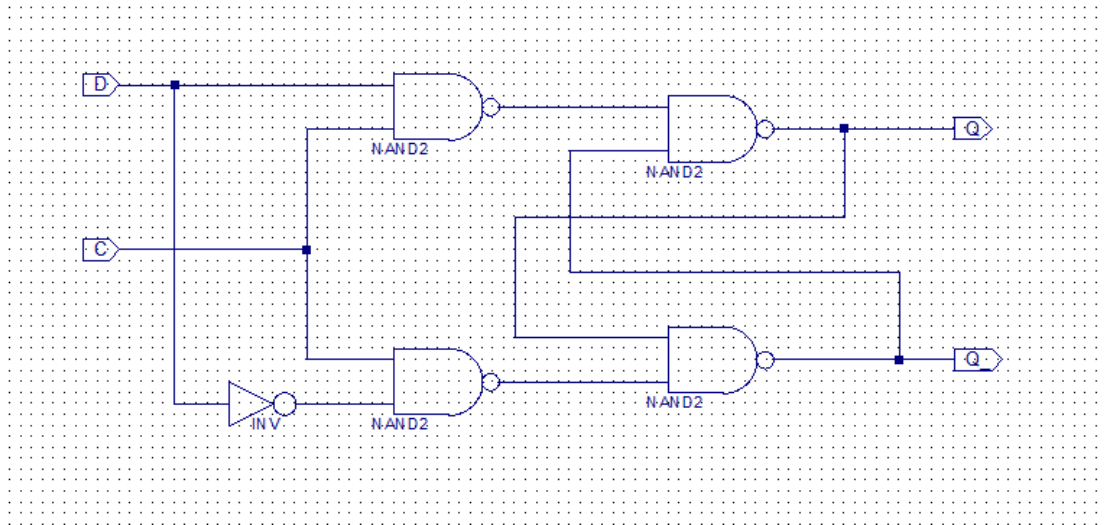
- 类型是 Schematic，文件名称用 CSR\_LATCH，原理图方式进行设计。



- 建立波形仿真

### 1.3. 新建 D 锁存器源文件

- 类型是 Schematic，文件名称用 D\_LATCH，原理图方式进行设计。

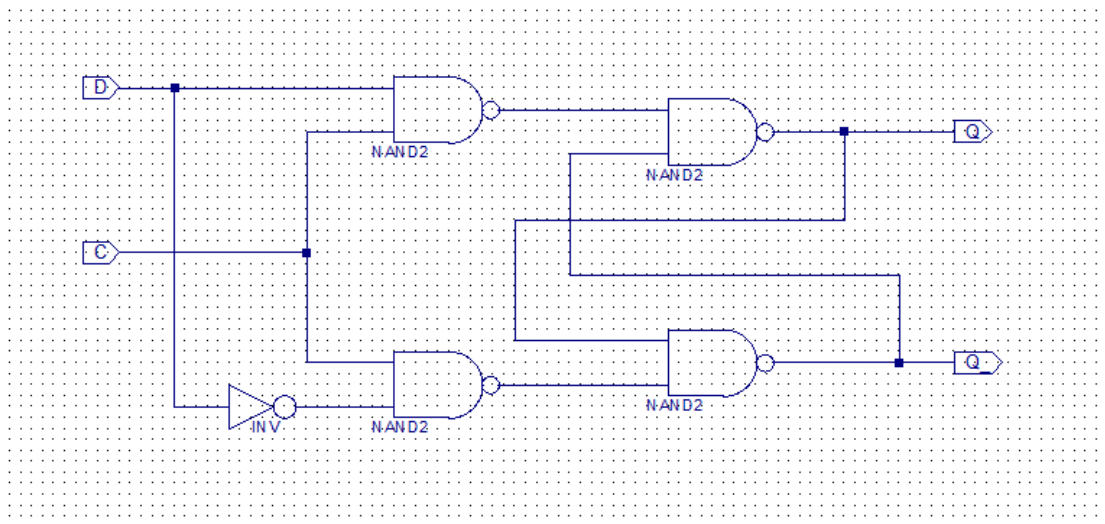


- 建立波形仿真

## 2. 触发器

### 2.1. SR 主从触发器

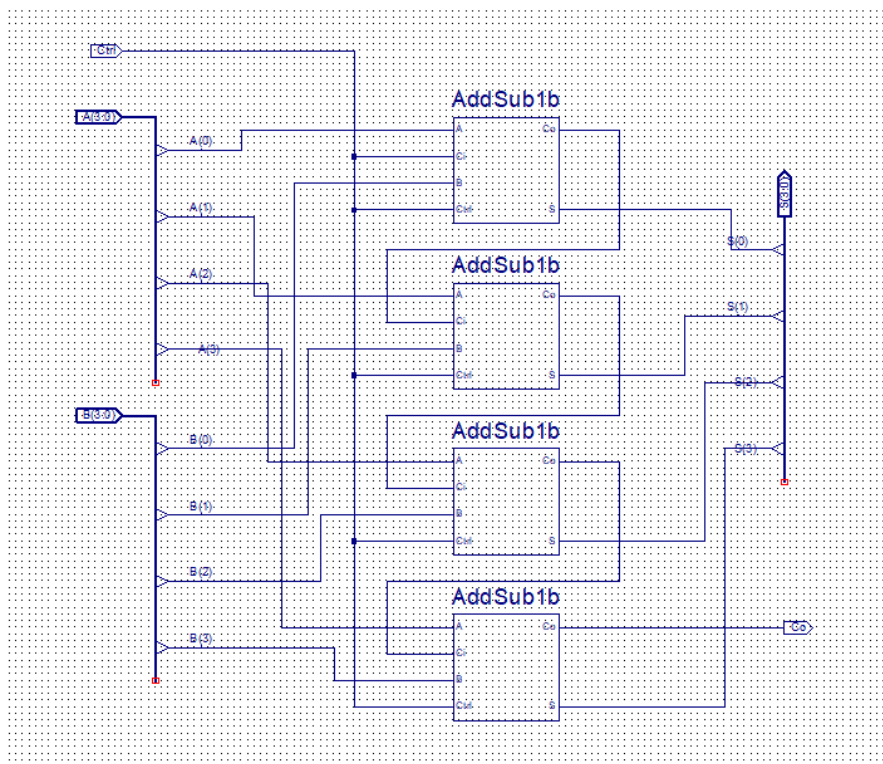
- 类型是 Schematic，文件名称用 SR\_Flipflop，原理图方式进行设计。



- 建立波形仿真

## 2.2. D 触发器

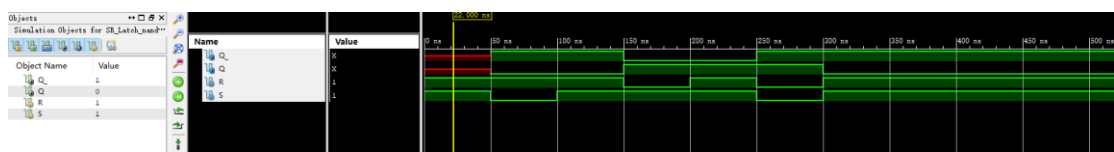
- 类型是 Schematic，文件名称用 D\_Flipflop，原理图方式设计。



- 建立波形仿真

## 五、 实验数据记录和处理

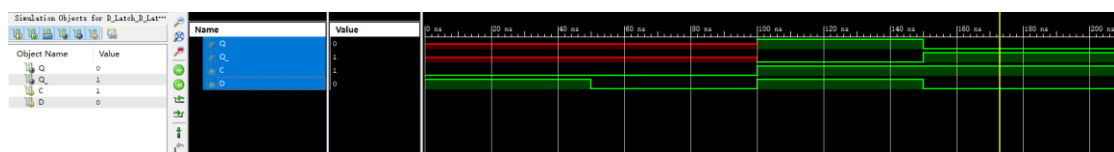
- SR\_LATCH 波形仿真：



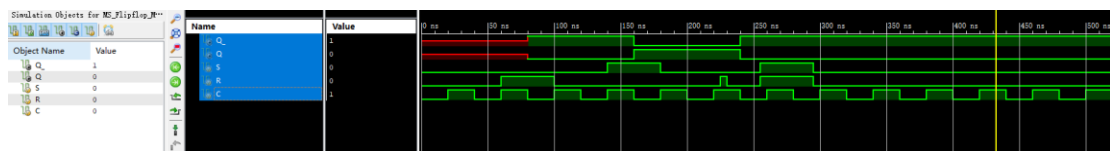
- CSR\_LATCH 波形仿真：



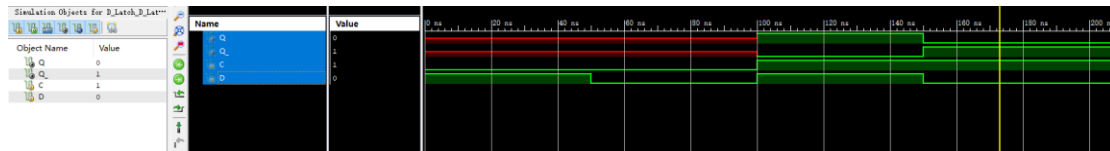
- D\_LATCH 波形仿真：



- SR\_FLIPFLOP 波形仿真：



- D\_FLIPFLOP 波形仿真：



## 六、实验结果与分析

- SR\_LATCH

观察发现，电路实现了  $S=0$  置位， $R=0$  复位， $S=1 \& R=1$  保持， $S=0 \& R=0$  混乱，初始状态未定的理论功能。

- CSR\_LATCH

观察发现，当  $C=1$  时，电路实现了  $S=0$  置位， $R=0$  复位， $S=1 \& R=1$  保持， $S=0 \& R=0$  混乱，初始状态未定的理论功能，与 SR 锁存器相同。而当  $C=0$  时，一切置位复位均失效，锁存器始终处于保持状态。

- D\_LATCH

观察发现，电路实现了  $D=1$  置位， $D=0$  复位，初始状态未定的理论功能。且当  $C=0$  时锁存器保持状态不变。且可观察到空翻现象。

- SR\_FLIPFLOP

观察发现，电路实现了在正脉冲期间采样，下降沿触发（ $S=1$  置位， $R=1$  复位）的功能。且在 200–250ns 间验证了一次性采样问题。Q 本为 1，下降沿输出触发时  $S=R=0$ ，为保持态，理论输出应为 1。但实际输出为 0。这是因为在正脉冲期间有短暂的  $R=1$  复位被采样，使得主锁存器向从锁存器的输出变为 0；之后重新回到  $S=R=1$  的状态变成了保持被更改的  $Q=0$  状态，导致下降沿触发时将 0 采样输出。



- D\_FLIPFLOP

观察发现，电路实现了在上升沿触发的功能，且 D 锁存器替代 SR 锁存器规避了上述 SR 主从触发器的问题。

## 七、 讨论、心得

在本次实验中，我学习了锁存器与触发器的条件、工作原理，以及它们之间的区别。通过实践，我掌握了基本 SR 锁存器、门控 SR 锁存器、D 锁存器、SR 锁存器和 D 触发器的功能，并了解了它们存在的时序问题。

首先，我搭建了 SR 锁存器并验证了其功能。在实现数据的存储和稳定输出之外 SR 锁存器也存在一些不能满足的时序要求。在此基础上，我搭建了门控 SR 锁存器，通过对输入信号的控制，提高了锁存器的稳定性。

接着，我实现了 D 锁存器。该锁存器具有较好的时序性能，能够有效地解决输入信号时序问题，使得数据的存储和传递更为可靠。通过实验我也验证了 D 锁存器的空翻现象。

为解决锁存器的空翻，课程引入了触发器。在研究 SR 主从触发器时，我理解了主从触发器的协同工作原理，以及其在时序问题上的改进。通过实际操作，我验证了 SR 主从触发器的功能，并分析了其采样的问题，并在设计 D 触发器时将其解决。而 D 触发器作为一种常用的时序元件，具有较好的稳定性和时序性，适用于各种数字电路设计。希望这次试验对锁存器与触发器原理的了解和功能的实现能为今后在数字电路设计和时序控制方面提供便利。

实验日期：2023.11.20