

浙江大学

本科实验报告

课程名称：数字逻辑设计

姓名：沈一芑

学院：计算机学院

系：计算机系

专业：计算机科学与技术

学号：3220101827

指导教师：马德

2023 年 11 月 7 日

浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: 基本开关电路

实验项目名称: EDA 实验平台与实验环境运用

学生姓名: 沈一芑 专业: 计算机科学与技术 学号: 322010827

同组学生姓名: 无 指导老师: 马德

实验地点: 东 4 509 实验日期: 2023 年 10 月 16 日

一、 实验目的和要求:

1. 实验目的:

- 熟悉 Verilog HDL 语言并能用其建立基本的逻辑部件, 在 Xilinx ISE 平台进行输入、编辑、调试、行为与仿真与综合后功能仿真
- 熟悉掌握 SWORD FPGA 开发平台, 同时在 ISE 平台上进行时序约束、引脚约束及映射布线后时序仿真
- 运用 Xilinx ISE 工具将设计验证后的代码下载到实验板上, 并在实验板上验证

2. 实验要求:

- 熟悉 ISE 工具软件的运行环境与安装过程
- 设计简单组合逻辑电路, 采用图形输入逻辑功能描述, 建立 FPGA 实现数字系统的 Xilinx ISE 设计管理工程, 并进行编辑、调试、编译、行为仿真, 时序约束、引脚指定(约束)、映射布线后时序仿真及 FPGA 编程代码下载与运行验证
- 设计简单时序逻辑电路, 采用 Verilog 代码输入逻辑功能描述, 建立 FPGA 实现数字系统的 ISE 设计管理工程, 并进行编辑、调试、编译、行为仿真, 时序约束、引脚约束、映射布线后时序仿真及 FPGA 编程代码下载与运行验证

二、 实验内容和原理

1. 实验内容:

- 1.1. 某三层楼房的楼梯通道共用一盏灯, 每层楼都安装了一只开关并能独立控

制该灯，请设计楼道灯的控制电路。

- 以图形方式输入逻辑功能描述
- 不考虑灯延时熄灭，采用拨动开关

1.2. 在 1.1 的基础上增加控制要求：灯打开后，延时若干秒自动关闭，请重新设计楼道灯的控制电路。

- 用 Verilog 语言描述电路逻辑功能
- 要考虑灯延时熄灭，采用按钮开关

2. 实验原理：

2.1. 分析楼道灯的事件行为，用组合电路实现，用拨动开关作为电路输入 S_1, S_2, S_3 ，电路输出为 F

2.2. 变量赋值

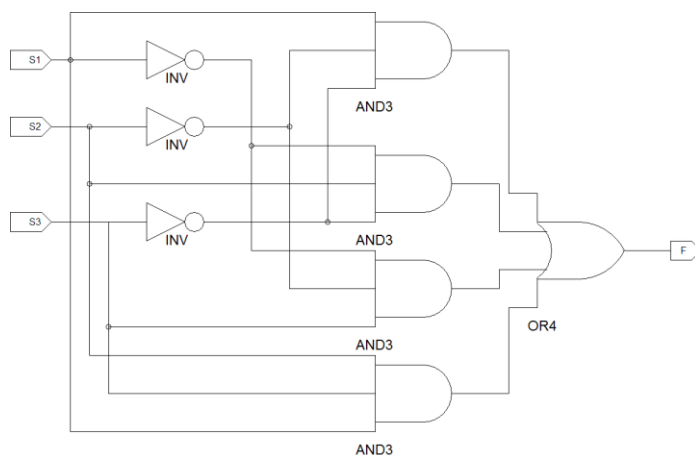
- 开关往下为 1，往上为 0
- 输出灯亮为 1，灯暗为 0

2.3. 编写真值表，如右图：

S_3	S_2	S_1	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

2.4. 根据真指标分析输入输出关系，得到表达式与电路图：

$$F = S_1 \bar{S}_2 \bar{S}_3 + \bar{S}_1 S_2 \bar{S}_3 + \bar{S}_1 \bar{S}_2 S_3 + S_1 S_2 S_3$$



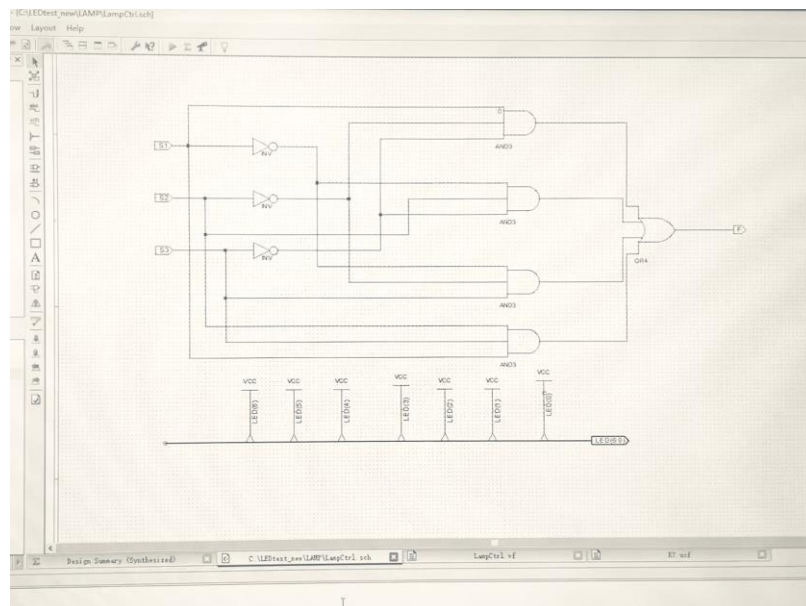
三、 主要仪器设备

- 实验设备
 - 装有 ISE 14.7 的计算机 1 台
 - SWORD 开发板 1 套

四、 操作方法与实验步骤

1. 图形方式输入逻辑功能描述

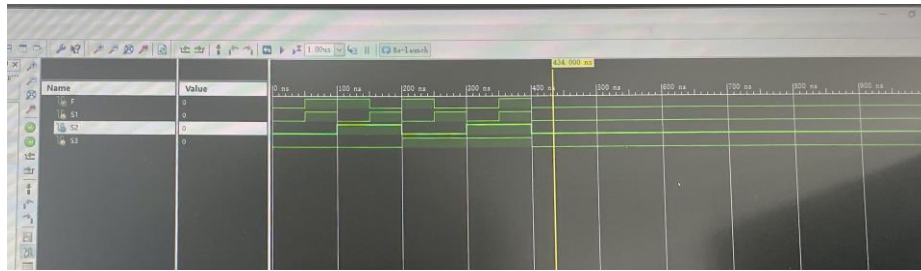
- 建立楼道控制的工程，建立原理图文件 LampCtrl.sch。
- 根据真值表在原理图文件中绘制楼道灯控逻辑电路：



- 查看电路硬件描述语言：

```
2 // Copyright (c) 1996-2013 Xilinx, Inc. All rights reserved.
3 //
4 //
5 //
6 //
7 //
8 //
9 //
10 //
11 //
12 //
13 //
14 // Command: C:\Xilinx\ISE14.7\ISE\bin\bin64\unwrapped\sch2hdl.exe -intstyle ise -family kintex7 -verilog LampCtrl.vf -w C:\Users\user\Documents\LampCtrl.sch\LampCtrl.vf
15 // Design Name: LampCtrl
16 // Device: kintex7
17 // Purpose:
18 // This verilog netlist is synthesized from an EDC schematic. It can be
19 // synthesized and simulated, but it should not be modified.
20 //
21 //
22 //
23 module LampCtrl(S1,
24                S2,
25                S3,
26                F);
27
28 input S1;
29 input S2;
30 input S3;
31 output F;
32
33 wire XLXN_35;
34 wire XLXN_36;
35 wire XLXN_44;
36 wire XLXN_45;
37 wire XLXN_51;
38 wire XLXN_54;
39 wire XLXN_56;
40
41 INV XLX1_1 (.I(S1),
42            .O(XLXN_35));
43 INV XLX1_2 (.I(S2),
44            .O(XLXN_44));
45 INV XLX1_6 (.I(S3),
46            .O(XLXN_56));
47 AND3 XLX1_7 (.I0(XLXN_35),
```

- 建立测试波形文件 LampCtrl_sim.tbw 并进行仿真激励输入。在 simulation 视图选择 simulate behavioral model，并验证正确性：



- 建立用户时序约束并为模块的端口指定引脚分配，即建立 K7.utf 文件：

```
NET "S1" LOC = AA10 | IOSTANDARD = LVCMOS15;
NET "S2" LOC = AB10 | IOSTANDARD = LVCMOS15;
NET "S3" LOC = AA13 | IOSTANDARD = LVCMOS15;
NET "F" LOC = AF24 | IOSTANDARD = LVCMOS33;
NET "LED[0]" LOC = W23 | IOSTANDARD = LVCMOS33;
NET "LED[1]" LOC = AB26 | IOSTANDARD = LVCMOS33;
NET "LED[2]" LOC = Y25 | IOSTANDARD = LVCMOS33;
NET "LED[3]" LOC = AA23 | IOSTANDARD = LVCMOS33;
NET "LED[4]" LOC = Y23 | IOSTANDARD = LVCMOS33;
NET "LED[5]" LOC = Y22 | IOSTANDARD = LVCMOS33;
NET "LED[6]" LOC = AE21 | IOSTANDARD = LVCMOS33;
```

- 设计实现、下载 bit 流文件，sword 板验证约束。

2. Verilog 代码输入逻辑功能描述

- 建立楼道控制的工程，建立原理图文件 LampCtrl.v。
- 根据真值表在 Verilog 文件中：

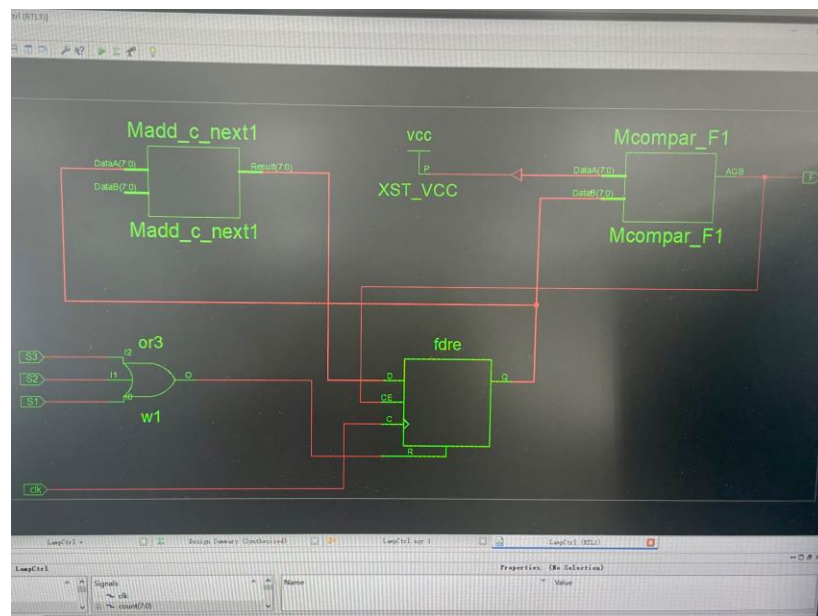
```
1. `timescale 1ns / 1ps
2. module LampCtrl(
3.     input wire clk,
4.     input wire S1,
5.     input wire S2,
6.     input wire S3,
7.     output wire F
8. );
9.
10.     parameter C_NUM = 8;
11.     parameter C_MAX = 8'hFF;
12.
13.     reg [C_NUM-1:0] count;
14.     wire [C_NUM-1:0] c_next;
15.
16.     initial begin //初始化
17.         count = C_MAX;
18.     end
```

```

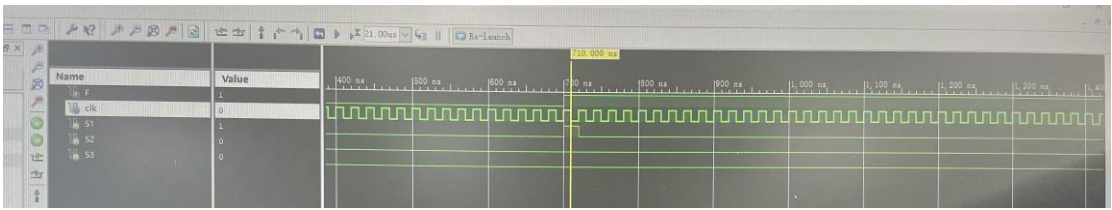
19.
20. //button pressed
21.     assign w=S1|S2|S3;
22.
23.     //lamp logic
24.     assign F = (count < C_MAX) ? 1'b1 : 1'b0;
25.
26.     //count logic
27.     always@(posedge clk)
28.     begin
29.         if(w == 1'b1)
30.             count = 0;
31.         else if(count < C_MAX)
32.             count = c_next;
33.     end
34.     //next logic
35.     assign c_next = count + 8'b1;
36.
37. endmodule

```

- 在 Processes 窗口运行 Synthesis XST → View RTL Schematic，检查综合的电路结构是否与设计目标一致：



- 建立测试波形文件 LampCtrl_sim.tbw 并进行仿真激励输入。在 simulation 视图中选择 simulate behavioral model，并验证正确性：



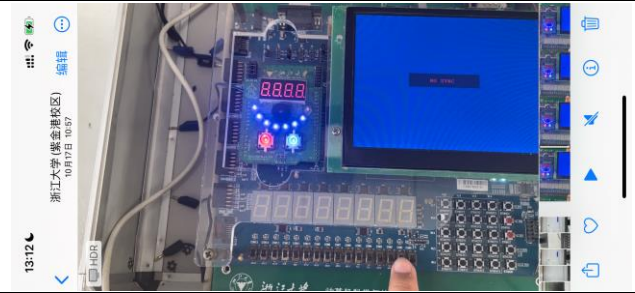
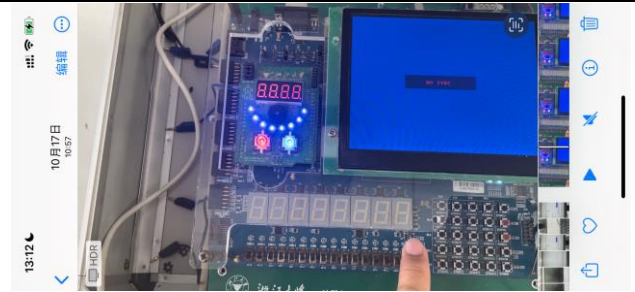
- 建立用户时序约束并为模块的端口指定引脚分配，即建立 K7.utf 文件：

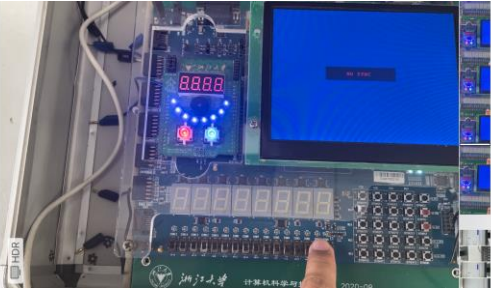
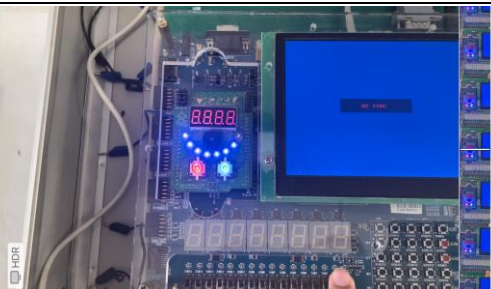
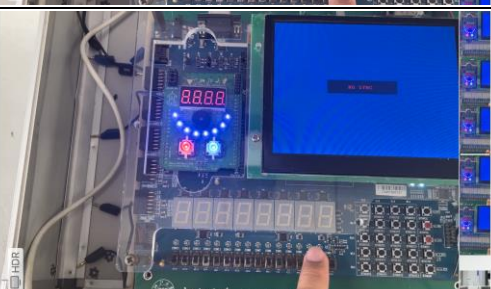
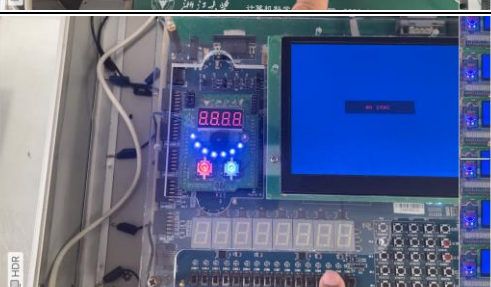
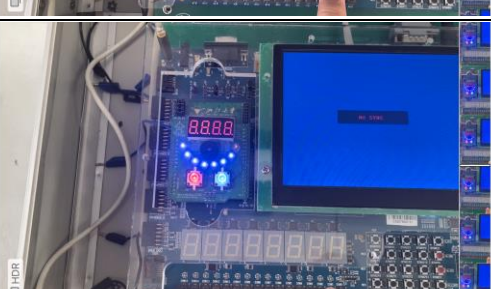


```

NET "clk" LOC = AC18 | IOSTANDARD = LVCMOS18;
NET "S1" LOC = AA10 | IOSTANDARD = LVCMOS15;
NET "S2" LOC = AB10 | IOSTANDARD = LVCMOS15;
NET "S3" LOC = AA13 | IOSTANDARD = LVCMOS15;
NET "F" LOC = AF24 | IOSTANDARD = LVCMOS33;
NET "LED[0]" LOC = W23 | IOSTANDARD = LVCMOS33;
NET "LED[1]" LOC = AB26 | IOSTANDARD = LVCMOS33;
NET "LED[2]" LOC = Y25 | IOSTANDARD = LVCMOS33;
NET "LED[3]" LOC = AA23 | IOSTANDARD = LVCMOS33;
NET "LED[4]" LOC = Y23 | IOSTANDARD = LVCMOS33;
NET "LED[5]" LOC = Y22 | IOSTANDARD = LVCMOS33;
NET "LED[6]" LOC = AE21 | IOSTANDARD = LVCMOS33;
      
```
- 设计实现、下载 bit 流文件，sword 板验证约束。根据 I/O 约束定义和交互按钮操作和显示，板上通过按键开关，查看灯的变化是否正确，验证设计是否成功。

五、实验数据记录和处理

实验结果如下：

S3	S2	S1	F	结果图片
0	0	0	0	
0	0	1	1	

0	1	0	1	<div>13:12 浙江大學(紫金港校區) 10月17日 10:57 编辑</div> 
0	1	1	0	<div>13:12 浙江大學(紫金港校區) 10月17日 10:57 编辑</div> 
1	0	0	1	<div>13:12 浙江大學(紫金港校區) 10月17日 10:57 编辑</div> 
1	0	1	0	<div>13:12 浙江大學(紫金港校區) 10月17日 10:57 编辑</div> 
1	1	0	0	<div>13:12 浙江大學(紫金港校區) 10月17日 10:57 编辑</div> 
1	1	1	1	<div>13:12 浙江大學(紫金港校區) 10月17日 10:57 编辑</div> 

六、 实验结果与分析

- 将实验结果与真值表一一比对：
 - 当任意一个开关被打开时，灯泡亮起。
 - 当同时有两个开关置于开时，由于三个开关共同控制同一盏灯泡的开闭，此时灯泡熄灭。
 - 当三个开关同时打开时，灯泡亮起。
- 实验结果与真值表结果正确对应。电路设计正确。

七、 讨论、心得

在这次实验中，我学习了如何使用 ISE 工具软件进行 FPGA 的设计和验证。通过按照实验指导书的要求，我设计、验证了简单的组合逻辑电路和时序逻辑电路。

在设计组合逻辑电路时，我采用了图形输入的方式，通过拖拽和连接不同的逻辑门，实现了楼道灯光控制的功能。我从头开始，建立 ISE 工程、手绘 sch 图文件、激励、仿真等步骤，检查了设计是否正确。接着，我添加了时序约束和引脚约束，指定了 FPGA 芯片的型号和各个信号的引脚位置。最后，通过让软件进行映射布线和时序仿真，我生成了 FPGA 的编程文件并将其下载到 FPGA 板上，用 LED 灯和开关验证了设计的功能。

在设计时序逻辑电路时，我采用了 Verilog 代码输入的方式，通过编写 Verilog 语言，实现了延时遥控的功能。通过建立另一个 ISE 工程，编辑 Verilog 代码、保存为一个.v 文件、重复上述的编辑、调试、编译、行为仿真、时序约束、引脚约束、映射布线、时序仿真、编程下载等步骤，验证了我的设计的功能。

通过这次实验，我学会了 FPGA 的设计和验证的过程和方法，也掌握了 ISE 工具软件的基本操作和使用技巧，了解了如何将逻辑设计于现实实现。期待以后凭此做出更多设计。

实验日期：2023.10.16