

# 浙江大学

## 本科实验报告

课程名称：数字逻辑设计

姓名：沈一芑

学院：计算机学院

系：计算机系

专业：计算机科学与技术

学号：3220101827

指导教师：马德

2023 年 11 月 27 日

# 浙江大学实验报告

课程名称: 数字逻辑设计 实验类型: ISE 电路设计

实验项目名称: 同步时序电路设计

学生姓名: 沈一芃 专业: 计算机科学与技术 学号: 322010827

同组学生姓名: 无 指导老师: 马德

实验地点: 东 4 509 实验日期: 2023 年 11 月 27 日

## 一、实验目的和要求:

- 掌握典型同步时序电路的工作原理和设计方法
- 掌握时序电路的激励函数、状态图、状态方程的运用
- 掌握用 Verilog 进行有限状态机的设计、调试、仿真
- 掌握用 FPGA 实现时序电路功能

## 二、实验内容和原理

### 1. 实验内容:

- 原理图方式设计 4 位同步二进制计数器
- 以 Verilog 行为描述方式设计 16 位可逆二进制同步计数器

### 2. 实验原理:

- 列出真值表(如右图), 利用 Kmap 化简

$D_A$	$Q_A Q_B$	00	01	11	10
00	1	1			
01	1	1			
11	1	1			
10	1	1			

$$D_A = \overline{Q_A}$$

$D_B$	$Q_A Q_B$	00	01	11	10
00		1		1	
01		1		1	
11		1		1	
10		1		1	

$$D_B = \overline{Q_A}Q_B + Q_A\overline{Q_B} \\ = Q_A \oplus Q_B$$

$D_D$	$Q_A Q_B$	00	01	11	10
00					
01	1	1	1	1	
11	1	1			1
10				1	

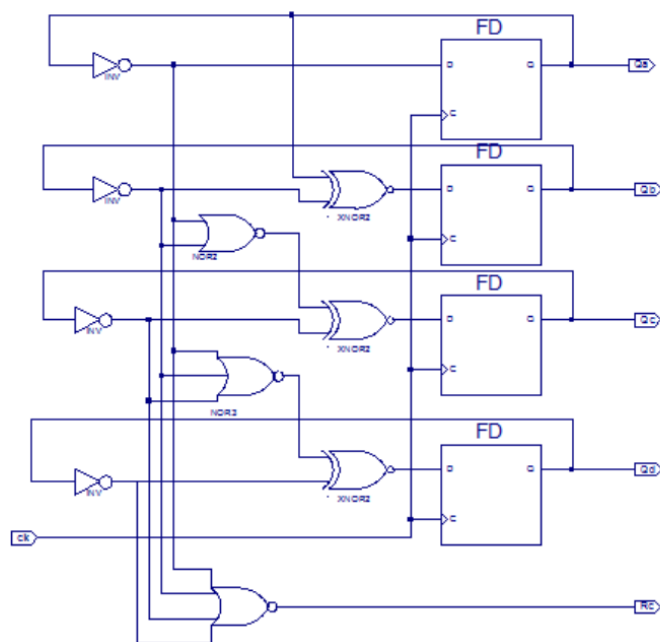
$$D_D = \overline{Q_A}Q_D + \overline{Q_B}Q_D + \overline{Q_C}Q_D + Q_AQ_BQ_C\overline{Q_D}$$

$D_C$	$Q_A Q_B$	00	01	11	10
00				1	
01				1	
11	1	1			1
10	1	1			1

$$D_C = \overline{Q_A}Q_C + \overline{Q_B}Q_C + Q_AQ_BQ_C \\ = (\overline{Q_A} + \overline{Q_B}) \oplus Q_C$$

	$Q_A$	$Q_B$	$Q_C$	$Q_D$	$D_A$	$D_B$	$D_C$	$D_D$
0	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0
2	0	1	0	0	1	1	0	0
3	1	1	0	0	0	0	1	0
4	0	0	1	0	1	0	1	0
5	1	0	1	0	0	1	1	0
6	0	1	1	0	1	1	1	0
7	1	1	1	0	0	0	0	1
8	0	0	0	1	1	0	0	1
9	1	0	0	1	0	1	0	1
10	0	1	0	1	1	1	0	1
11	1	1	0	1	0	0	1	1
12	0	0	1	1	1	0	1	1
13	1	0	1	1	0	1	1	1
14	0	1	1	1	1	1	1	1
15	1	1	1	1	0	0	0	0

- 采用原理图方式设计：



### 三、 主要仪器设备

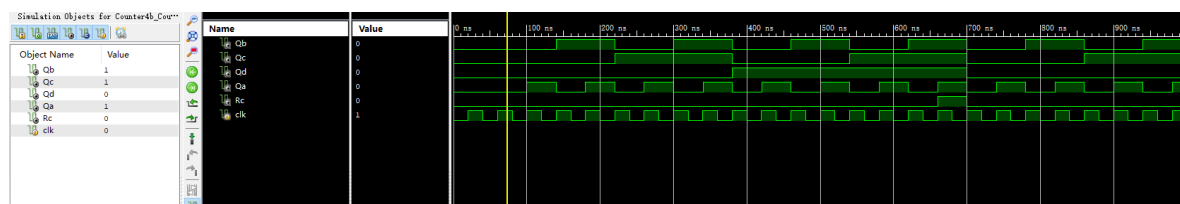
- 实验设备：

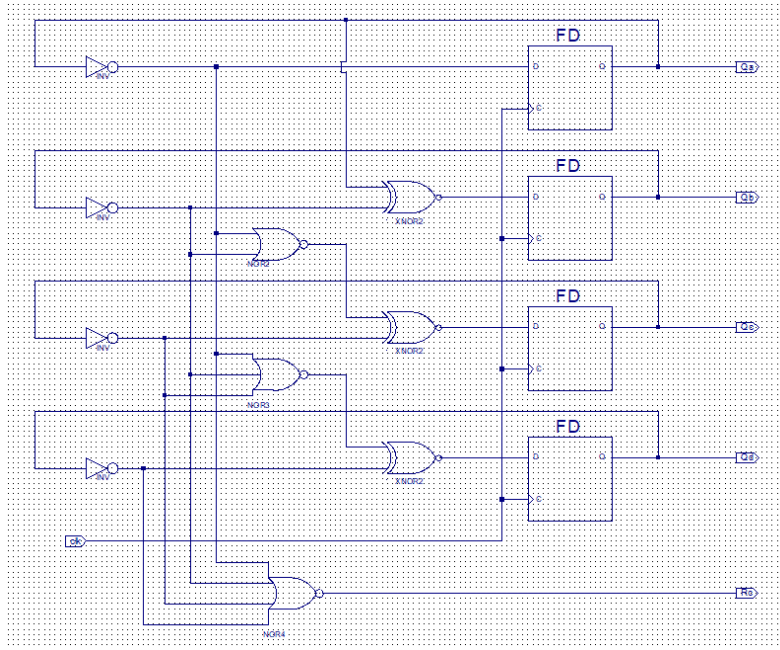
1. 装有 Xilinx ISE 14.7 的计算机 1 台
2. SWORD 开发板 1 套

### 四、 操作方法与实验步骤

#### 1. 4 位二进制同步计数器

- 新建工程 MyCounter。
- 新建 Schematic 文件，名称用，NAND2 原理图方式进行设计。
- 进行波形仿真





## 2. 16 位可逆同步二进制计数器

- 新建工程 MyRevCounter
- 类型是 HDL，文件名称用 RevCounter，Verilog 方式进行设计。

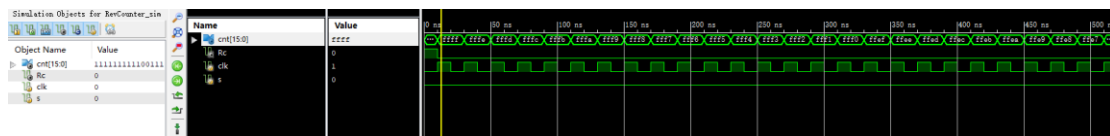
```

module TOP(
    input wire clk,
    input wire sw,
    output wire Rc,
    output wire [7:0]Segment,
    output wire [3:0]AN
);
    wire clk100ms;
    wire [15:0] num;
    clk_1s m0(clk, clk100ms);
    RevCounter m1(clk100ms, sw, num, Rc);
    DispNum m2(.clk(clk), .HEXS(num), .LES(4'b0), .points(4'b0), .RST(1'b0),
    .AN(AN), .Segment(Segment));
endmodule

```

- 建立波形仿真

当 S=0 时，逆向计数：



当 S=1 时，正向计数



- 建立约束文件

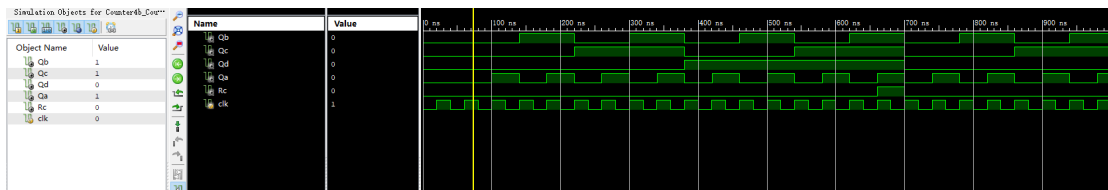
```
NET "Segment[0]" LOC = AB22 | IOSTANDARD = LVCMOS33;
NET "Segment[1]" LOC = AD24 | IOSTANDARD = LVCMOS33;
NET "Segment[2]" LOC = AD23 | IOSTANDARD = LVCMOS33;
NET "Segment[3]" LOC = Y21 | IOSTANDARD = LVCMOS33;
NET "Segment[4]" LOC = W20 | IOSTANDARD = LVCMOS33;
NET "Segment[5]" LOC = AC24 | IOSTANDARD = LVCMOS33;
NET "Segment[6]" LOC = AC23 | IOSTANDARD = LVCMOS33;
NET "Segment[7]" LOC = AA22 | IOSTANDARD = LVCMOS33;

NET "clk" LOC = AC18 | IOSTANDARD = LVCMOS18;

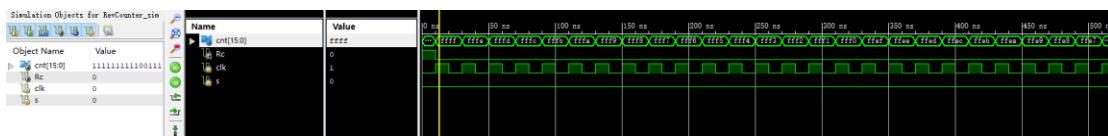
NET "Rc" LOC = W23 | IOSTANDARD = LVCMOS33;
```

## 五、 实验数据记录和处理

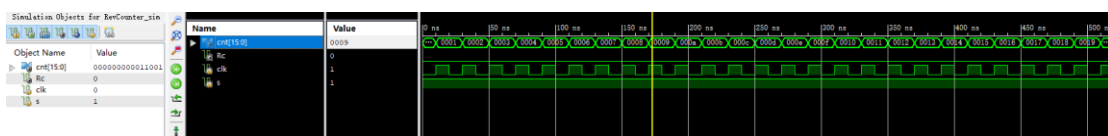
- 4 位二进制同步计数器波形仿真：



- 16 位可逆二进制同步计数器波形仿真（S=0）：



- 16 位可逆二进制同步计数器波形仿真（S=0）：



## 六、 实验结果与分析

经过观察，当  $S=0$  时计数器逆向计数。拨动开关使  $S=1$ ，则计数器逆向计数。且当数字为  $0xFFFF$  时，灯会亮起。满足设计要求，实验成功。

## 七、 讨论、心得

在这次的实验中，我设计了简单的同步时序电路，实现了一个二进制同步计数器和其可逆版本。

本次实验先让我对典型同步时序电路的工作原理有了深入的理解。我明白了在同步时序电路中，各种电路元件的工作状态完全取决于输入和系统的当前状态，而这些状态又是通过时钟信号同步改变的。这种同步变化模式确保了系统的稳定性和准确性。

随后，我先用原理图的方式直观地感受了同步时序电路的设计方式。之后用 verilog 代码 HDL 方式设计了同步计数器的可逆版本。我也分别对我的电路设计进行了波形仿真，以确保在上板前验证逻辑功能的正确性。

总得来看，这次实验仅加深了我对时序电路的理论理解，还让我对时序电路的实际设计有了实践经验。希望我能在之后的电路设计中借鉴本次时序电路设计得经验。

实验日期：2023. 11. 27