

GTI HS 23 Serie 7

Tobias Kohler, Nicolas Wyss, Maya Nedir

Die 7. Serie ist bis Mittwoch, den 22. November 2023 um 16:00 Uhr zu lösen und in schriftlicher Form in der Übungsstunde abzugeben. Für Fragen steht im ILIAS jederzeit ein Forum zur Verfügung. Zu jeder Frage wird, falls nicht anders deklariert, der Lösungsweg erwartet. **Lösungen ohne Lösungsweg werden nicht akzeptiert.** Allfällige unlösbare Probleme sind uns so früh wie möglich mitzuteilen, wir werden gerne helfen.

Viel Spass!

1 Addier-/Subtrahierwerk (3 Punkte)

Realisiere ein 3-Bit-Addier-/Subtrahierwerk, bei welchem mittels eines Steuereingangs S zwischen Addition und Subtraktion gewählt werden kann. Bei $S = 0$ soll eine Addition, bei $S = 1$ eine Subtraktion ausgeführt werden. Voll-, Halbaddierer und XOR Gatter dürfen als Bausteine verwendet werden.

2 Serienaddierer (4 Punkte)

- (a) (1 Punkt) Beschreibe den Ablauf der Addition $15 + 1$ bei einem 4-Bit-Serienaddierer mittels einer Wertetabelle.
- (b) (1 Punkt) Wie kann man einen n -Bit-Serienaddierer nutzen, um eine $(n-1)$ -stellige Binärzahl mit der Konstanten 3 zu multiplizieren?
- (c) (1 Punkt) Wieviele Taktschritte benötigt ein n -Bit-Serienaddierer zur Addition von zwei Zahlen?
- (d) (1 Punkt) Wie kann man einen n -Bit-Serienaddierer zu einem $(n+1)$ -Bit-Serienaddierer erweitern?

3 Linear rückgekoppelte Schieberegister (3 Punkte)

- (a) (1 Punkt) Zeichne das LRSR beschrieben durch $(5, 1 + X^2 + X^3)$
- (b) (1 Punkt) Gegeben der Startwert $(0, 1, 1, 1, 0)$. Stelle eine Wertetabelle auf, die die ersten 10 Zustände dieses LRSR nach dem Startzustand t_0 darstellt. *Tipp:* Die Wertetabelle sollte wie folgt aufgebaut sein:

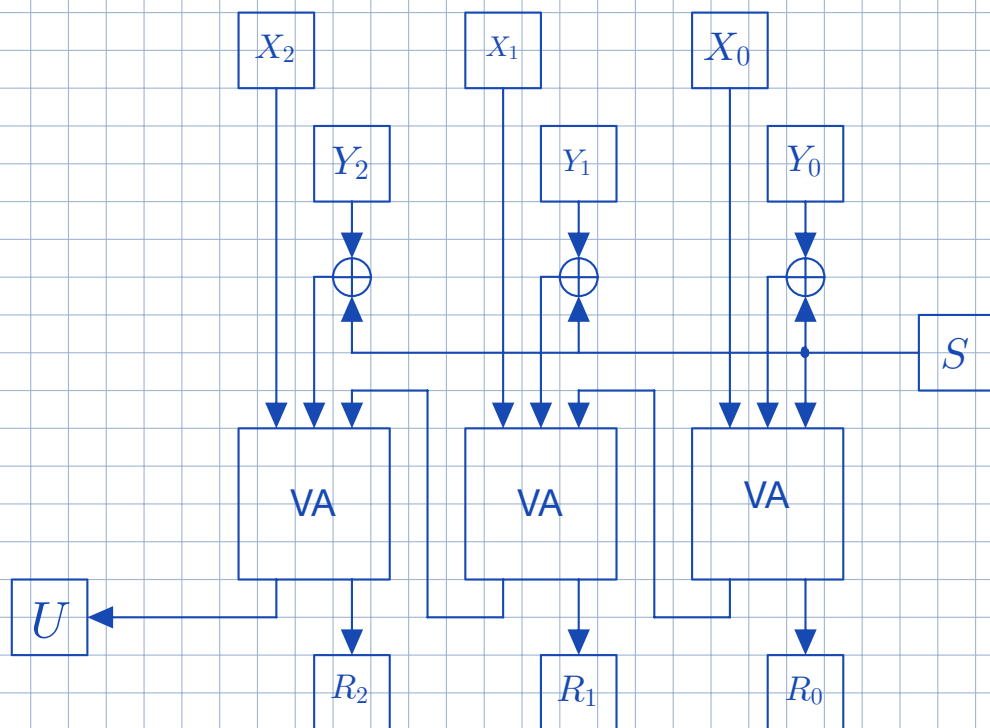
t	D_4	D_3	D_2	D_1	D_0
0	0	1	1	1	0
1	...				

- (c) (1 Punkt) Gib für folgende Outputsequenzen an, ob sie von diesem LRSR erzeugt wurden oder nicht:

(i) 1 1 0 0 0 0 1 1 0 0

(ii) 0 1 1 0 0 1 0 1 1 1

1)



2) a)

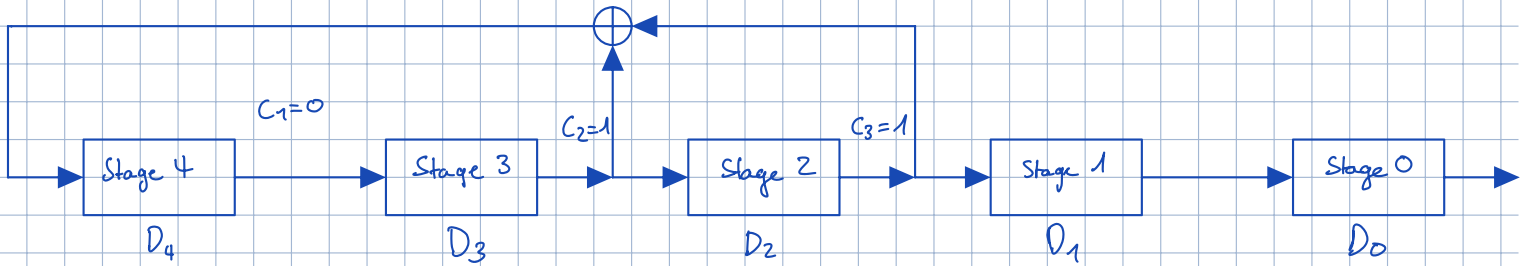
z	x ₃	x ₂	x ₁	x ₀	y ₃	y ₂	y ₁	y ₀
0	1	1	1	1	0	0	0	1
1	0	1	1	1	0	0	0	0
1	0	0	1	1	0	0	0	0
1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0

- b)
- 1) Verdoppelung der Zahl mit einem linkschift (Bsp. $(011)_2 = (3)_{10} \rightarrow (110)_2 = (6)_{10}$)
 - 2) Addieren der Verdoppelten Zahl mit der ursprünglichen Zahl ($((011)_2 + (110)_2 = (1001)_2$)

c) Ein n-Bit Serienaddierer benötigt n+1 Takte um eine Addition zweier n-Bit Zahlen durchzuführen. Dies aber nur wenn es einen Übertrag gibt und das Resultat n+1 Bits hat.

d) Man fügt dem Akkumulator und dem Puffer je ein delay hinzu.

3a) $c(x) = 1 \oplus c_1x \oplus c_2x^2 \oplus \dots \oplus c_Lx^L$
 $(5, 1 + x^2 + x^3)$



b)

	D_4	D_3	D_2	D_1	D_0
0	0	1	1	1	0
1	0	0	1	1	1
2	1	0	0	1	1
3	0	1	0	0	1
4	1	0	1	0	0
5	1	1	0	1	0
6	1	1	1	0	1
7	0	1	1	1	0
8	0	0	1	1	1
9	1	0	0	1	1
10	0	1	0	0	1

c) i)

	D_4	D_3	D_2	D_1	D_0
1	0	0	0	1	1
2	0	0	0	0	1
3	1	0	0	0	0
4	1	1	0	0	0
5	0	1	1	0	0
6	0	0	1	1	0
7		0	0	1	1
8			0	0	1
9				0	0
10					0

für $t=3,4,5$ falsch
 \Rightarrow nicht von diesem LSR

ii)

	D_4	D_3	D_2	D_1	D_0
1	0	0	1	1	0
2	1	0	0	1	1
3	0	1	0	0	1
4	1	0	1	0	0
5	1	1	0	1	0
6	1	1	1	0	1
7		1	1	1	0
8			1	1	1
9				1	1
10					1

Diese Sequenz wurde von diesem LSRs erzeugt.