

# Quartus II Practice - FullSubtrater

交換電路與邏輯設計課程

2014/11/07 by TA 謝明倫

## Problems Description:

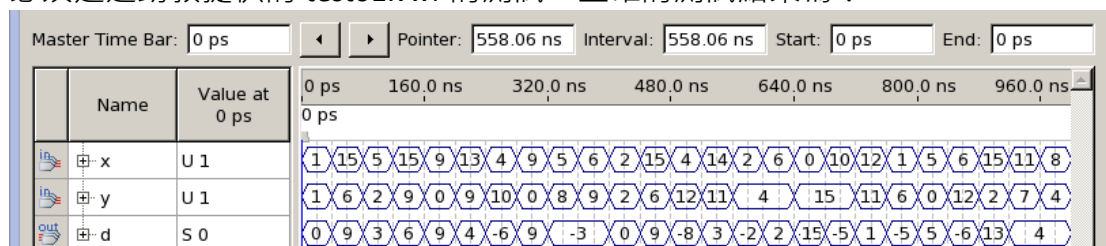
請利用 Quartus 課程所學習到的 Schematic 設計方法，參考 FullAdder4 的設計步驟，完成 FullSubtractor4 的設計，並通過專案內所附的 test01.vwf 波型檢測。

### FullSubtractor4 描述

在作業二 P.4-44，題目曾提示完成一 full subtrater。(如果你沒有完成，可以參考[習題解答](#)) (也可以自己設計不同的電路) 在這次的練習題中，請利用助教所提供的邏輯基本元件，進一步設計一個 4-bit, 4-bit to 5-bit 的減法器。電路輸入為  $x[4 \text{ bits, unsigned}]$ 、 $y[4 \text{ bits, unsigned}]$ ，輸出為  $d[5 \text{ bits, signed: 2's complement}] = x - y$ 。

## Requirements:

必須通過助教提供的 test01.vwf 的測試。正確的測試結果為：



完成後請給該堂課程負責助教檢查、簽到。 (不用繳交)

同學們可以自己攜帶電腦來操作，也可以事先完成本練習。事先完成者仍須找助教動態展示 vwf 模擬與結果。(不可以只有截圖)

[Hint] 圖中 x,y 的 Radix 為 unsigned decimal，d 為 signed decimal，如此較為方便觀察結果。可以把信號選起來於 Edit->Radix->[You want]設定。

[注意]：要接上 test01.vwf 意味著所有的 input/output 命名皆須正確。必須採用 array of pins 且三個信號各為 d[4..0], x[3..0], y[3..0] (或相對的展開形式)。

## Files:

Lab1HW\_FullSubtractor.tgz 解壓縮後即可得到 Quartus 專案檔，直接在上面修改設計即可。專案內已設定好作業限定的邏輯單元、波形檔。

下載後，解壓縮、執行 Quartus 工作站指令參考：

```
> tar -zxvf Lab1HW_FullSubtractor.tgz
> tcsh
> source /home/raid5_4/raid2_3/solaris/Quartus/.cshrc
> quartus &
```