

# 3D 封装与硅通孔 (TSV) 工艺技术

郎鹏, 高志方, 牛艳红

(太原风华信息装备股份有限公司, 山西 太原 030024)

**摘 要:** 在 IC 制造技术受到物理极限挑战的今天, 3D 封装技术越来越成为了微电子行业关注的热点。对 3D 封装技术结构特点、主流多层基板技术分类及其常见键合技术的发展作了论述, 对过去几年国际上硅通孔 (TSV) 技术发展动态给与了重点的关注。尤其就硅通孔关键工艺技术如硅片减薄技术、通孔制造技术和键合技术等做了较详细介绍。同时展望了在强大需求牵引下 2015 年前后国际硅通孔技术进步的蓝图。

**关键词:** 3D 封装; 硅通孔; IC 制造

**中图分类号:** TN 605      **文献标识码:** A      **文章编号:** 1001 - 3474 (2009) 06 - 0323 - 04

## Technology of 3D Packaging and TSV

LANG Peng, GAO Zhi-fang, Niu Yan-hong

(Ta yuan Fenghua Information - equipment Co., LTD, Ta yuan 030024, China)

**Abstract:** IC manufacturing faced the challenges of physical limits, 3D packaging technology has increasingly become the focus of the microelectronics industry. Dissertate the structure and characteristics of 3D packaging technology, mainstream multi-layer substrate technology classification, and the development of common bonding technologies. Pay attention to the international development of TSV technology over the past few years, Especially, TSV key technologies, such as wafer thinning technology, through-hole manufacturing technology and bonding technology. Give out the TSV technology development trend with the strong demands around 2015.

**Key words:** 3D package; Through-silicon-via; IC manufacturing

**Document Code:** A      **Article ID:** 1001 - 3474 (2009) 06 - 0323 - 04

由于 MCM - 3D 封装技术在组装密度、信号传输速度、电性能以及可靠性等方面独具优势, 目前已成为能最大限度地提高集成度和提高高速单片 IC 性能, 制作高速电子系统, 实现整机小型化、多功能化、高可靠性和高性能的最有效途径<sup>[1-3]</sup>。

所谓 MCM - 3D 技术, 就是在高密度多层互连基板上, 采用微焊接和封装工艺将构成电子电路的各种微型元器件 (IC 裸芯片及片式元器件) 进行三维立体组装, 形成高密度、高性能和高可靠性的微电子产品 (包括组件、部件、子系统和系统)。按照 MCM 基板材料技术可分为三类: MCM - L 采用层压有机基材, 制造基于普通印制板技术, 如图 1 (a) 所

示; MCM - C 采用陶瓷烧制基材, 基于 LTCC (HTCC) 技术, 如图 1 (b) 所示; MCM - D 采用沉积硅晶片, 制造过程基于集成电路技术的 TSV 硅通孔技术, 如图 1 (c) 所示。

在 MCM 电子系统中高达 50% 的功耗用在芯片的互连线上, 即使对于 65 nm 工艺节点的铜互连线来说, 引线电阻和寄生电容也已经成为问题。

3D 封装按照封装堆叠及 IC 裸芯片焊接 (键合) 技术近二十年来经历着三个重要阶段, 如图 2 所示。有人将 TSV 技术称之为第四代封装技术。之所以被称作第四代封装技术, 正是基于微电子装联键合技术从软铅焊、丝焊和芯片凸点倒装焊到通孔互连

技术的不断进步发展而言。

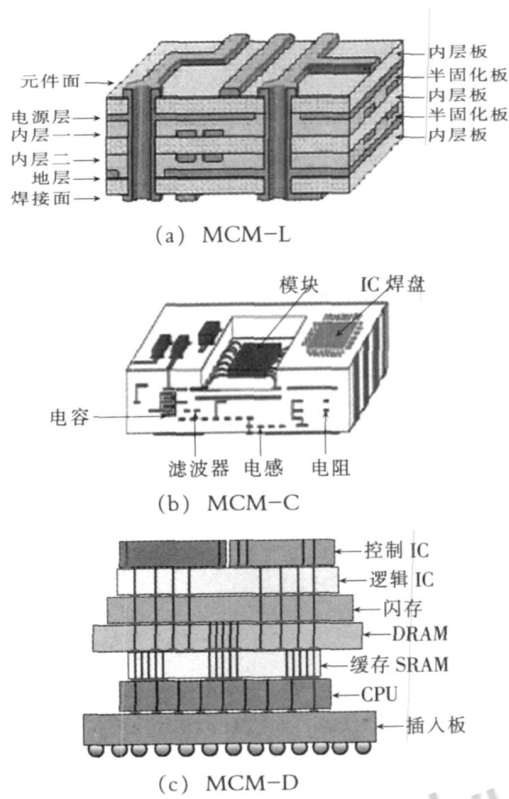


图 1 三种不同基板 MCM

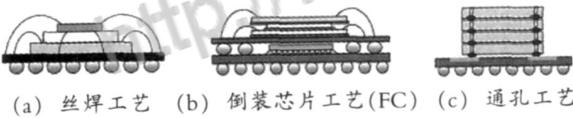


图 2 键合工艺技术

3D 封装的主要优势为:具有最小的尺寸和质量,将不同种类的技术集成到单个封装中,用短的垂直互连代替长的 2D 互连,降低寄生效应和功耗等。TSV 的关键技术是 z 轴互连和电隔离技术。包括通孔的形成;堆叠形式(晶圆到晶圆、芯片到晶圆或芯片到芯片);键合方式(直接 Cu - Cu 键合、粘接、直接熔合和焊接);绝缘层、阻挡层和种子层的淀积;铜的填充(电镀)和去除;再分布引线(RDL)电镀;晶圆减薄;测量和检测等。而这种集成技术会使 IC 制造与封装发生工艺交叠<sup>[4]</sup>。

1 TSV 关键工艺技术

TSV 集成被定义为一种系统级集成结构,在这一结构中,多层平面器件被堆叠起来,并经由穿透硅通孔(TSV)在 z 方向连接起来,主要工艺技术为层减薄技术、通孔工艺、对准和键合技术等。

1.1 减薄工艺

大多数 3D - IC 工艺中,单个 IC 的厚度要求都远低于 75  $\mu\text{m}$ 。减薄器件晶圆成为很重要的工艺之一。减薄技术面临的首要挑战就是超薄化工艺所要求的  $<50\ \mu\text{m}$  的减薄能力。传统上,减薄工艺仅仅需要将硅片从晶圆加工完成时的原始厚度减薄到 300  $\mu\text{m}$  ~ 400  $\mu\text{m}$ 。在这个厚度上,硅片仍然具有相当的厚度来容忍减薄工程中的磨削对硅片的损伤及内在应力,同时其刚性也足以使硅片保持原有的平整状态<sup>[5]</sup>。

在传统减薄工艺的粗精磨之后残留在磨削表面的损伤是造成破片的主要直接原因。之所以产生这样的损伤是因为磨削工艺本身就是一种物理损伤性工艺,其去除硅材质的过程本身就是一个物理施压、损伤、破裂和移除的过程。为了消除这些表面损伤及应力,人们考虑了各种方法:干抛、湿抛、干法刻蚀和湿法刻蚀等,目前在大批量生产中应用最多目前业界的主流解决方案是采用东京精密公司所率先倡导的一体机思路,将硅片的磨削、抛光、保护膜去除和划片膜粘贴等工序集合在一台设备内,通过独创的机械式搬送系统使硅片从磨片一直到粘贴划片膜为止始终被吸在真空吸盘上,始终保持平整状态。当硅片被粘贴到划片膜上后,比划片膜厚还薄的硅片会顺从膜的形状而保持平整,不再发生翘曲和下垂等问题,从而解决了搬送的难题。如日本东京精密公司的一体机 PG200/300RM 硅片在不用离开真空吸盘的情况下就可以顺次移送到粗磨、精磨和抛光等不同的加工位,完成整个减薄的过程。这一独创的设计完全克服了磨片后硅片的严重翘曲所造成的难以搬送到抛光机的问题。同时也避免了磨片后的严重翘曲使表面损伤扩大,进而破裂的危险。

1.2 通孔工艺

1.2.1 通孔制造

晶圆上通孔制造是 TSV 技术的核心,目前“钻蚀”TSV 的技术主要有两种,一种是干法刻蚀或称博世刻蚀,另一种是激光烧蚀。博世工艺为 MEMS 工业而开发,快速地在去除硅的 SF<sub>6</sub>等离子刻蚀和实现侧壁钝化的 C<sub>4</sub>F<sub>8</sub>等离子沉积步骤之间循环切换<sup>[6]</sup>。

激光技术作为一种不需掩膜的工艺,避免了光刻胶涂布、光刻曝光、显影和去胶等工艺步骤,已取得重大进展。三星(韩国)已经在存储器叠层中采用了这一技术。激光加工系统供应商 Xsil 公司(爱尔兰)为 TSV 带来了最新解决方案,Xsil 称激光钻孔工艺将首先应用到低密度闪存及 CMOS 传感器

中,随着工艺及生产能力的提高,将会应用到 DRAM 中。然而,未来当 TSV 尺寸降到  $10\text{ }\mu\text{m}$  以下时,激光钻孔是否可以进一步缩小,面临着挑战。

在 TSV 刻蚀设备领域, Lam Research(美国)推出了第一台  $300\text{ mm}$  TSV 刻蚀设备 2300 Syndion,并已投入使用。而 Aviza(美国)针对 TSV 先进封装也推出了 Omega i2L 刻蚀系统,日月光(ASE/台湾)已宣布将采用此系统用作先进制程技术的研发。

### 1.2.2 通孔绝缘

通常氧化物( $\text{SiO}_2$ )绝缘层可以使用硅烷( $\text{SiH}_4$ )或 TEOS 通过 CVD 工艺沉积获得。如果 TSV 在芯片制造之后进行绝缘和填充,则需要小心选择沉积温度。为获得具有合适密度的功能性绝缘层,典型的 TEOS 沉积温度在  $275\text{ }^{\circ}\text{C} \sim 350\text{ }^{\circ}\text{C}$ 。

诸如 CMOS 图像传感器和存储器等应用,则要求更低的沉积温度。一些设备制造商开发了这类低温氧化物沉积技术,可以在室温下进行沉积,可作为 TSV 的高效有机绝缘层。

### 1.2.3 阻挡层、种子层和填镀

铜通孔中, TN 粘附阻挡层和铜种子层都通过溅射来沉积。然而,要实现高深宽比( $AR > 4:1$ )的台阶覆盖,传统的 PVD 直流磁控技术效果并不令人满意。基于离子化金属等离子体(MP)的 PVD 技术可实现侧壁和通孔底部铜种子层的均匀沉积。由于沉积原子的方向性以及从通孔底部到侧壁溅射材料过程中离子轰击的使用, MP 提供更好的台阶覆盖性和阻挡层/种子层均匀性。

由于电镀成本大大低于 PVD/CVD, 通孔填充一般采用电镀铜的方法实现。

### 1.3 TSV 键合技术

TSV 键合采用工艺有金属—金属键合技术和高分子粘结键合等。金属—金属键合技术有一种趋势,因为这种技术可以同时实现机械和电学的接触界面。如铜—铜键合在  $350\text{ }^{\circ}\text{C} \sim 400\text{ }^{\circ}\text{C}$  温度下施加压力超过  $30\text{ min}$ ,接着在  $350\text{ }^{\circ}\text{C} \sim 400\text{ }^{\circ}\text{C}$  下的氮气气氛退火  $30\text{ min} \sim 60\text{ min}$  完成。这种技术使用金属对 TSV 进行封帽,之后采用氧化物和金属同步 CMP 进行平坦化,经过专利保护的表面处理技术,可使用标准的键合/对准机在大气环境下  $1\text{ min} \sim 2\text{ min}$  实现芯片或者晶圆的键合。在  $350\text{ }^{\circ}\text{C}$  温度下施加压力,在低  $\text{CoO}$  键合操作下可以获得单一的金属界面。

EVG 公司(奥地利)自 2002 年起,便致力于针对 3D 集成开发  $300\text{ mm}$  晶圆键合设备,其首款  $300$

$\text{mm}$  多反应腔 3D 键合系统已在 2008 年完成。CEA-Leti(法国)及 SET(法国)成功开发出新一代高精度( $0.5\text{ }\mu\text{m}$ )高键合力( $4\text{ }000\text{ N}$ )的  $300\text{ mm}$  晶圆器件键合设备 FC300。

### 2 TSV 技术展望

随着 3D 技术的演化以及应用中通孔尺寸和节距的缩小,叠层中每层的厚度也很有可能会减小。将硅片厚度减到  $5\text{ }\mu\text{m}$  以下,电路性能也不会恶化。因此,很有可能的是可制造性而非电学性能将成为未来的限制因素。诸如 CMOS 图像传感器、存储器和逻辑电路上存储器之类 3D 应用,使 3D 技术不断发展和成熟<sup>[7]</sup>。

#### 2.1 应用与需求牵引

在未来 10 年~15 年到达传统器件制造其自身物理极限,而新型器件结构,比如碳纳米管(CNT)、自旋电子器件以及分子开关等,还不能发展到可被实际使用的水平情况下,TSV 封装技术必将成为微电子行业关注的热点。最先应用将会是 CMOS 图像传感器(CIS),接着是 DRAM 和逻辑电路上存储器。率先在 CMOS 图像传感器和叠层存储器领域的键合应用将成为 TSV 技术向前发展的推动力,尽管目前还未能达到大批生产的吞吐量需求。

对于逻辑电路上存储器传统的二维处理器架构,在同一芯片上包含  $L0$  和  $L1$  级缓存作为处理器核,而将  $L2$  级缓存在另一个独立的芯片上。因此处理器核与缓存间的互连可能会比较长,在一些情况下,将导致在数据从一端传递到另一端之前经历多个时钟周期。在多核处理器系统中,为避免这种速度问题所需的巨大带宽,也会采用能够缩短互连长度的 TSV 技术,使用该技术,不同尺寸的芯片叠层在一起提高品质性能,成为芯片与圆片叠层逻辑电路加存储器应用的最佳选择。还有的芯片制造商如 Intel 同时关注逻辑电路加存储器的叠层和逻辑电路加逻辑电路的叠层方式,前者包括将缓存和主存叠层在高性能逻辑器件之上,而后者则是将一个完整的逻辑电路拆分到两个或更多的器件层上,将会需要使用比前者更小的互连节距。

由于 TSV 还可以集成互不兼容的工艺,又被称为“异质集成”。如手机中的功率放大器都是使用 GaAs 工艺制造的。而在实际上,只有很少几种电路需要使用 GaAs 工艺。而 TSV 集成将允许这些小块 GaAs 电路键合在 CMOS 电路的上面,构成一个完整的电路。这也会在本质上降低成本。这一技术具有很强的军用背景,实际上在军事领域被称为

## COSMOS

## 2.2 技术发展蓝图

率先在 CMOS 图像传感器和叠层存储器领域的应用将成为 TSV 技术向前发展的推动力, 尽管目前还未能达到批生产的吞吐量需求。

根据国外一些权威调研公司报告, TSV 技术量产应用预计要在 2015 年以后才能够实现, 在此期间将会经历四个不同的发展阶段。每一阶段的封装技术并不会取代上一阶段, 而是各种技术共存, 以满足不同成本及特定应用的需求。

目前正处于第一阶段 (3D - WLP Era), 采用晶圆级封装减小封装尺寸, 引线键合通孔互连实现同种存储芯片的 3D 堆叠, NAND 闪存率先实现。第二阶段 (3D Fusion Era) 大约出现在 2010 年, 将成为 3D 技术的关键节点, TSV 技术将更多用于前段制程, 并将垂直集成不同功能单元芯片。第三阶段 (3D - Logic - SiP Era) 2012 年以后, 存储芯片与逻辑芯片将能够直接堆叠, 通孔更小 (小于  $5\ \mu\text{m}$ ) 互连密度更高。第四阶段 (Ultimate 3D IC), 最终实现 3D 集成芯片。为此, 国外相关设备厂商已积极配合, 已经适时推出新产品。TSV 工艺技术发展蓝图如图 3 所示。

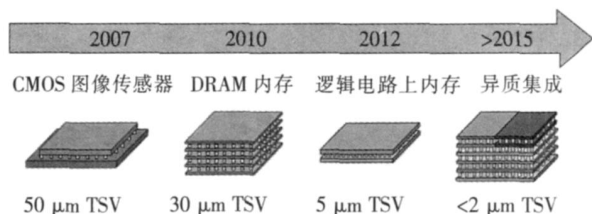


图 3 TSV 工艺技术发展蓝图

## 参考文献:

- [1] 杨光育, 杨建宁, 韩依楠. 电子产品 3D—立体组装技术 [J]. 电子工艺技术, 2008, 29(1): 33 - 34.
- [2] 陈贵宝, 阎山. 系统级封装技术现状与发展趋势 [J]. 电子工艺技术, 2007, 28(5): 273 - 276.
- [3] Philip Garnou. 3D 集成电路进入商业化领域 [J]. 集成电路应用, 2009(5): 37 - 40.
- [4] Akito Yoshida. A study on package stacking process for package - on - package (PoP) [C]. Electronic components and technology conference (ECTC), 2006: 213 - 219.
- [5] 廖凯. 堆叠 /3D 封装的关键技术之一—硅片减薄 [J]. 中国集成电路, 2007(5): 79 - 81.
- [6] 童志义. 3D IC 集成与硅通孔 (TSV) 互连 [J]. 电子工业专用设备, 2009, (3): 27 - 34.
- [7] 封国强, 蔡坚, 王水弟. 硅通孔互连技术的开发与应用 [J]. 中国集成电路, 2007, (3): 54 - 57.

收稿日期: 2009 - 09 - 11

(上接第 322 页)

相关, 由于工艺温度的升高, 工艺温度曲线的设置必须非常细致, 以保证焊剂在焊点形成过程中被释放出来<sup>[17, 18]</sup>。

## 6 结束语

电子组装业的无铅化已成为必然趋势, 电子产品制造商应该根据自身产品的特点, 选择合适的无铅焊膏类型, 从而获得高的产品可靠性和成品率, 同时降低企业运营成本。(续完)

## 参考文献:

- [6] 龚代涛, 刘小波, 王国勇. Sn - Ag - Bi 系焊料焊接性能研 [J]. 电子元件与材料, 2003, 22(7): 26 - 29.
- [7] 周迎春, 潘清林, 何运斌等. La 对 Sn - Ag - Cu 无铅焊料组织与性能的影响 [J]. 电子工艺技术, 2007, 28(6): 341 - 344.
- [8] 王大勇, 顾小龙. Ni 对 Sn - 0.7Cu 焊料微观组织和力学性能的影响 [J]. 电子工艺技术, 2007, 28(1): 17 - 19.
- [9] 潘建军, 于新泉, 龙伟民等. 新型无铅焊料的研制 [J].

电子工艺技术, 2007, 28(3): 139 - 141.

- [10] 罗道军, 刘子莲. 无铅助焊剂助焊性能的可接受标准 [J]. 表面贴装与半导体科技, 2008, 4(2): 118 - 120.
- [11] 林延勇, 李国伟, 夏志东等. 无铅焊料用免清洗助焊剂的研究 [J]. 电子工艺技术, 2008, 29(1): 12 - 15.
- [12] 秦俊虎. 树脂芯助焊剂性能原基础研究 [J]. 电子工艺技术, 2008, 29(2): 77 - 80.
- [13] 司士辉, 肖辉. 无铅焊锡线中无卤素免清洗助焊剂的研制 [J]. 电子工艺技术, 2007, 28(5): 364 - 267.
- [14] 金霞, 冒爱琴, 顾小龙. 免清洗型助焊剂的研究进展 [J]. 电子工艺技术, 2007, 28(6): 334 - 337.
- [15] 蒋东华, 董军. 焊膏及印刷技术 [J]. 印制电路技术, 2003(3): 59 - 61.
- [16] 史建卫, 杨冀丰, 李晋等. 焊膏印刷技术前景展望 [J]. 电子工艺技术, 2007, 28(4): 198 - 204.
- [17] 马鑫, 何鹏. 电子组装中的无铅软钎焊技术 [M]. 哈尔滨: 哈尔滨工业大学出版社, 2006.
- [18] 刘丹, 钱乙余. SMT 无铅焊膏性能的改进及其组分对性能的影响 [D]. 哈尔滨: 哈尔滨工业大学, 2006.

收稿日期: 2009 - 10 - 16

word版下载: <http://www.ixueshu.com>

免费论文查重: <http://www.paperyy.com>

3亿免费文献下载: <http://www.ixueshu.com>

超值论文自动降重: [http://www.paperyy.com/reduce\\_repetition](http://www.paperyy.com/reduce_repetition)

PPT免费模版下载: <http://ppt.ixueshu.com>

---

## 阅读此文的还阅读了:

- [1. 基于TSV技术的CIS芯片晶圆级封装工艺研究](#)
- [2. 硅通孔\(TSV\)转接板微组装技术研究进展](#)
- [3. 应用于三维封装中的硅通孔技术](#)
- [4. 电子封装最新工艺技术](#)
- [5. AMAT与诺发3维封装用Cu-TSV上的开发竞争激化](#)
- [6. 3D封装与硅通孔\(TSV\)工艺技术](#)
- [7. TSV制程关键工艺设备技术及发展](#)
- [8. 应用于MEMS封装的TSV工艺研究](#)
- [9. TSV和3D封装将是2012年行业发展的重点](#)
- [10. 带有TSV的硅基大功率LED封装技术研究](#)
- [11. 3D IC-TSV技术与可靠性研究](#)
- [12. 3D IC集成与硅通孔\(TSV\)互连](#)
- [13. 基于TSV工艺的三维FPGA热分析](#)
- [14. BGA封装技术及其返修工艺](#)
- [15. 中微推出用于3D芯片及封装的硅通孔刻蚀设备Primo TSV200E\(TM\)](#)
- [16. 一种多链式结构的3D-SIC过硅通孔\(TSV\)容错方案](#)
- [17. 3D封装TSV技术仍面临三个难题](#)
- [18. 3D封装缩小芯片封装的技术](#)
- [19. 基于MEMS圆片级封装/通孔互联技术的SIP技术](#)
- [20. 基于TSV技术的3D电感的设计与实现](#)
- [21. 三维叠层DRAM封装中硅通孔开路缺陷的模拟](#)
- [22. 应用材料公司改进刻蚀技术,降低TSV\(硅通孔\)制造成本](#)
- [23. 3-D叠层芯片封装技术](#)
- [24. 基于硅通孔技术的3D IC](#)
- [25. 穿透硅通孔:兼顾技术与成本的考虑](#)

- [26. TSV通孔技术研究](#)
- [27. 用于3D WLP和3D SIC的穿透硅通孔技术](#)
- [28. TSV立体集成用Cu/Sn键合工艺](#)
- [29. TSV技术中关键工艺基础研究](#)
- [30. 用于2.5D封装技术的微凸点和硅通孔工艺](#)
- [31. 3D封装与硅通孔\(TSV\)技术](#)
- [32. 含TSV结构的3D封装多层堆叠Cu/Sn键合技术](#)
- [33. 应用材料公司改进刻蚀技术,降低TSV\(硅通孔\)制造成本](#)
- [34. 3D堆叠技术及TSV技术](#)
- [35. 硅通孔3D芯片堆叠并非最新技术](#)
- [36. 3D NoC中TSV和交叉开关的容错设计](#)
- [37. 基于硅通孔的三维电子封装热机械可靠性研究](#)
- [38. 三维集成封装中的TSV互连工艺研究进展](#)
- [39. 三维叠层DRAM封装中硅通孔开路缺陷的模拟\(英文\)](#)
- [40. 基于3D-TSV叠层封装的Sn单晶粒微凸点研究](#)
- [41. 2008年,TSV3-D封装将步入正轨](#)
- [42. 硅通孔TSV关键 降低成本和解决工艺路线](#)
- [43. 应用于三维叠层封装的硅通孔\(TSV\)建模及传热和加载分析](#)
- [44. 3D封装技术](#)
- [45. 3D-TSV封装技术](#)
- [46. 硅通孔电镀铜填充工艺优化研究](#)
- [47. 高性能硅通孔 \(TSV\) 三维互连研究](#)
- [48. 三维集成中的TSV技术](#)
- [49. 硅通孔三维封装技术研究进展](#)
- [50. 3D封装散热技术研究](#)