

3D 封装及其最新研究进展

邓 丹^a, 吴丰顺^{a,b}, 周龙早^b, 刘 辉^b, 安 兵^{a,b}, 吴懿平^{a,b}

(华中科技大学 a. 武汉光电国家实验室; b. 材料成形及模具国家重点实验室, 武汉 430074)

摘要: 介绍了 3D 封装的主要形式和分类。将实现 3D 互连的方法分为引线键合、倒装芯片、硅通孔、薄膜导线等, 并对它们的优缺点进行了分析。围绕凸点技术、金属化、芯片减薄及清洁、散热及电路性能、嵌入式工艺、低温互连工艺等, 重点阐述了 3D 互连工艺的最新研究成果。结合行业背景和国内外专家学者的研究, 指出 3D 封装主要面临的是散热和工艺兼容性问题, 提出应尽快形成统一的行业标准和系统的评价检测体系, 同时指出对穿透硅通孔 (TSV) 互连工艺的研究是未来研究工作的重点和热点。

关键词: 3D 封装; 穿透硅通孔; 金属化; 散热; 嵌入式工艺

中图分类号: TN405.97 **文献标识码:** A **文章编号:** 1671-4776 (2010) 07-0443-08

3D Package and Its Latest Research

Deng Dan^a, Wu Fengshun^{a,b}, Zhou Longzao^b, Liu Hui^b, An Bing^{a,b}, Wu Yiping^{a,b}

(a. Wuhan National Laboratory for Optoelectronics; b. State Key Laboratory of Materials Processing and Die & Mould Technology, Huazhong University of Science and Technology, Wuhan 430074, China)

Abstract: The main forms and classification of 3D package are introduced. The methods of 3D interconnection can be classified into the wire bonding, flip chip, through silicon via (TSV) and film wire technology, whose advantages and disadvantages are analyzed. The latest researches of 3D interconnection technologies are illustrated, including the bumps technique, metallization, chip thinning and cleaning, heat dissipation and circuit performance, embedded technology and low-temperature interconnection. Heat dissipation and processing compatibility are the main problems in 3D package, and a common industry standard as well as an evaluate system should be formulated by combining industry background and the researches of experts and scholars in foreign and domestic. 3D TSV technology will be a research focus in the future.

Key words: 3D package; through silicon vias (TSV); metallization; heat dissipation; embedded technology

DOI: 10.3969/j.issn.1671-4776.2010.07.010

EEACC: 2550F

0 引言

随着消费类电子设计降低到 45 nm 甚至 32 nm 节点, 为了在一定尺寸的芯片上实现更多的功能,

同时避免高密度下 2D 封装的长程互连导致的 RC 延迟, 研究者们把目光投向了 Z 方向封装——3D 封装。随着封装技术的不断发展, MCM, SIP, SOP 和 POP 等新的封装方法陆续诞生, 这为 3D 封

收稿日期: 2010-01-18

基金项目: 国家自然科学基金资助项目 (60776033); 材料成形及模具国家重点实验室资助项目 (20050457)

通信作者: 吴丰顺, E-mail: fengshunwu@mail.hust.edu.cn

装的兴起提供了条件。采用 3D 封装技术能提高封装密度、增强产品性能、提高速度、降低功耗、降低噪声、实现电子设备的小型化和多功能化，还能使设计自由度提高，开发时间缩短^[1]。另外，可靠性也是其一大优势，可以利用 3D TSV 取代引线键合或倒装互连，利用 3D 堆叠晶圆级光学元件取代注塑模透镜模组，通过若干层的垂直集成，制造出可靠性更高的系统。

1 3D 封装的主要形式和分类

3D 封装的形式有很多种，主要可分为埋埋型、有源基板型和叠层型三类^[2]。埋埋型即将元器件埋埋在基板多层布线内或埋埋、制作在基板内部。有源基板型是用硅圆片集成（wafer scale integration, WSI）技术做基板时，先采用一般半导体 IC 制作方法作一次元器件集成化，形成有源基板，然后再实施多层布线，顶层再安装各种其他 IC 芯片或元器件，实现 3D 封装。这一方法是人们最终追求并力求实现的一种 3D 封装方法。叠层型是将两个或多个裸芯片或封装芯片在垂直芯片方向上互连形成 3D 结构。

目前有许多种基于堆叠方法的 3D 封装，主要包括：硅片与硅片的堆叠（W2W）、芯片与硅片的堆叠（D2W）以及芯片与芯片的堆叠（D2D）。封装的工艺成本主要取决于已知合格芯片（know good die, KGD）。

Tessera 公司提出一种堆叠芯片的新工艺—— μ Z 折叠封装^[3]。 μ Z 折叠封装是在一个柔性基板的的不同位置贴放多个芯片，芯片与基板之间使用引线互连，然后在相应的位置上进行独立的灌封。根据需要，将柔性的基板折叠成紧凑的形状。柔性基板的外侧与下部芯片相邻，柔性基体的末端可以作为模块的引出端。根据这一思想，引伸出了两种方法：一种是 μ Z 锡球叠层封装，即使用基板上的外部焊球完成单芯片层之间的连接；一种是 μ Z 折叠封装，即封装单个芯片，然后使它与其他的封装或裸芯片进行叠层，利用柔性基板下的 BGA（球栅阵列封装）引脚底座与线路板相连。这两种方法都可以使封装效率大幅提高，甚至高于 200 %（针栅阵列封装 PGA 10 %、BGA 20 %、芯片级封装 CSP 80 %）。

目前，IMEC（Inter-University Micro Electronics Center）正在与国际半导体技术线路图（ITRS）以及 Jisso 封装标准集团共同制定基于电子供应链的 3D 分类标准。分类如下^[4]：（1）3D-SIP（system-in-package）：采用传统的引线键合进行芯片堆叠，即在第二层和第三层 Jisso 封装层级实现 3D 互连。（2）3D-WLP（wafer-level package）：在 IC 钝化层工艺完成之后实现 3D 互连（Jisso 的第一级）。（3）3D-SIC（stacked-IC）：在全局层级或中间层级（Jisso 层级 0 层）的 3D 互连。（4）3D-IC：在芯片连接层级的局部层级实现 3D 互连。如图 1（来源：IMEC^[5]）所示，随着特征尺寸的缩小、布线密度的增加，不同层级的 3D 互连都需要不同的工艺方案和工业设施，这就带给了研究者们很大的研究空间。

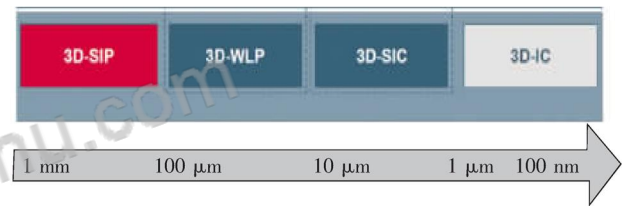


图 1 不同层级的 3D 互连高度

Fig 1 3D interconnect heights with different layer levels

2 3D 互连方法

3D 互连的方法有：引线键合、倒装芯片、硅通孔、薄膜导线等。

2.1 引线键合

引线键合技术是半导体器件最早使用的一种互连方法，也是 3D 互连的最早形式。其主要应用于叠层型的 3D 封装，通过长引线将各层芯片互连到基板上完成整个系统的电路互连，当芯片的尺寸相近时，为了给引线连接留出空间，通常需要在芯片之间加一个厚的中间层。随着堆叠层数的增加，引线密度增加，长引线引起信号延迟问题加剧，因此，引线键合通常应用于低密度 3D 互连。

2.2 倒装芯片

随着 Z 方向封装密度的增大，内部连接性要求越来越高，上下层芯片之前的电气连接便由引线向焊球发展。S. C. Johnson^[6]指出，倒装芯片是下一代 3D IC 架构的关键互连技术。毋庸置疑，凸点互连在尺寸、外观、柔性、可靠性及成本等方面

都有很大优势，但在 3D 互连中，倒装芯片和引线键合通常结合起来使用，如图 2（来源：STATS Chip PAC^[7]）所示，而不是简单的替换关系。

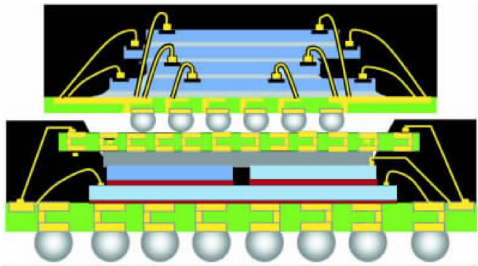


图 2 3D 叠层封装模型

Fig. 2 Schematic of 3D stack module

从 2D 到 3D 的倒装芯片，随着封装密度的增加，凸点尺寸和间距持续减小。对于 3D 封装中超细间距的微凸点、凸点的制作、凸点间隙的填充以及微小凸点电学和热学性能的变化都是需要进一步研究的。

2. 3 TSV

图 3（来源：Yole Développement^[8]）所示是一个 3D TSV 硅内插器的概念模型，TSV 是利用垂直硅通孔完成芯片间互连的方法，由于连接距离更短、强度更高，它能实现更小更薄而性能更好、密度更高、尺寸和重量明显减小的封装，同时还能用于异种芯片之间的互连。图 4^[9] 为深宽比为 10 : 1 的完成金属电镀的 TSV。如图 5（来源：Yole Développement^[8]）所示，根据通孔制作的时间不同，3D TSV 通孔集成方式可以分成以下四类：（1）先通孔工艺，即在 CMOS 制程之前完成硅通孔制作，先通孔工艺中的盲孔需电镀绝缘层并填充导电材料，通过硅晶圆减薄，使盲孔开口形成与背面的连接；（2）中通孔工艺，即在 CMOS 制程和 BEOL 之间制作通孔；（3）后通孔工艺，即在 BEOL 完成之后再制作通孔，由于先进行芯片减薄，通孔制成后即与电路相连；（4）键合后通孔，即在硅片减薄、划片之后再制作 TSV。表 1 是前通孔和后通孔工艺的比较^[10-11]。TSV 被许多半导体厂和研究机构认为是最有前途的封装方法，世界上 50 % 以上的厂商都参与 3D TSV 互连相关方面的研究。Yole 预测，2015 年前将有数以百万计的 3D-TSV 晶圆出货，这将造成 25 % 的存储器行业受到相当的冲击，除去存储器装置使用的数量，3D-TSV 晶圆将占有总晶圆数的 6 %。

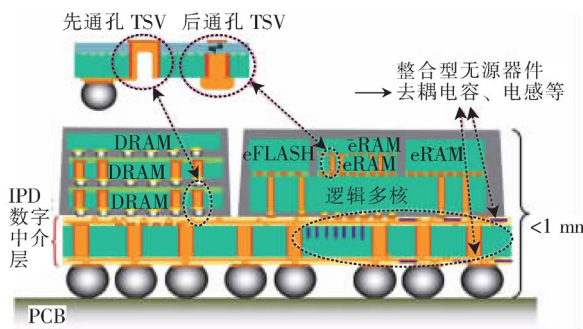


图 3 3D TSV 硅内插器概念

Fig. 3 3D TSV silicon interposer concept

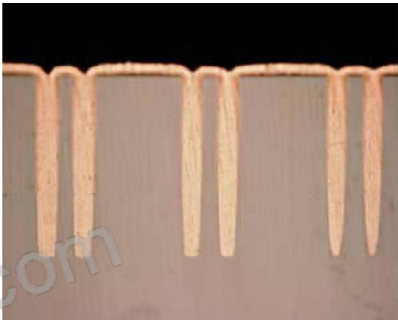


图 4 完成金属电镀的 TSV

Fig. 4 TSV after metal plating

	#1	#2	#3	#4	#5	#6
先通孔	TSV 刻蚀	TSV 填充	FEOL	BEOL	减薄	芯片键合
中通孔	FEOL	TSV 刻蚀	TSV 填充	BEOL	减薄	芯片键合
后通孔	BEOL	FEOL	减薄	TSV 刻蚀	TSV 填充	芯片键合
键合后通孔	BEOL + FEOL	邦定	减薄	TSV 刻蚀	TSV 填充	

图 5 3D TSV 通孔集成的主要方式

Fig. 5 Main ways of 3D TSV via integration

表 1 先通孔和后通孔工艺比较

Table 1 Comparison between via-first and via-last

参数	先通孔	后通孔
导电金属	多晶 Si	Cu 或 W
通孔直径/μm	2 ~ 5	30 ~ 50
通孔深度/μm	5 ~ 20	40 ~ 150
深宽比	3 1 ~ 10 1	2 1 ~ 10 1

2.4 薄膜导线

毫无疑问，TSV 技术是目前最先进也最具发展潜力的 3D 互连方法，但考虑到 TSV 的高成本，许多研究者把目光投向了其他互连结构。M. Topper 等人^[12]基于晶圆级薄膜工艺，在超薄裸芯片上使用平面集成技术制作高密度模组薄片集成（thin chip integration，TCI），如图 6 所示，将一个或一个以上超薄芯片堆叠在一个大尺寸厚芯片上，超薄芯片中间通过薄膜导线连接，芯片之间采用介质材料为 BCB 光敏胶。芯片的厚度为 20 ~ 40 μm ，TCI 模组的制作全部采取现有的封装工艺，包括芯片减薄、电镀沉积、凸点的制作等，工艺过程如图 7 所示。作者使用菊花链测试板对模组的电性能和可靠性进行了测试，经过 1 000 次温度循环实验（- 55 ~ 125 $^{\circ}\text{C}$ ）未失效。薄膜导线技术与 CMOS 工艺兼容，能实现高互连密度、相邻装置之间的短互连以及无源器件的集成，对线路的阻抗也能进行有效控制，是多层 3D 封装的可行方法。但是芯片减薄（< 40 μm ）时的分离和转移、

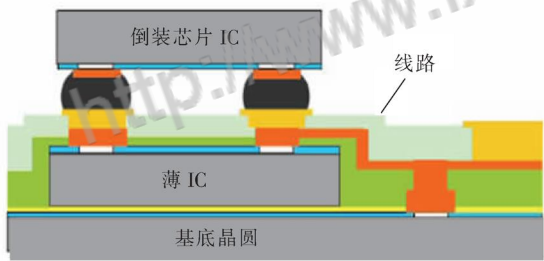


图 6 TCI 模型示意图

Fig. 6 Schematic drawing of TCI

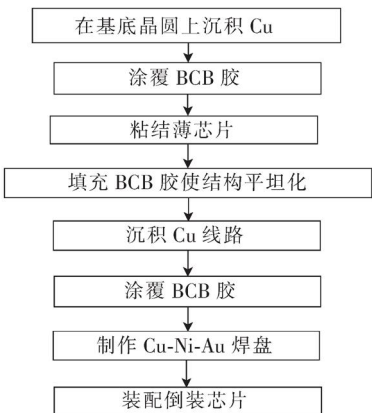


图 7 TCI 工艺流程

Fig. 7 Process step for TCI

聚合物嵌入以及重分布层布线、装配检验等问题还有待进一步研究。

3 3D 工艺研究成果

3.1 凸点技术

目前，3D 叠层中的微焊点主要使用超细间距和高密度凸点阵列实现。早年，研究者们^[13-14]就能使用热压焊成功制作 20 μm 间距互连。在凸点尺寸很小的情况下，使用传统凸点下金属化（under bump metallization，UBM）金属薄膜工艺时发生的咬边现象将对小凸点有破坏作用。因此，在高密度 3D IC 堆叠中一般使用化学镍金（electroless nickel immersion gold，ENIG）工艺制作 UBM。A. Yu 等人^[15]认为，在 3D 互连中，UBM 层一般应取 2 ~ 6 μm ：一方面，随着 UBM 层厚度的增加凸点最大剪切应力将减小；另一方面，电镀厚的 ENIG 层将导致 UBM 层变宽，这将增加焊点桥接的危险。

图 8 是用于医疗的 3D 芯片级叠层模组^[16]，两个不同尺寸和厚度的薄片通过倒装芯片技术使用微小焊点互连堆叠到了一起。通过工艺优化，目前能够达到填胶层无孔洞、连接形状良好、抗疲劳性能符合使用要求的连接。

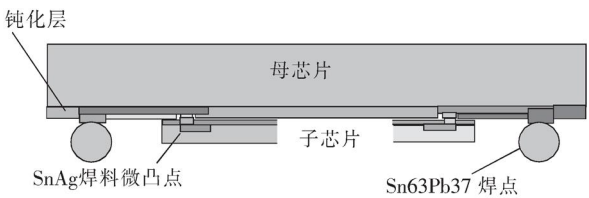


图 8 3D Si 芯片堆叠模组示意图

Fig. 8 Schematic of the 3D silicon chip stack module

3.2 金属化

金属化是形成电流通路的主要途径，3D 封装沿用传统的 2D 金属化方法，但由于尺寸的降低，在方法的选用和实施上又有所不同。

电镀沉积形成的共晶结合是焊点金属化最实用的连接技术，在 3D 的凸点互连中仍然起主导作用。在 2D 互连中，化学气象沉积（chemical vapor deposition，CVD）是常见的用于 FEOL 铜沉积的方法，它适用于直径为 1 ~ 2 μm 的小尺寸。但是 CVD 的应用成本较高，同时使用有机金属的不稳

定性会影响沉积层的纯度。因此, 大多数 TSV 都采用电镀沉积的方法 (特别是在通孔直径 $2\ \mu\text{m}$ 时), 同时配合使用种子层修复 (seed layer repair, SLE) 或直接在阻挡层上电镀 (direct on barrier electrodeposition, DOB) 完成电流通路^[17]。

电化学沉积在 3D 封装中也有广泛的应用, 而沉积工艺很大一部分受化学反应的影响, 在一个可控和稳定的系统中进行沉积是很重要的。当氧化反应发生在阳极时, 有机物、尤其是催化剂会对沉积工艺产生很大的影响。对电镀单元进行合理的设计, 将大大减少这些添加剂的消耗。最新研究出的电解槽使用离子特异性膜将添加剂与阳极分离^[18], 采用这个装置, 添加剂的消耗量降低约 60 %。

值得一提的是, 在所有的金属化过程中, 由于通孔填充的工艺时间较长, TSV 仍然是瓶颈。减小通孔尺寸, 发展更快的工艺, 是使 3D 封装生产率提高、成本降低的重要途径。

3.3 芯片减薄及清洁

传统的芯片减薄工艺通常采用磨削、研磨、化学机械抛光、湿法化学处理等方法。晶圆厚度骤减, 将导致晶圆薄如纸张强度不足, 造成晶圆在加工与运送过程中不易搬动, 或者在搬运过程中因卷曲而造成脆裂。这个问题在晶圆厚度更小的 3D 封装中更为突出。因此减薄过程中通常在晶圆减薄前先采用特殊胶材贴上一层玻璃 (或硅材质) 的承载材料, 作为固定和强化超薄晶圆的承载支架。另一种方法是将排列好芯片阵列的外围放置面积、厚度与半导体器件面积、厚度相当的片状物, 就能使减薄时中间的半导体器件受力均匀, 经过除尘的后处理后, 就能制成边缘无缺损、无裂纹、厚度一致的合格芯片^[19]。另外, 东京精密公司生产的一体机^[20], 将硅片的磨削、抛光、保护膜去除、划片膜粘贴等工序集合在一台设备内, 通过机械式搬送系统使硅片始终被吸在真空吸盘上, 保持平整状态, 从而能有效避免翘曲、下垂等问题。

经过减薄后, 芯片表面有可能残留污染粒子。在芯片上存在污染粒子的情况下, 键合压力会使粒子和芯片产生弹塑性变形, 导致介质材料的机械损伤和剥离^[21]。如何在键合之前对芯片进行有效地清洁, 也是 3D 封装需要讨论的问题。使用液态纯 CO_2 对芯片进行喷雾清洁, 利用液态 CO_2 粒子的

冲击和气态 CO_2 的吹力将污染粒子逐出基板, 能 100 %地清除 250 nm 以上的污染粒子^[22]。

3.4 散热及电路性能

在 3D IC 叠层中, 业界最关注的可靠性问题是散热和能量传递问题。目前, 基于微流体通道的液体冷却被证明是显著降低 3D ICs 温度的有效方法^[23]。高密度的 3D IC 叠层中, 高复杂度的配电系统需要在可接受的范围内抑制干扰的同时, 将电流传递到 3D ICs 的每个部分, 这对线路的设计要求很高。使用实验设计和可靠性仿真模型能实现设计参数的优化, 在满足电性能的情况下降低工艺成本^[24]。

在 3D 互连中, 一般通过以下方法减小电路干扰^[25]: 一是通过增加电阻大的绝缘层来增大电阻, 通过增加硅片厚度或者正交布线来增加端口距离; 二是添加小介电常数材料以减小寄生电容; 三是通过提高 Cu 电路均匀度、采取最优电路布线、保证可靠点接触来减小寄生电感。值得一提的是, 高频特别是当寄生电容的影响足够大, 以至于可以抵消增大的绝缘层电阻影响的情况下, 增加绝缘层不是减小干扰的好方法。

3.5 嵌入式工艺

图 9 所示是嵌入式封装的工艺过程^[26], 它是减小尺寸和成本、增加功能、提高性能的有效方法, 也是 3D 封装的主要形式之一。在这种 3D 封装结构中, 半导体芯片被埋入到高聚物中, 芯片与 BGA 焊球之间通过再分布的金属化导线连接, 电气性能好, 同时, 整个芯片处于相同的环境中, 这对可靠性的提高有重要意义^[27]。埋入元件基板封装 (chip in polymer, CIP) 技术提供了在 SIP 中实现嵌入式封装的一种途径^[28]。在欧盟支持的 HIDING DIES (high density integration of dies into electronics substrates) 项目中, 嵌入工艺中能成功地使用涂树脂铜箔 (resin coated copper, RCC) 和激光通孔完成堆叠芯片的互连。而随后启动的项目 “HERMES” (high density integration by embedding chips for reduced size modules and electronic systems) 进一步推动了嵌入技术的发展, 并使其应用到实际生产中。在晶圆级使用嵌入式封装技术, 由于热胀系数不匹配, 填充材料与芯片界面会产生一定量的热应力, 由此会产生芯片翘

曲、开裂等问题。目前，环氧塑封料（epoxy molding compound，EMC）中半导体芯片 8 英寸（200 mm）晶圆级嵌入工艺的模式成型法已经发展成熟，达到无空隙和低翘曲（ $<1\text{ mm}$ ），在加工过程中使用载体芯片，能限制填充物的凝固和热收缩，从而能有效减小翘曲度^[29]。

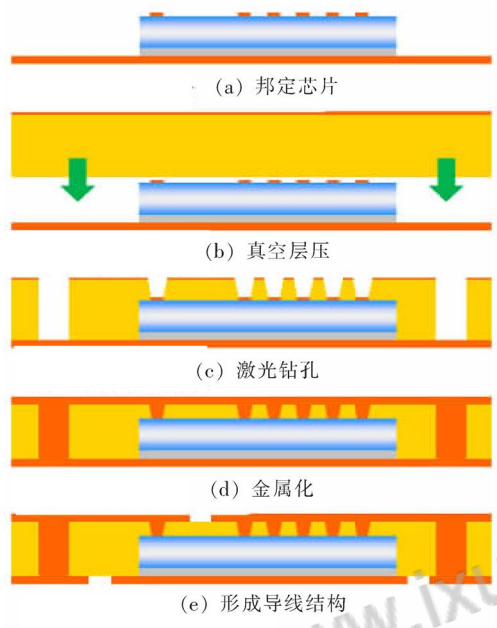


图 9 嵌入式封装工艺流程
Fig. 9 Process flow of the embedded package

3.6 低温互连工艺

3D 封装中，晶圆之间结合需要达到高气密性、高可靠性以及低成本的要求。聚合物粘结很难保证高的气密性和可靠性，而共晶结合的材料成本比较高，Si 熔接和阳极键合的工艺温度比较高。如图 10 所示^[30]，使用 Suss Micro Tech 生产的键合

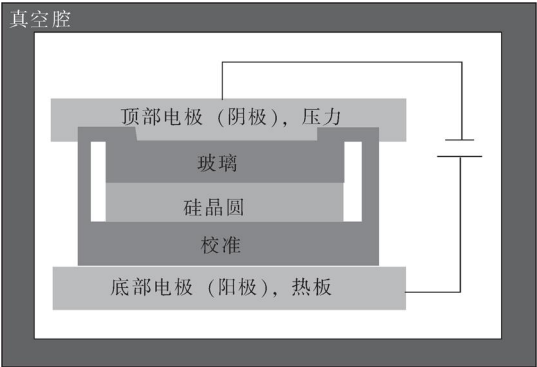


图 10 晶圆键合设备示意图
Fig. 10 Schematic diagram of the wafer bonding equipment

机，能将 9 层以上的玻璃和硅晶圆夹层在 200℃ 以下同时键合好（普通阳极键合温度高于 350℃），并且达到投射电子显微镜（TEM）下界面无孔洞和剪切应力大于 29.42 N 的要求。这种工艺满足低成本大规模生产的需要，可以应用于低温高气密性高密度垂直互连中，例如晶圆级图像传感器、多自由度惯性传感器以及生物芯片等。

4 展 望

目前业界对 3D 封装的研究一般采取模拟然后试验的模式，所解决的问题仅仅是针对某些特定的 3D 结构，3D 封装技术的发展仍然任重道远。

首先是超薄硅圆片技术。面对更薄的硅圆片（ $<20\text{ }\mu\text{m}$ ），在夹持和处理过程中如何避免它的变形及脆裂，以及后续评价检测内的各种处理技术，都有待进一步研究。

其次是高密度互连的散热问题。目前，基于微流体通道的液体冷却被证明是显著降低 3D ICs 温度的有效方法。但在封装密度不断增加的前提下，微流体通道的分布需要与电气通路和信号传输通路统筹分布，如何在成功制作出更小微流体通道的同时保证系统整体性能的要求，是研究者们需要考虑的问题。

再者是 3D 封装与目前封装工艺的兼容性问题，包括兼容的工艺设备和工具，这就涉及到成本问题。重新设计和制造工艺设备，将大大提高工艺成本，最终会影响产品的市场化。另外，设备的对准和精度水平也有待进一步提高。

最后，虽然有不少的研究者提出许多评价模型^[31-32]，但这些模型往往是针对某些具体的结构，而未形成一套统一的行业标准以及系统的评价检测体系。

但是，仍需看到 3D 封装在高密度互连趋势下的巨大潜力。M. B. Healy 等人^[33]通过对 3D 系统的 TSV 寄生效应和配电网络进行研究，证明在制造技术充分发展的前提下，堆叠 46 层是可以实现的。由于 3D 封装可实现超大容量存储，利于高速信号传输，最大限度提高封装密度，并有可能降低价格，因此它必将成为封装发展的重点。以 TSV 为主要互连方式的 3D 封装结构，在未来的消费电子产品领域、机器人领域、生物医学领域等将扮演重要的角色。

参考文献:

- [1] 陆军. 3D 封装 [J]. 集成电路通讯, 2005, 24 (4): 41 - 47.
- [2] 中国电子学会生产技术学会丛书编委会. 微电子封装技术 [M]. 合肥: 中国科学技术大学出版社, 2003: 268 - 271.
- [3] BOGATIN E. 折叠封装 [EB/OL]. [2009 - 12 - 20]: http://www.laogu.com/wz_7240.htm.
- [4] PROVOOST J, BEYNE E. 穿透硅通孔: 兼顾技术与成本的考虑 [J]. 半导体国际, 2009, 06 (Z2): 36 - 38.
- [5] Inter-University Micro Electronic Center, Research Institution Scientific report of IMEC [EB/OL]. [2009 - 12 - 20]. http://www.imec.be/ScientificReport/SR2008/HTML/files/pdf/Brochure_3D%20at%20IMEC.pdf.
- [6] JOHNSON S C. 倒装芯片封装极具竞争力 [J]. 半导体国际, 2009, 06 (Z2): 20 - 23.
- [7] STATS ChipPAC, Inc. Packaging services of STATS Chip PAC [EB/OL]. [2009 - 12 - 23]. <http://www.statshipac.com/services/packagingservices/3dsdsp/fipop.aspx>.
- [8] Yole Développement, Research Institution. 3DIC-TSV 2009 reports [EB/OL]. [2009 - 12 - 20]. http://www.yole.fr/pagesAn/products/pdf/3DIC_TSV_2009_reports_flyer.pdf.
- [9] SINGER P. TSV: 准备好量产了吗 [J]. 集成电路应用, 2008, 25 (5): 20 - 23.
- [10] LASSING S, CORP L R. 穿透硅通孔刻蚀的制造综合考虑 [J]. 半导体科技, 2008, 9 (3): 15 - 19.
- [11] KEIGLER A, LIU Z, CHIU J. 优化的 TSV 填充工艺降低成本 [J]. 集成电路应用, 2009, 6 (Z2): 39 - 41.
- [12] TOPPER M, FISCHER T, ZANG M, et al. Low cost wafer-level 3-D integration without TSV [C] // Proceeding of IEEE 59th Electronic Components and Technology Conference. San Diego, USA, 2009: 339 - 344.
- [13] TOMITA Y, MORIFUJI T, ANDO T, et al. Advanced packaging technologies on 3D stacked LSI utilizing the micro interconnections and the layered micro thin encapsulation [C] // Proceeding of IEEE 51st Electronic Components and Technology Conference. Orlando, USA, 2001: 347 - 355.
- [14] TAKAHASHI K, UMEMOTO M, TANAKA N, et al. Ultra-high-density interconnection technology of three-dimensional packaging [J]. Microelectronics Reliability, 2003, 43 (8): 1267 - 1279.
- [15] YU A, KUMAR A, HO S W, et al. Development of fine pitch solder microbumps for 3D chip stacking [C] // Proceeding of IEEE 10th Electronics Packaging Technology Conference. Singapore, 2008: 387 - 392.
- [16] VEMPATI S R, SU N, KHONG C H, et al. Development of 3-D silicon die stacked package using flip chip technology with micro bump interconnects [C] // Proceeding of IEEE 59th Electronic Components and Technology Conference. San Diego, USA, 2009: 980 - 987.
- [17] BEICA R, SIBLERUD P, SHARBONO C, et al. Advanced metallization for 3D integration [C] // Proceeding of IEEE 10th Electronics Packaging Technology Conference. Singapore, 2008: 212 - 218.
- [18] BEICA R, SHARBONO C, RITZDORF T. Through silicon via copper electrodeposition for 3D integration [C] // Proceeding of IEEE 58th Electronic Components and Technology Conference. Lake Buena Vista, USA, 2008: 577 - 583.
- [19] 章文, 丁荣峥, 吴刚. 一种半导体芯片的减薄方法: 中国, 200810123541.8 [P]. 2008 - 11 - 19.
- [20] 廖凯. 堆叠/3D 封装的关键技术之一——硅片减薄 [J]. 中国集成电路, 2007, 16 (5): 79 - 81.
- [21] BEARDA T, MERTENS P W, HOLSTEYNS F, et al. The effect of backside particles on substrate topography [J]. Japanese Journal of Applied Physics, 2005, 44 (10): 7409 - 7413.
- [22] BEARDA T, TRAVAIL Y Y, WOSTYN K, et al. Post-dicing particle control for 3D stacked IC integration flows [C] // Proceeding of IEEE 59th Electronic Components and Technology Conference. San Diego, USA, 2009: 1513 - 1516.
- [23] SEKAR D, KING C, DANG B, et al. A 3D-IC technology with integrated microchannel cooling [C] // Proceeding of 2008 IEEE Interconnect Technology Conference. Burlingame, USA, 2008: 13 - 15.
- [24] LEE Y J, HEAL Y M, LIM S K. Routing optimization of multi-modal interconnects in 3D ICs [C] // Proceeding of IEEE 59th Electronic Components and Technology Conference. San Diego, USA, 2009: 32 - 39.
- [25] ZHAO L, YANG L, SUN X, et al. Research of methodologies to enlarge the isolation in 3D interconnection [C] // Proceeding of IEEE 10th International Conference on Electronic Packaging Technology & High Density Packaging (ICEPT-HDP). Beijing, China, 2009: 331 - 334.
- [26] BOETTCHER L, MANESSIS D, OSTMANN A, et al. Embedding of chips for system in package realization technology and applications [C] // Proceeding of Microsystems, Packaging, Assembly & Circuits Technology Conference. Taipei, Taiwan, China, 2008: 383 - 386.
- [27] KESER B, AMRINE C, DUONG T, et al. The redistributed chip package: a breakthrough for advanced packaging [C] // Proceeding of IEEE 57th Electronic Components and Technology Conference. Nevada, USA, 2007: 286 - 291.
- [28] BOETTCHER L, NEUMAN A, OSTMANN A, et al. Integration of active and passive components using chip in polymer technology [C] // Proceeding of SMTA International 2005 and the Assembly Technology Expo. Chicago, USA, 2005: 46 - 52.
- [29] KUMAR A, DINGWEI X, SEKHAR V N, et al. Wafer level embedding technology for 3D wafer level embedded package [C] // Proceeding of IEEE 59th Electronic Components and Tech-

- nology Conference. San Diego, USA, 2009: 1289 - 1296.
- [30] JEUNG W K, LIM C H, YI S. Low temperature multi layer stack wafer bonding technology development [C] // Proceeding of IEEE 59th Electronic Components and Technology Conference. San Diego, USA, 2009: 20 - 24.
- [31] BAUER C E, NEUHAUS H J. Advanced opportunity cost analysis of 3D packaging technologies [C] // Proceeding of IEEE 10th Electronics Packaging Technology Conference. Singapore, 2008: 338 - 343.
- [32] CHEN M W, CHEN E, LAIJ Y, et al. Thermal investigation for multiple chips 3D packages [C] // Proceeding of IEEE 10th Electronics Packaging Technology Conference. Singapore, 2008: 251 - 254.
- [33] HEAL Y M B, LIM S K. A study of stacking limit and scalling in 3D ICs: an interconnect perspective [C] // Proceeding of IEEE 59th Electronic Components and Technology Conference. San Diego, USA, 2009: 1213 - 1220.

(上接第 442 页)

台阶电隔离工艺在 CMOS 制造方面是一条有益的探索之路。在低应力氮化硅薄膜上制备高稳定性 Pt 薄膜电阻，形成 MEMS 热膜式传感器的方案。因此，MEMS 热膜式传感器和 IC 单片集成制造工艺研究基本获得成功。

参考文献：

- [1] CHAE J, KULAH H, NAJAFI K. A monolithic three-axis micro-g micromachined silicon capacitive accelerometer [J]. Journal of microelectromechanical systems, 2005, 14 (2): 235 - 242.
- [2] TAKAO H, FUKUMOTO H, ISHIDA M. A CMOS integrated three-axis accelerometer fabricated with commercial submicrometer CMOS technology and bulk-micromachining [J]. IEEE Trans on Elec Devices, 2001, 48 (9): 1961 - 1968.
- [3] XIE H, PAN Z, FREY W, et al. Design and fabrication of an integrated CMOS-MEMS 3-axis accelerometer [C] // Proceeding of the 2003 Nanotechnology Conference, 2003.
- [4] ALLEN PE, HOLBERG DR. CMOS 模拟集成电路设计 [M]. 冯军, 李智群, 译. 北京: 电子工业出版社, 2005.
- [5] 姜玉稀, 陆嘉, 冉峰, 等. 0.6 μm 工艺 NMOS ESD 保护电路版图优化 [J]. 微计算机信息, 2008, 24 (32): 289 - 291.
- [6] TOKORO K, UCHIKAWA D, SHIKIDA M, et al. Anisotropic etching properties of silicon in KOH and TMAH solutions [C] // Proceeding of International Symposium on Micromechatronics and Human Science. Nagoya, Japan, 1998: 65 - 70.



作者简介：

邓 丹 (1987—)，女，湖南浏阳人，硕士研究生，主要从事微连接与电子封装、钎焊工艺等方面的研究工作；



吴丰顺 (1965—)，男，湖北鄂州人，教授，博士生导师，主要研究方向为微连接与电子封装、焊接工艺与装备、材料成型装备及自动化等。

- [7] SHIKIDA M, SATO K, TOKORO K, et al. Comparison of anisotropic etching properties between KOH and TMAH solutions [C] // Proceeding of MEMS'99 Twelfth IEEE International Conference on Micro Electro Mechanical Systems. Orlando, FL, 1999: 315 - 320.
- [8] KUEHNEL W, SHERMAN S. A surface micromachined silicon accelerometer with on-chip detection circuitry [J]. Sensors and Actuators A: Physical, 1994, 45 (1): 7 - 16.
- [9] JIANG F, XU Y, WENG T, et al. Flexible shear stress sensor skin for aerodynamics applications [C] // Proceeding of IEEE International Conference on Micro Electro Mechanical Systems. Miyazaki, Japan, 2000: 364 - 369.
- [10] SMITH J H, MONTAGUE S, SNIEGOWSKI J J, et al. Embedded micromechanical devices for the monolithic integration of MEMS with CMOS [C] // Proceeding of International Electron Devices Meeting. 1995: 609 - 612.
- [11] HANRATTY TJ, CAMPBELL J A. Measurement of wall shear stress [M] // R. J. Goldstein, Ed. Fluid Mechanics Measurements. 2nd ed. Philadelphia: Taylor & Francis, Wangshingto D. C: Hemisphere Publishing Corp, 1996: 575 - 648.



作者简介：

邹学锋 (1977—)，男，江苏沛县人，工程师，主要从事 MEMS 的研究和管理工作。

word版下载: <http://www.ixueshu.com>

免费论文查重: <http://www.paperyy.com>

3亿免费文献下载: <http://www.ixueshu.com>

超值论文自动降重: http://www.paperyy.com/reduce_repetition

PPT免费模版下载: <http://ppt.ixueshu.com>

阅读此文的还阅读了:

- [1. 阻燃纤维及其最新研究进展](#)
- [2. 天气风险管理及其最新研究进展](#)
- [3. LED 封装用硅树脂的研究进展](#)
- [4. 鸡黑头病及其防治最新研究进展](#)
- [5. LTPP最新研究进展综述](#)
- [6. 蓝光研究的最新进展](#)
- [7. 穿心莲内酯及其衍生物的药理活性最新研究进展](#)
- [8. 瑞萨发布最新封装技术](#)
- [9. 最新微电子器件封装技术研究](#)
- [10. 硒的最新临床研究进展](#)
- [11. FXR 最新研究进展](#)
- [12. ITU—RWP5D最新研究进展](#)
- [13. 血管疾病最新研究进展](#)
- [14. GHK三肽的最新研究进展](#)
- [15. 3D封装最新论文摘录](#)
- [16. 学习资源的封装及其本体描述研究](#)
- [17. NKG2D及其配体研究进展](#)
- [18. 3D封装缩小芯片封装的技术](#)
- [19. LPIN1基因的最新研究进展](#)
- [20. LPIN 1基因的最新研究进展](#)
- [21. 蓝耳病的最新研究进展及其启示](#)
- [22. 服务接触理论及其最新研究进展](#)
- [23. “农超对接”研究最新进展](#)
- [24. 显微构造及其最新研究进展](#)
- [25. 小麦中QTL作图研究进展](#)

- [26. 电子封装材料的研究进展](#)
- [27. FXR 最新研究进展](#)
- [28. 节事国际化研究最新进展及其启示](#)
- [29. WLAN标准及其最新进展](#)
- [30. 压疮护理最新研究进展](#)
- [31. EDEM及其应用研究与最新进展](#)
- [32. 化疗用止吐药及其最新研究进展](#)
- [33. 纳米研究的最新进展及其技术产品的辨别](#)
- [34. 口腔癌研究的最新进展](#)
- [35. 诺如病毒的最新研究进展](#)
- [36. 得可将在JPCA 2008展示最新封装技术](#)
- [37. 色谱研究的最新重要进展](#)
- [38. 增长与分配关系的理论研究及其最新进展](#)
- [39. 电信普遍服务及其管制研究的最新进展](#)
- [40. 公司创业研究最新进展](#)
- [41. 氨茶碱最新临床研究进展](#)
- [42. LTPP最新研究进展综述](#)
- [43. 碳酰氟研究的最新进展](#)
- [44. 多电平变换器拓扑研究及其最新进展](#)
- [45. 压疮护理最新研究进展](#)
- [46. 瘦素及其受体在肿瘤研究中的最新进展](#)
- [47. 3D封装及其最新研究进展](#)
- [48. Barrett食管最新研究进展](#)
- [49. 围术期低体温及其最新研究进展](#)
- [50. 3D封装散热技术研究](#)