

Projeto Calendário Digital

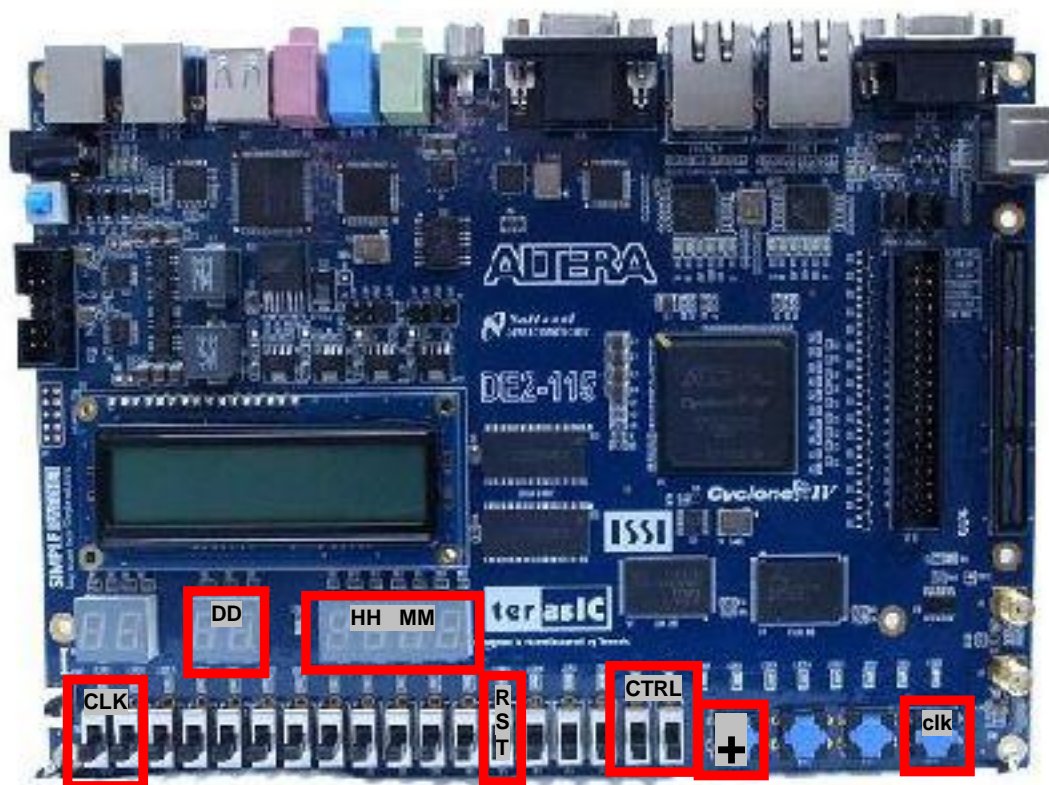
Projeto e desenvolvimento de um calendário digital, com o objetivo de aplicar conceitos relativos à área de *Eletrônica Digital*. O calendário deverá utilizar os displays de 7-segmentos indicados, sendo os dois primeiros para exibir o dia, os dois seguintes para exibir as horas e dois últimos para mostrar os minutos (conforme figura).

Deverá possuir uma estrutura que permita reiniciar a contagem do relógio (*reset*). A contagem dará início no dia 01 às 00:00 e terminará no dia 31 às 23:59. Será utilizado o *clock* interno da FPGA (50 MHz) e deverá ser permitido o ajuste de *clock*, conforme solicitado. Trabalho individual.

Critérios a serem avaliados:

- Apresentação e demonstração de conhecimento a respeito do projeto desenvolvido.
- Conhecimento a respeito do funcionamento do circuito e defesa do projeto.
- Possibilidade de modificação das funcionalidades desenvolvidas.

Informações adicionais e interfaces de entrada/saída estabelecidas:



Ajuste (+): CTRL = 00 : Nenhuma ação CTRL = 01 : Ajuste do minuto CTRL = 10 : Ajuste da hora CTRL = 11 : Ajuste do dia	Clock: CLK = 00: Clock manual (<i>clk</i>) CLK = 01: Clock \approx 10 Hz CLK = 10: Clock \approx 100 Hz CLK = 11: Clock \approx 1 KHz	Reset: RST = 0: Nenhuma ação RST = 1: Display = 01 00:00
---	--	---