

PROBLEMAS TEMA 1

Miembros del grupo: Sara Martin Rodríguez, Laura Salas López, Leandro Jorge Fernández Vega, Marta Zhao Ladrón De Guevara Cano

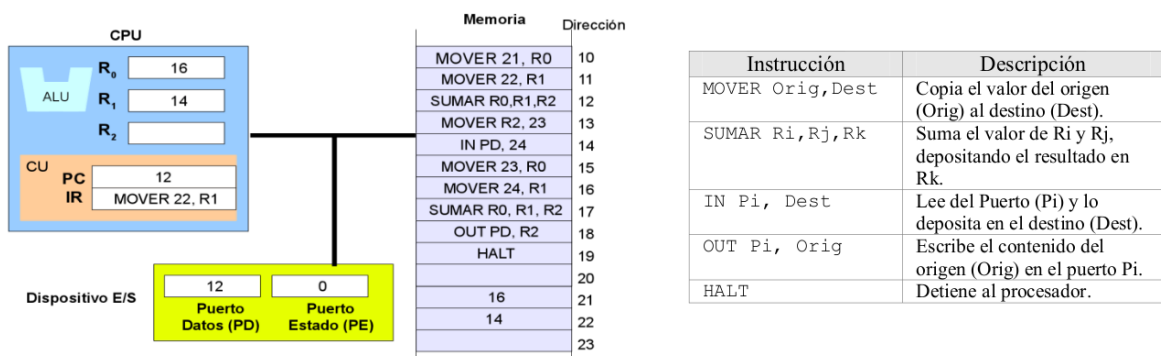
1. El método de comunicación de E/S en el que la CPU está esperando hasta que la operación de E/S ha finalizado se conoce como:
 - (a) **E/S Programada.**
 - (b) E/S Dirigida por Interrupciones.
 - (c) DMA.
 - (d) E/S a Distancia.

2. El método de comunicación de E/S en el que el dispositivo de E/S informa a la CPU en qué momento está preparado el dispositivo para la transferencia de datos se conoce como:
 - (a) E/S Programada.
 - (b) **E/S Dirigida por Interrupciones.**
 - (c) DMA.
 - (d) E/S a Distancia.

- 3.Cuál de las siguientes afirmaciones es correcta:
 - (a) En algunas computadoras un programa puede ejecutarse sin necesidad de cargarlo en la memoria principal.
 - (b) **Un programa, para que se ejecute, debe estar cargado en la memoria principal.**
 - (c) Un programa, para que se ejecute, basta con que esté en el disco duro.
 - (d) Un programa, para que se ejecute, si está en lenguaje máquina, puede estar en cualquier unidad.

4. Dado el esquema de un computador elemental según se ha descrito en el tema, el puntero de pila (SP) indica:
 - (a) La dirección de memoria donde debe saltar el programa después de ejecutarse la instrucción de retorno correspondiente.
 - (b) **La dirección de memoria donde se encuentra la dirección donde debe saltar el programa después de ejecutarse la instrucción de retorno correspondiente.**
 - (c) La dirección de memoria a donde se ha producido el último salto.
 - (d) La dirección de memoria donde se encuentra la dirección a donde se ha producido la última llamada a una subrutina.

5. Sea un ordenador elemental con una arquitectura tal y como se muestra en la figura, es decir, tres registros de propósito general, registro contador de programa (PC) y registro de instrucción (IR). El registro SP (Puntero de pila) contiene la dirección 35 y la pila crece hacia posiciones menores de memoria. La memoria principal dispone de 256 palabras donde cada palabra tiene la longitud necesaria para albergar la instrucción de mayor tamaño. Describa el estado final de ejecución del procesador a partir del estado actual de la CPU mostrado en la figura. Ponga todos los valores de los registros de cada ciclo de instrucción realizado por el procesador hasta llegar a dicho estado final.



PC	IR	SP	R ₀	R ₁	R ₂	PD	PE
12	MOVER 22, R ₁	35	16	14	-	12	0
13	SUMAR R ₀ , R ₁ , R ₂	35	16	14	30	12	0
14	MOVER R ₂ , 23	35	16	14	30	12	0
15	IN PD, 24	35	16	14	30	12	0
16	MOVER 23, R ₀	35	30	14	30	12	0
17	MOVER 24, R ₁	35	30	12	30	12	0
18	SUMAR R ₀ , R ₁ , R ₂	35	30	12	42	12	0
19	OUT PD, R ₂	35	30	12	42	42	0
20	HALT	35	30	12	42	42	0

6. Suponiendo que el lenguaje máquina de la arquitectura anterior dispone de 14 instrucciones distintas, muestre cuántos bits serían necesarios para codificar las instrucciones SUMAR R₀ R₁, R₂ y MOVER 20, R₀ respectivamente.

En general, para todas las instrucciones necesitamos 4 bits como mínimo para codificarlas ya que con 4 bits podemos codificar hasta 2^4 instrucciones = 16 instrucciones

> 14 instrucciones. Además, para SUMAR R_0, R_1, R_2 necesitamos 2 bits más para escribir en cada uno de los registros.

NumBits (SUMAR R_0, R_1, R_2) = 4 bits de instrucción + 2bits/registros * 3 registros = 10 bits

Por otro lado, para MOVER $20, R_0$ son necesarios 8 bits para la dirección de memoria ($256 = 2^8$ palabras en la memoria principal) a la que acceder para copiar el dato a mover y 2 bits para escribir en el registro R_0

NumBits (MOVER $20, R_0$) = 4 bits de instrucción + 2bits/registros * 1 registro + 1 dirección de memoria * 8 bits = 14 bits

7. Imagina que el procesador está ejecutando el programa de usuario del ejercicio 5 y en este momento al terminar de ejecutar la instrucción actual, el procesador se da cuenta de que hay una interrupción pendiente. Escribe los pasos que se dan en el sistema y por quién (software o hardware) hasta que se resuelve el tratamiento de la interrupción y el programa finaliza, sabiendo que la rutina de tratamiento de la interrupción comienza en la dirección de memoria principal 56 y termina en la dirección de memoria principal 170.

Hardware:

- 1) El controlador de dispositivo u otro sistema hardware genera una interrupción.
- 2) El procesador termina la ejecución de la instrucción actual.
- 3) El procesador indica el reconocimiento de la interrupción.
- 4) El procesador apila PSW y el PC en la pila de control.
- 5) El procesador carga un nuevo valor en el PC basado en la interrupción (cada interrupción tiene su propia rutina de tratamiento). En este caso, PC = 56.

Como en el enunciado dice que ya se ha terminado de ejecutar la instrucción actual, en este caso los pasos 1 y 2 no se dan.

Software:

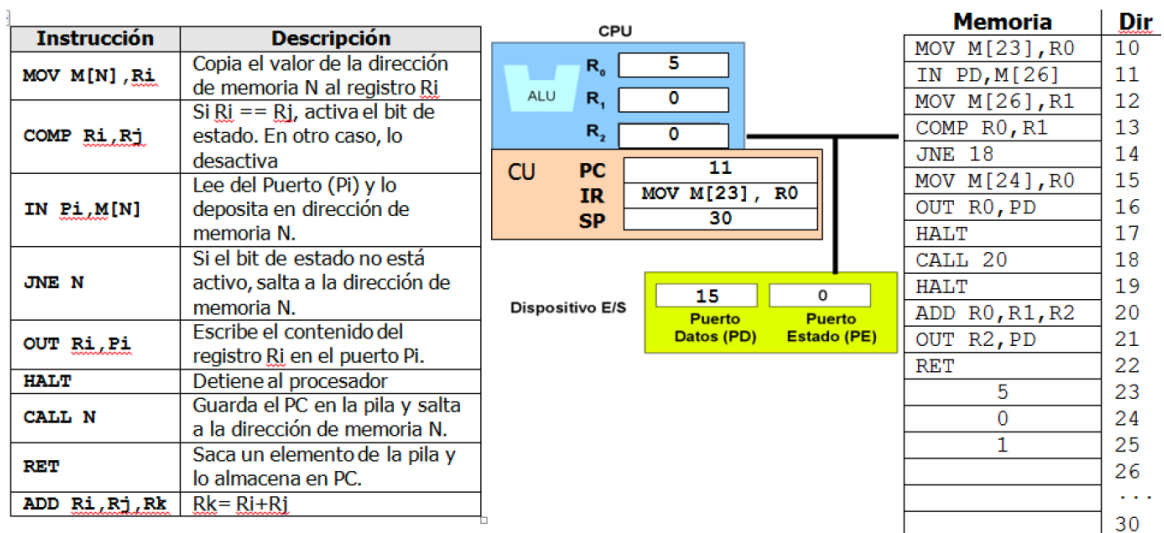
- 6) Salva el resto de la información de estado del proceso.
 - 7) Procesa la interrupción (ejecuta las instrucciones de las direcciones 56-170)
 - 8) Restaura la información de estado del proceso.
 - 9) Restaura los valores PSW y PC.
8. Basándonos en el ejercicio 7, ¿hay diferencias si en vez de producirse una interrupción se ha producido una excepción? Indique cuales.

Sí hay diferencia, ya que la interrupción se produce por un propósito concreto y deseado dentro de la ejecución del programa, mientras que la excepción es un evento llevado a cabo por un resultado inesperado tras una instrucción, como un desbordamiento aritmético u otros errores. Sin embargo, no siempre está asociado a fallos.

Por tanto, se puede decir que es un resultado que no estaba previsto durante el desarrollo del programa. Cuando el sistema operativo trata la excepción, se reinicia la instrucción donde se produjo.

De esto deducimos que la excepción haría cargar en el PC la posición 56, ejecutar todas las instrucciones de las posiciones 56-170, y después volver a ejecutar la instrucción que se llevó a cabo antes de saltar.

9. Sea un ordenador elemental con una arquitectura tal y como se muestra en la figura, es decir, tres registros de propósito general, registro contador de programa (PC), registro de instrucción (IR) y registro de pila (SP). La memoria principal dispone de 512 palabras donde cada palabra tiene la longitud necesaria para albergar la instrucción de mayor tamaño. Describa el estado final de ejecución del procesador a partir del estado actual de la CPU mostrado en la figura y tras la ejecución del programa (nótese que la instrucción de la dirección 10 ya se ha ejecutado).



PC	IR	SP	R ₀	R ₁	R ₂	PD	PE
11	MOV M [23], R ₀	30	5	0	0	15	0
12	IN PD, M [26]	30	5	0	0	15	0
13	MOV M [26], R ₁	30	5	15	0	15	0
14	COMP R ₀ , R ₁	30	5	15	0	15	0
15 18	JNE 18	30	5	15	0	15	0
19 20	CALL 20	29	5	15	0	15	0
21	ADD R ₀ , R ₁ , R ₂	29	5	15	20	15	0
22	OUT R ₂ , P _D	29	5	15	20	20	0
23 19	RET	30	5	15	20	20	0
20	HALT	30	5	15	20	20	0

