

UNIVERSIDADE FEDERAL DE OURO PRETO - UFOP INSTITUTO DE CIÊNCIAS EXATAS E BIOLÓGICAS - ICEB

ELETRÔNICA PARA COMPUTAÇÃO - BCC265 TURMA 31 - GRUPO 1

RELATÓRIO DE ATIVIDADE LABORATÓRIO 1

Leandro Augusto Ferreira Santos Luiz Eduardo Fugliaro Raul de Oliveira Gonçalves

Ouro Preto - Minas Gerais 2022

<u>INTRODUÇÃO</u>:

Nesta aula prática, foi-nos pedido configurar e implementar um codificador e um decodificador de sinais no simulador online "Tinkercad". Estudamos mais a fundo circuitos lógicos combinacionais e suas aplicabilidades junto ao auxílio das tabelas-verdade e o mapa de Karnaugh. Conteúdos de aulas anteriores foram requisitados para a conclusão desta atividade.

DESENVOLVIMENTO

Para iniciarmos a montagem do primeiro circuito (decodificador) foi necessário extrair a tabela-verdade das saídas de A a G. Esta tabela possibilitou a extração de dados importantes, como a correspondente saída em cada um dos 10 números que serão representados no display. Outro ponto importante retirado da tabela foi o mapa de Karnaugh, pois ele permitiu a montagem das equações booleanas, que são o caminho para encontrar as portas lógicas e suas associações que serão inseridas no circuito em função do objetivo do circuito digital.

A tabela-verdade e as equações encontradas podem ser vistas abaixo:

NUM	Α	В	С	D	Α	В	С	D	E	F	G
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	0	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1
	1	0	1	0							
	1	0	1	1							
	1	1	0	0							
	1	1	0	1							
	1	1	1	0							
	1	1	1	1							

I.	/IAPA DE K	ARNAUGH	EXPRESSÃO			
AB / CD	CD 00 01 11 10					
00	1	0	1	1		
01	0	1	1	1	Α	B~C~D + ~A~B~CD
11						
10	1	1				

I.	MAPA DE KA	ARNAUGH	EXPRESSÃO			
AB / CD	00	01	11			
00	1	1	1	1		~B+CD+~C~D
01	1	0	1	0	В	
11						
10	1	1				

N	1APA DE KA	ARNAUGH	EXPRESSÃO			
AB / CD						
00	1	1	1	0		
01	1	1	1	1	С	B+~C+D
11						
10	1	1				

I.	MAPA DE KA	ARNAUGH	EXPRESSÃO					
AB / CD	00	01	11	10				
00	1	0	1	1		A + C~D + ~BC +		
01	0	1	1	1	D	~B~D + B~CD		
11								
10	1	1						

N	ЛАРА DE K	ARNAUGH	EXPRESSÃO				
AB / CD	00	01	11	10		C~D+~B~D	
00	1	0	0	1			
01	0	0	0	1	F		
11					_		
10	1	0					

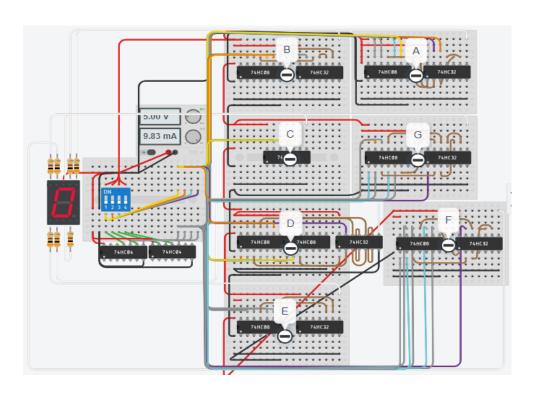
N	/IAPA DE K	ARNAUGH	EXPRESSÃO					
AB / CD	00	01	11	10				
00	1	0	0	0		A + ~C~D + B~C +		
01	1	1	1	1	F	B~D		
11								
10	1	1						

IV	IAPA DE KA	ARNAUGH	EXPRESSÃO			
AB / CD	/ CD 00 01 11 10					
00	0	0	1	1		A + C~D+ B~C + ~BC
01	1	1	0	1	G	
11						
10	1	1				

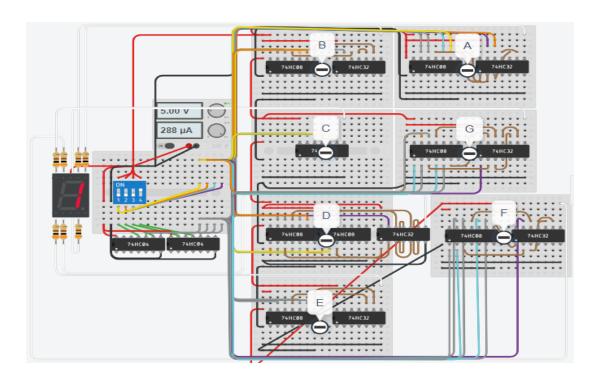
Após analisar esses dados, montamos os circuitos combinacionais referentes a cada saída e os associamos de modo que configura-se os resultados desejados no display.

As imagens a seguir demonstram o circuito em todas as 10 configurações pedidas.

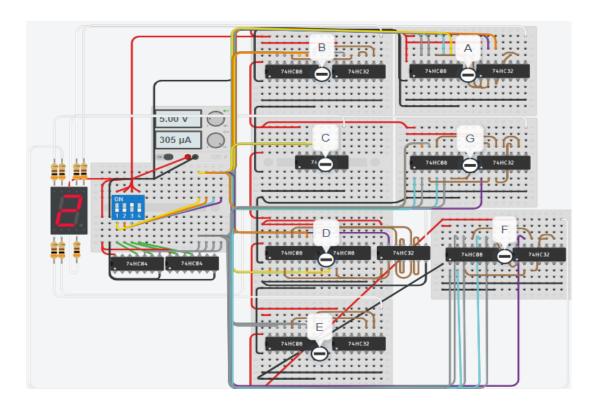
• Configuração nº 0:



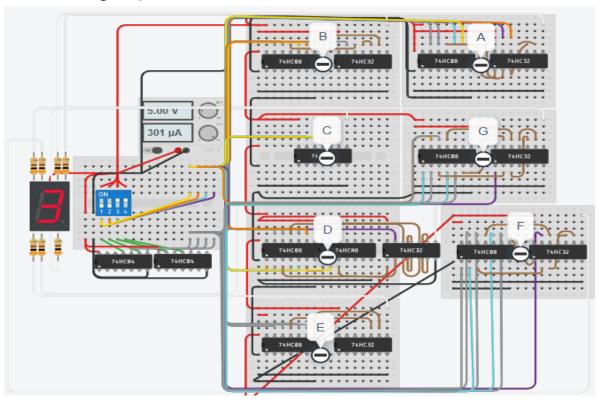
• Configuração nº 1:



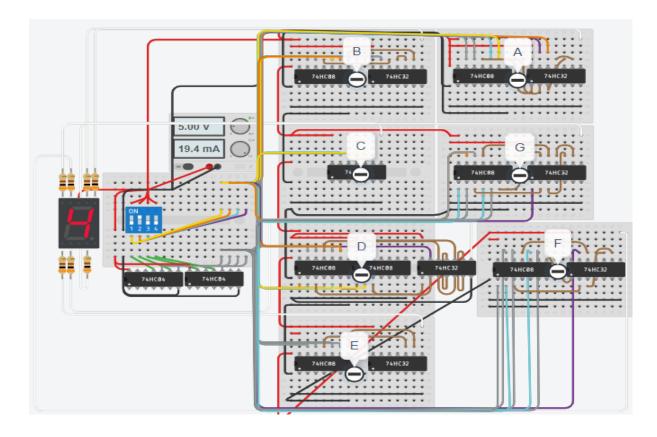
• Configuração nº 2:



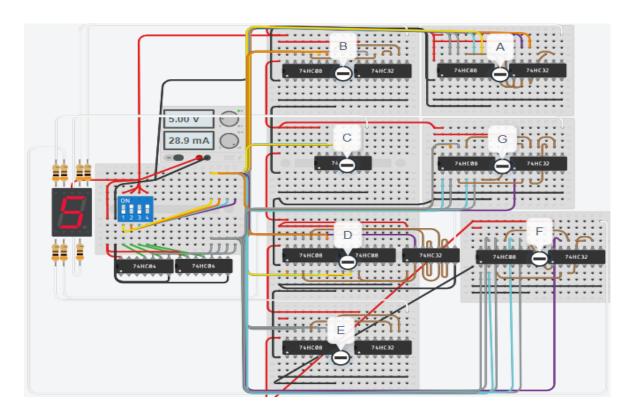
• Configuração nº 3:



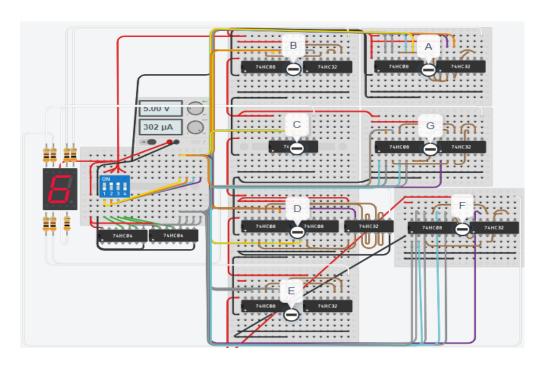
• Configuração nº 4:



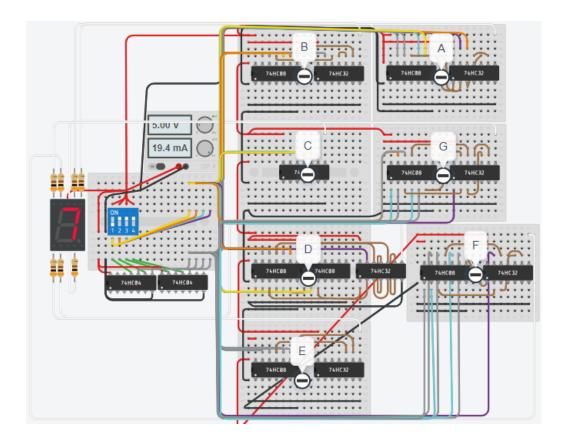
• Configuração nº 5:



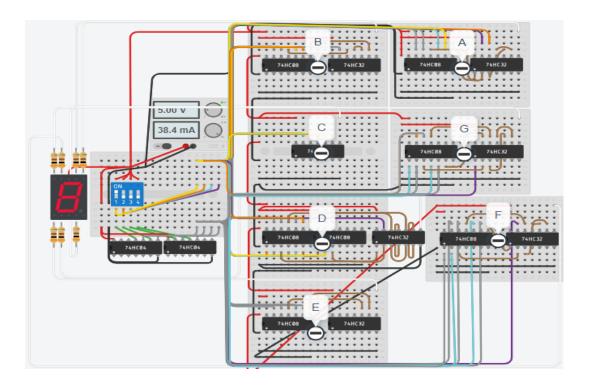
• Configuração nº 6:



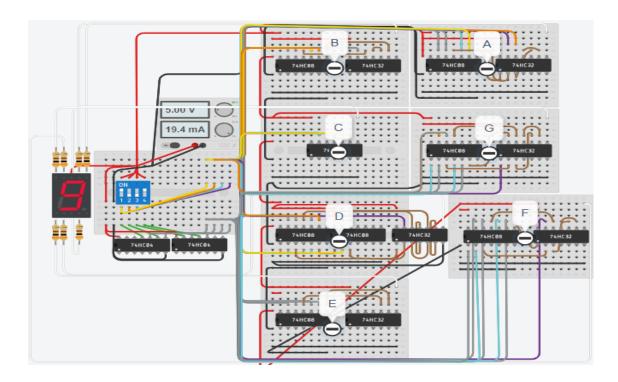
• Configuração nº 7:



• Configuração nº 8:



• Configuração nº 9:



Assim, como previsto na tabela-verdade, os valores de saída nos 10 casos foram confirmados, fato que pôde ser observado nas imagens do circuito.

Na segunda atividade, a proposta era a construção de um codificador.

Grupo	Função
1	Z(Y) = Y
2	$Z(Y) = Y^2$
3	Z(Y) = 2Y
4	Z(Y) = 3Y
5	Z(Y) = Y+1
6	Z(Y) = Y+2

Dessa maneira, como discutido em sala, nosso grupo, presente na bancada 4, ficou responsável pela função de número 4, na qual pegamos o valor de Y, que representa o resultado da tabela verdade, e multiplicamos por 3. Logo, uma saída de número 1 resulta em 3, e uma saída de valor 0 resulta em 0, já que 3*0=0. Porém, como estamos trabalhando com lógica inversa, os resultados serão o inverso.

Partindo destes princípios, formulamos a tabela-verdade das entradas A e B e, a partir dela, montamos o mapa de Karnaugh para obtermos as expressões lógicas responsáveis pelo o comportamento predefinido do circuito.

NUM	А	В	А	В	С	D	Е	F	G	SAÍDA DISPLAY Z(Y) = 3Y
0	0	0	1	1	1	1	1	1	0	0
1	0	1	1	1	1	0	0	0	1	3
2	1	0	1	0	1	1	1	1	1	6
3	1	1	1	1	1	1	0	1	1	9

SOI	UCA	ОА	
A/B	0	1	A _ 1
0	1	1	A = 1
1	1	1	

SOI	_UCA	ОВ	
A/B	0	1	D _ D . ~A
0	1	1	B = B + ~A
1	0	1	

SOLUCAO C			
A / B	0	1	C = 1
0	1	1	
1	1	1	

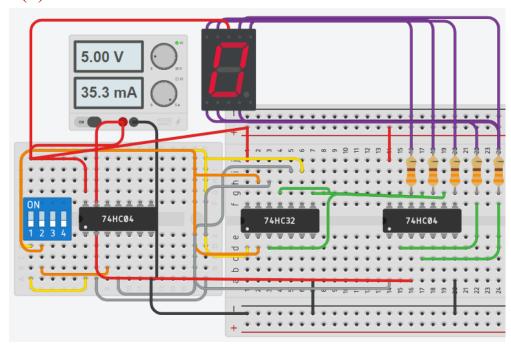
SOLUCAO D			
A / B	0	1	D = ~B + A
0	1	0	
1	1	1	

SOLUCAO F			
A / B	0	1	F = ~B + A
0	1	0	
1	1	1	

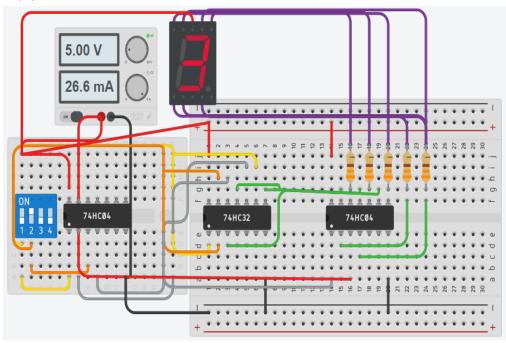
SOLUCAO G			
A / B	0	1	G = B + A
0	0	1	
1	1	1	

Após, com os circuitos combinacionais em mãos, realizamos a montagem do codificador propriamente dito, realizando testes de saída, confirmando os dados obtidos na tabela e a função de codificação.

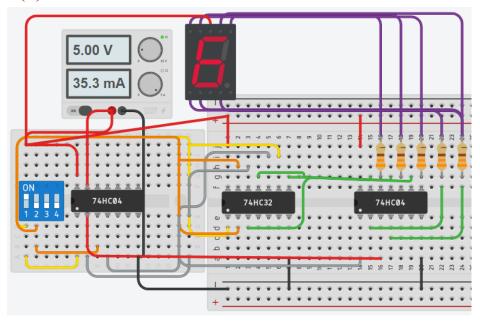
$Z(0) = 3Y => 3 \cdot 0 = 3$



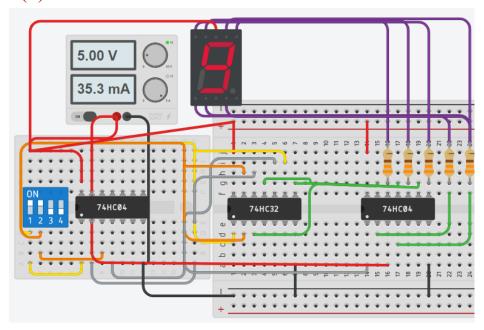
$$Z(1) = 3Y => 3 \cdot 1 = 3$$



$$Z(2) = 3Y => 3 \cdot 2 = 6$$



$$Z(3) = 3Y => 3 \cdot 3 = 9$$



Exemplos esses que comprovam a tabela-verdade e o circuito proposto.

CONCLUSÃO:

Por fim, ampliamos nosso conhecimento acerca da matéria abordada em aula, além da matéria das aulas anteriores, que apresentaram-se pré-requisitos para a realização desta. Ademais, embora a configuração do decodificador e codificador tenha sido um desafio envolvendo muitas portas lógicas em um só sistema, a montagem dos circuitos propostos mostrou-se mais trabalhosa que complexa. Além disso, podemos montar, testar e utilizar uma tecnologia do mundo digital, que pode ser encontrada nos aparelhos eletrônicos atuais. Dessa forma, nossa bagagem de conhecimento aumenta junto ao leque de aplicações do mesmo.