

Московский Государственный Технический Университет  
имени Н.Э.Баумана

## **ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ**

Методические указания к выполнению лабораторных работ  
по курсу «Электроника и схемотехника»

## Лабораторная работа №3. «Исследование дешифраторов»

### Цель работы.

Изучение принципов построения и методов синтеза дешифраторов, экспериментальное исследование дешифраторов.

### КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Дешифратором называется комбинационное устройство, преобразующее  $n$ -разрядный двоичный код в логический сигнал, появляющийся на том выходе, десятичный номер которого соответствует двоичному коду. Число входов и выходов в так называемом полном дешифраторе связано соотношением  $m = 2^n$ , где  $n$  — число входов, а  $m$  — число выходов. Если в работе дешифратора используется неполное число выходов, то такой дешифратор называется неполным. Так, например, дешифратор, имеющий 4 входа и 16 выходов, будет полным, а если бы выходов было только 10, то он был бы неполным  $m < 2^n$ .

Дешифраторы используют когда нужно обращаться к различным цифровым устройствам, и при этом номер устройства — его адрес — представлен двоичным кодом, поэтому входы дешифратора иногда называют адресными входами, и обычно их нумеруют не порядковыми номерами 0, 1, 2, 3, 4, 5..., а в соответствии с двоичными весами разрядов 1, 2, 4, 8, 16 ... В соответствии с числом входов и выходов дешифраторы называют "3 – 8" — (три в восемь), "4 – 10" (четыре в десять, неполный).

В компьютерах дешифраторы используют для выполнения следующих операций:

дешифрации кода операции, записанного в регистр команд процессора, что обеспечивает выбор требуемой микропрограммы;

преобразования кода адреса операнда в команде в управляющие сигналы выбора заданной ячейки памяти в процессе записи или чтения информации;

обеспечения визуализации на внешних устройствах;

реализации логических операций и построения мультиплексоров и демультимплексоров, которые мы рассмотрим на следующей лекции.

Функционирование полного дешифратора описывается системой логических выражений вида:

$$Y_0 = \bar{X}_n \bar{X}_{n-1} \dots \bar{X}_2 \bar{X}_1;$$

$$Y_1 = \bar{X}_n \bar{X}_{n-1} \dots \bar{X}_2 X_1;$$

.....

$$Y_{m-1} = X_n X_{n-1} \dots X_2 X_1,$$

где  $X_1, \dots, X_n$  — входные двоичные переменные;  $Y_0, Y_1, \dots, Y_{(m-1)}$ , — выходные логические функции.

В дешифраторах с инверсными выходами на активном выходе отображается значение лог. 0, а на остальных пассивных выходах устанавливается лог. 1. Функционирование полного дешифратора с инверсными выходами представляется системой вида:

$$Y_l = X_n \vee X_{n-1} \vee \dots \vee X_2 \vee \overline{X_1};$$

где  $X_1, \dots, X_n$  — входные двоичные переменные;  $Y_0, Y_1, \dots, Y_{(m-1)}$ , — выходные логические функции.

- одноступенчатые (линейные);
- многоступенчатые, в том числе пирамидальные;
- прямоугольные (матричные).

В *пирамидальном* дешифраторе число ступеней на единицу меньше разрядности входного кода, то есть  $K = n - 1$ . Во всех ступенях используются только двухвходовые логические элементы. На первой ступени используются линейные дешифраторы на два входа и четыре выхода. Число логических элементов в каждой ступени равно  $M_i = 2^{i+1}$ , где  $i = 1, 2, \dots, k$ . Это означает, что каждая последующая ступень имеет в два раза больше элементов, чем предыдущая. Выход элемента  $i$ -й ступени подключается ко входам только двух элементов  $(i+1)$ -й ступени.

*Прямоугольный* дешифратор строится по двухступенчатой схеме. При этом входной код разбивается на две группы по  $n/2$  разрядов при четном  $n$ ; при нечетной разрядности группы содержат неравное число переменных. Две группы переменных декодируются на первой ступени двумя полными линейными (возможно и пирамидальными) дешифраторами, а на второй ступени формируются выходные функции.

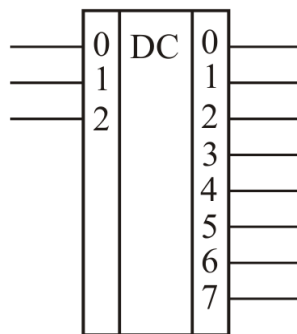


Рис.1 Условное графическое обозначение дешифратора 3x8

Условное графическое обозначение дешифратора 3x8 (читаемого "три в восемь") на схемах дано на рис. 1.

Дешифраторы часто имеют *разрешающий* (управляющий, стробирующий) вход  $E$ . При  $E = 1$  дешифратор функционирует как обычно, при  $E = 0$  на всех выходах устанавливается 0 независимо от поступающего кода адреса.

## УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ

**Задание 1.** Выполните синтез и исследуйте схему дешифратора, по заданному варианту.

Составьте таблицу истинности дешифратора (аналогичную таблице 1), в соответствии с заданным вариантом в таблице №2 и внесите ее в отчет.

Т а б л и ц а 1

Е	X2	X1	Y0	Y1	Y2	Y3
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

Получите уравнение логики для выходов дешифратора (аналогичные примеру) и внесите их в отчет.

$$Y_0 = \overline{X_2} \overline{X_1} E,$$

$$Y_1 = \overline{X_2} X_1 E,$$

$$Y_2 = X_2 \overline{X_1} E,$$

$$Y_3 = X_2 X_1 E.$$

Соберите, с помощью необходимых схем логики, на рабочем поле среды Multisim вариант схемы дешифратора. В схему должны быть включены: генератор слов XWG1 (частота  $f_r = 20$  Гц); необходимое количество схем логики и индикаторов-пробников. Скопируйте схему на страницу отчёта.

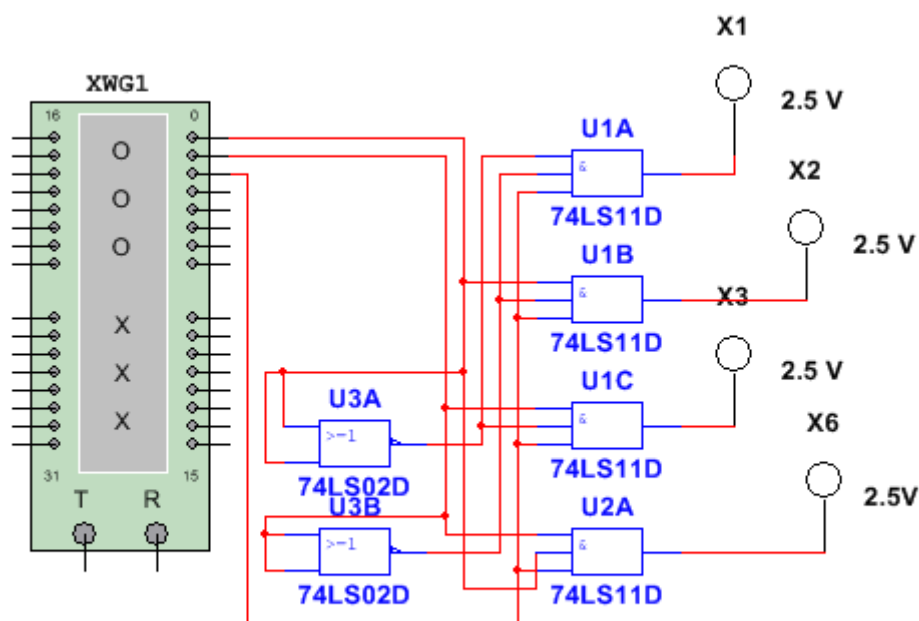


Рис.2 Схема исследования дешифратора 2-4, с входом E

Для работы схемы генератор XWG1 нужно запрограммировать, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно таблице истинности (аналогичной таблице 1) и варианту (табл. 2).

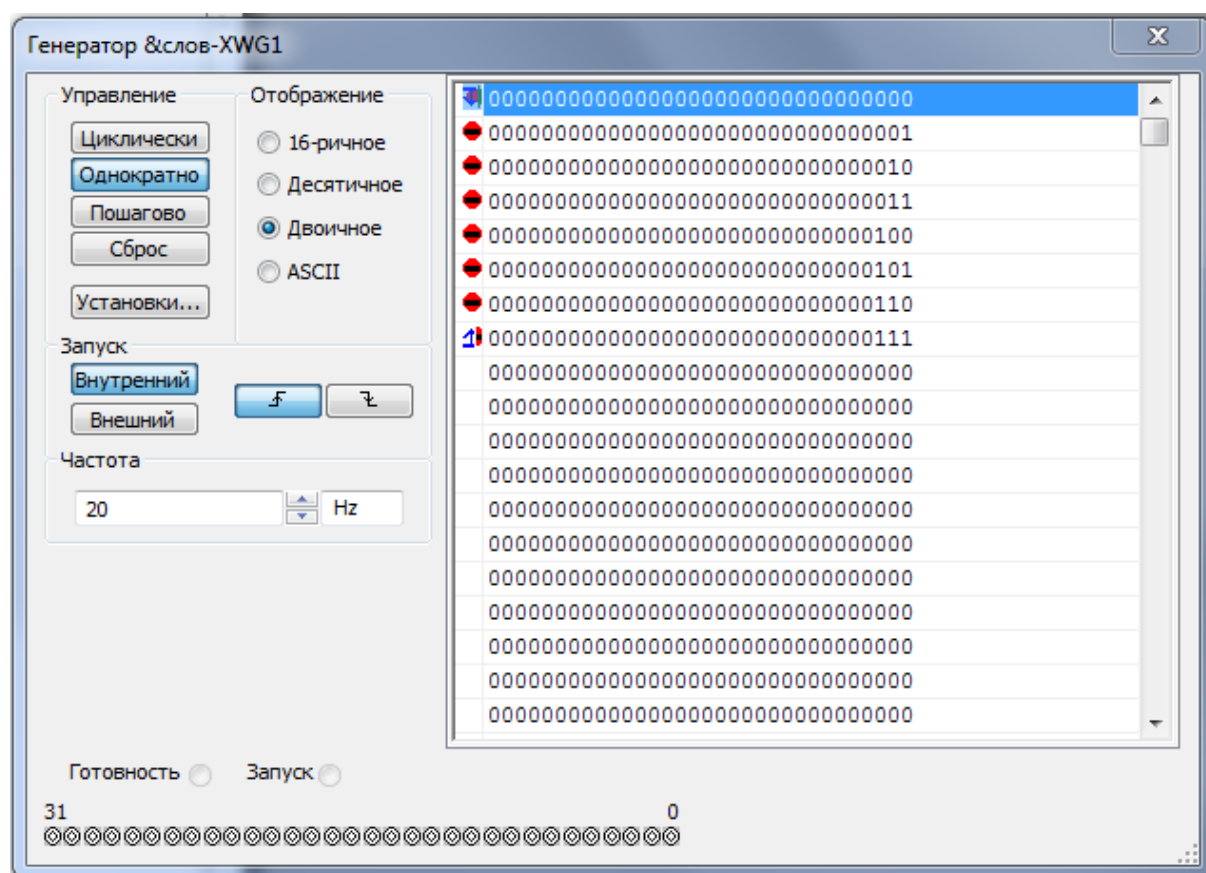


Рис.3 Программирование генератора слов XWG1 для испытания дешифратора

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы (в примере 0-2), формируя на них код сигнала. Перед моделированием выделите в окне генератора XWG1 ячейку с адресом 0 начала работы дешифратора и вывода сигналов.

Т а б л и ц а 2

Вариант	Синтезируемая схема
1, 6, 11, 16, 21, 26	DC 3-7(с входом E)
2, 7, 12, 17, 22, 27	DC 4-16
3, 8, 13, 18, 23, 28	DC 3-6(с входом E)
4, 9, 14, 19, 24, 29	DC 3-8(с входом E)
5, 10, 15, 20, 25, 30	DC 4-12

Проведите моделирование работы дешифратора. Убедитесь в правильности его работы, в соответствии с таблицей истинности. Скопируйте в от-

чёт работу дешифратора при одной из комбинаций входных сигналов по таблице истинности. Объясните полученные результаты.

**Задание 2.** Разработайте и реализуйте в Multisim схему наращивания размерности дешифратора до 4-16, используя микросхемы 74LS137D, 74LS138D, 74LS139D, 74LS155D, 74LS156D.

Составьте таблицу истинности дешифратора с увеличенной размерностью (аналогичную таблице 3), и внесите ее в отчет.

Т а б л и ц а 3

X3	X2	X1	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

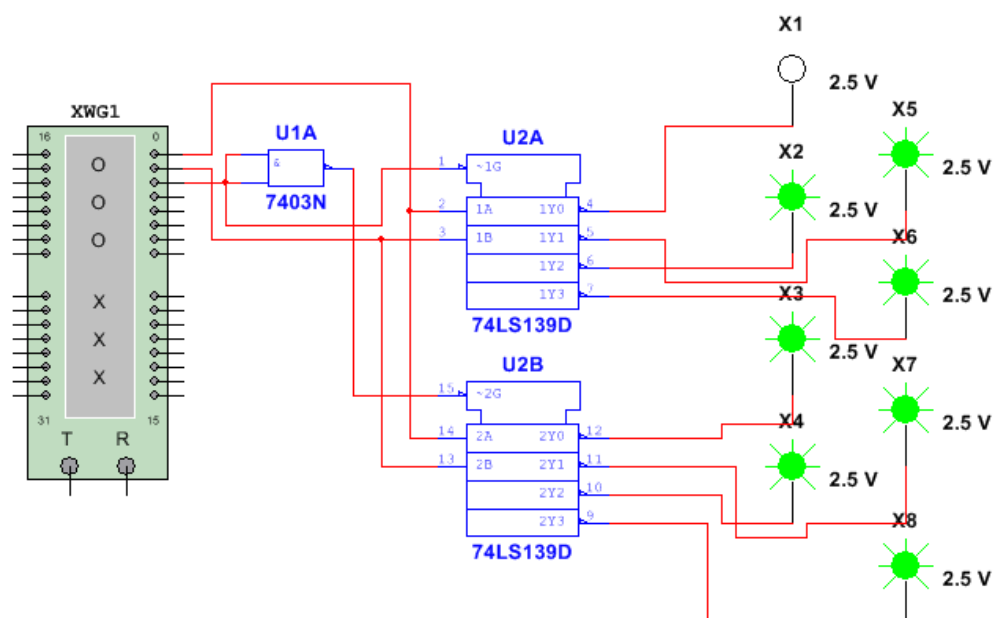


Рис.4 Схема исследования наращивания размерности дешифратора из 2-4 до 3-8

Соберите, с помощью необходимых схем логики, на рабочем поле среды Multisim дешифратор в соответствии с заданием (табл. 4). В схему должны быть включены: генератор слов XWG1 (частота  $f_{г} = 20$  Гц); необходимое количество схем дешифраторов и логики, а также индикаторов-пробников. Скопируйте схему на страницу отчёта.

Для работы схемы генератор XWG1 нужно запрограммировать, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно таблице истинности дешифратора с увеличенной размерностью (аналогичную таблице 3) и варианту (табл. 4).

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы (в примере 0-3), формируя на них код сигнала. Перед моделированием выделите в окне генератора XWG1 ячейку с адресом 0 начала счёта и вывода сигналов.

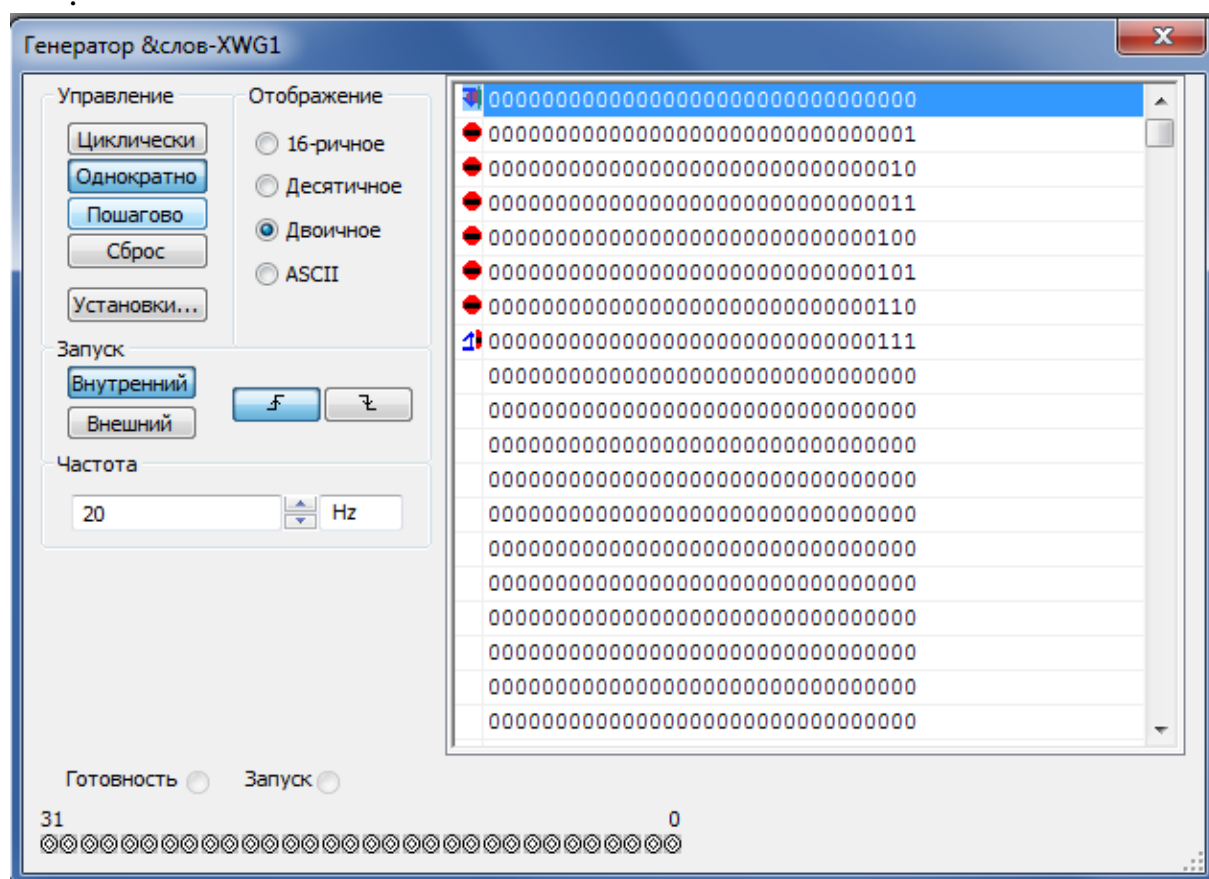


Рис.5 Программирование генератора слов XWG1 для испытания наращивания размерности дешифратора 2-4 до 3-8

Т а б л и ц а 4

Вариант	Синтезируемая схема
1, 6, 11, 16, 21, 26	DC 4-16 из 74LS138D



2, 7, 12, 17, 22, 27	DC 4-16 из 74LS139D
3, 8, 13, 18, 23, 28	DC 4-16 из 74LS155D
4, 9, 14, 19, 24, 29	DC 4-16 из 74LS156D
5, 10, 15, 20, 25, 30	DC 4-16 из 74LS137D

Проведите моделирование работы дешифратора с увеличенной размерностью. Убедитесь в правильности его работы, в соответствии с таблицей истинности. Скопируйте в отчёт работу дешифратора при одной из комбинаций входных сигналов по таблице истинности. Объясните полученные результаты.

**Задание 3.** Исследование дешифратора из двоичного в 7-ми сегментный код.

Соберите, с помощью необходимых схем логики, на рабочем поле среды Multisim дешифратор из двоичного в 7-ми сегментный код, в соответствии с рис.6. В схему должны быть включены: генератор слов XWG1 (частота  $f_{\Gamma} = 50$  Гц); необходимое количество схем логики и 7-ми сегментный индикатор. Скопируйте схему на страницу отчёта.

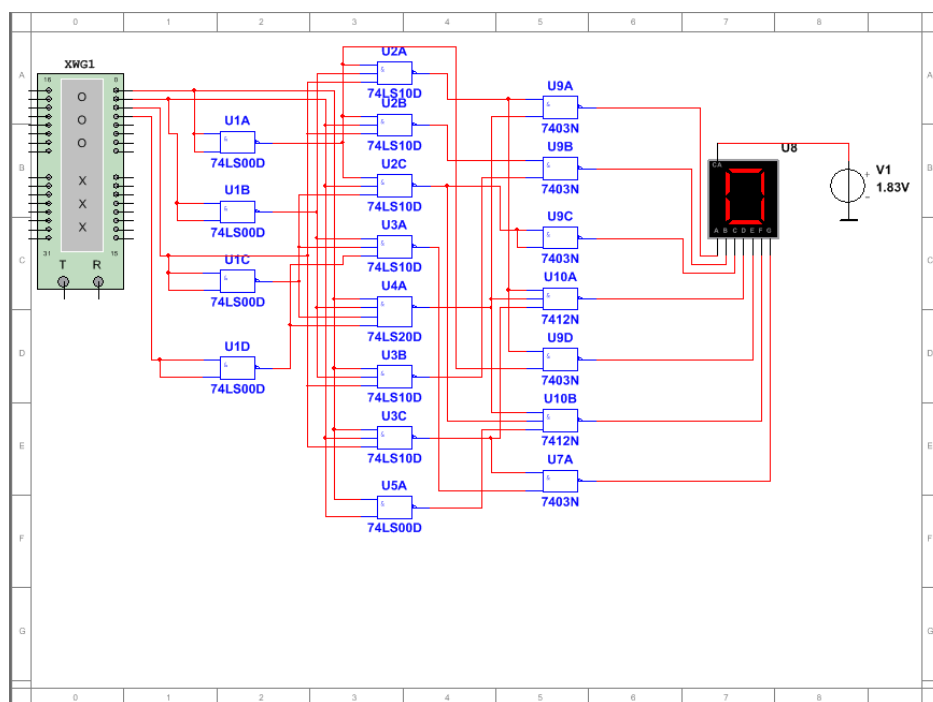


Рис.6 Схема исследования дешифратора из двоичного в 7-ми сегментный код

Для работы схемы генератор XWG1 нужно перепрограммировать, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно рис.7.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 0-3, формируя на них код сигнала. Перед моделированием выделите в окне генератора XWG1 ячейку с адресом 0 начала счёта и вывода сигналов.

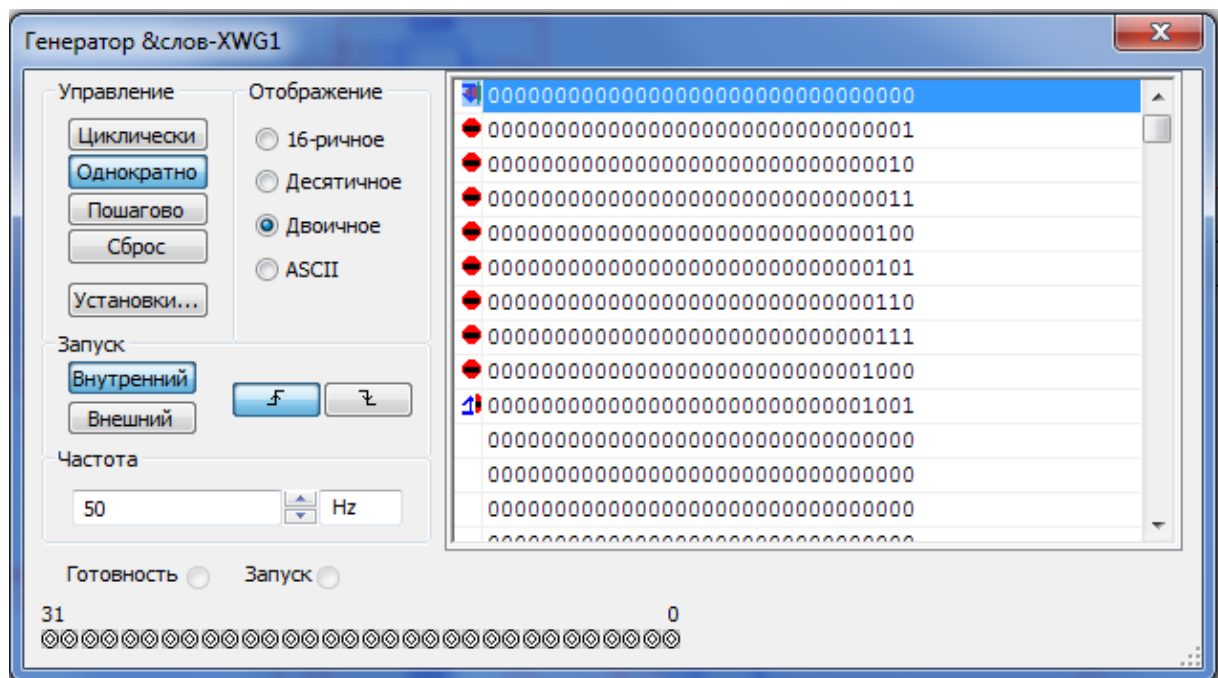


Рис.7 Программирование генератора слов XWG1 для исследования дешифратора из двоичного в 7-ми сегментный код

Проведите моделирование работы дешифратора из двоичного в 7-ми сегментный код, подавая импульсы с выходов 0-3 генератора XWG1. Скопируйте в отчёт работу дешифратора при одной из комбинаций входных сигналов. Отрадите в таблице двоичный код на входе дешифратора и значения управляющих сигналов на выходе дешифратора. Объясните полученные результаты.

Примечание: При необходимости подайте на схемы дешифраторов напряжение питания +5В и точку нулевого потенциала.

## СОДЕРЖАНИЕ ОТЧЁТА

### 1. Наименование и цель работы.

2. Перечень приборов, использованных в экспериментах, с их краткими характеристиками.

3. Изображения электрических схем для испытания дешифраторов с помощью генератора слов XWG1 и их таблицы истинности.

4. Копии экранов, отображающих работу дешифраторов при одной из комбинаций входных сигналов.

5. Выводы по работе.

### **Контрольные вопросы**

1. Какое устройство называется дешифратором, поясните особенность его схемной реализации?

2. Какие функциональные узлы можно реализовать на дешифраторах?

3. Как реализовать на дешифраторе демультиплексор, мультиплексор?

4. Какой дешифратор называется полным (неполным)?

5. Какие особенности имеет дешифратор кода для 7-сегментного индикатора?

6. Что такое стробирование, для каких целей в устройствах используется стробирующий вход?

7. Можно ли мультиплексоры КМОП-серий использовать в качестве дешифраторов?