

Московский Государственный Технический Университет
имени Н.Э.Баумана

СИНХРОННЫЕ ДВУХСТУПЕНЧАТЫЕ ТРИГГЕРЫ

Методические указания к выполнению лабораторных работ
по курсу «Электроника и схемотехника»

Лабораторная работа №1. «Синхронные двухступенчатые триггеры»

Цель работы.

Изучение принципов построения схем и режимов работы синхронных двухступенчатых триггеров.

КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ

Триггер – это устройство последовательностного типа которое может находиться в одном из двух устойчивых состояний, предназначенное для записи и хранения информации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое.

По способу приема информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов. По виду активного сигнала, действующего на информационных входах триггеры подразделяются на статические и динамические. Первые переключаются потенциалом (уровнем напряжения), а вторые – перепадом (передним или задним фронтом импульса). Входные информационные сигналы могут быть прямыми и инверсными.

По принципу построения триггеры со статическим управлением можно подразделить на одноступенчатые и двухступенчатые. В одноступенчатых триггерах имеется одна ступень запоминания. В двухступенчатых триггерах имеются две ступени запоминания. Вначале информация записывается в первую ступень, а затем переписывается во вторую и появляется на выходе.

Как правило, триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Число входов зависит от структуры и функций, выполняемых триггером. Например, асинхронные RS -триггеры имеют два входа: вход S установки в *единичное* состояние прямого выхода Q и вход R установки в *нулевое* состояние выхода Q . Синхронные триггеры для занесения в них информации, помимо информационных входов S (J) и R (K), имеют синхронизирующий C или счётный T вход, а триггеры задержки – информационный вход D .

Наибольшее распространение в цифровых устройствах получили триггеры RS , D , T и JK .

Триггеры входят в состав многих функциональных последовательностных цифровых устройств таких как регистры, счетчики, накапливающие сумматоры.

1. АСИНХРОННЫЙ И СИНХРОННЫЙ RS -ТРИГГЕРЫ

Простейшим триггером является *асинхронный* RS -триггер, условное графическое изображение которого представлено на рис. 1, а, а принцип его работы поясняется таблицей истинности (табл. 1). Триггер имеет два отдельных информационных входа: R и S и два выхода: Q и \bar{Q} . Независимым является один (прямой) выход Q , так как инверсный сигнал \bar{Q} можно получить с помощью внешнего инвертора.

Рассмотрим табл. 1. Обозначим Q^t сигнал на выходе триггера до поступления сигнала 1 на его вход S . При подаче сигналов $S = 1$ и $R = 0$ триггер переходит в состояние $Q^{t+1} = 1$. При поступлении сигналов $R = 1$ и $S = 0$ на выходе устанавливается $Q^{t+1} = 0$. При отсутствии новых команд состояние триггера не изменяется: триггер сохраняет информацию о последней из поступивших команд. Естественно, что комбинация сигналов $S = 1$ и $R = 1$ относится к запрещённым, так как при её подаче на входы триггера на его выходе Q^{t+1} устанавливается либо 1, либо 0.

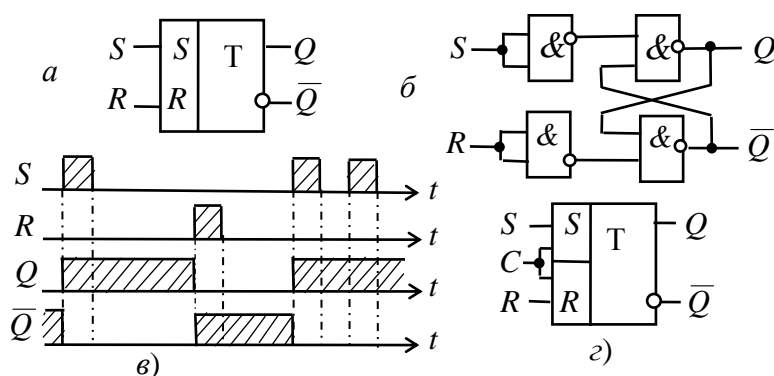


Рис. 1

Т а б л и ц а 1

S	R	Q^{t+1}
0	0	Q^t
0	1	0
1	0	1
1	1	—

На основании табл. 1 запишем аналитическое выражение функционирования RS -триггера:

$$Q^{t+1} = S + Q^t \bar{R}.$$

На рис. 1, в изображена временная диаграмма, иллюстрирующая его работу. В момент, когда подаётся сигнал $S = 1$, триггер переходит в состояние $Q = 1$. При отсутствии входных сигналов состояние триггера не изменяется, а в момент подачи сигнала $R = 1$ триггер переключается в состояние $Q = 0$, в котором пребывает до поступления нового единичного сигнала на S -вход.

RS -триггер может быть построен на различных логических элементах. На рис. 1, б показана схема реализации RS -триггера на базовых элементах И-НЕ, в которой использована положительная обратная связь (ПОС) с выходов триггера на входы логических элементов. Именно наличие ПОС отличает триггер от ранее рассмотренных комбинационных логических устройств: посредством сигналов ПОС в триггере фиксируется его предшествующее состояние.

Асинхронный RS -триггер можно преобразовать в *синхронный*, если добавить третий синхронизирующий вход C (рис.1, г), соединённый, например, с нижними, предварительно разделёнными, входами двух левых элементов И-НЕ (см. рис. 1, б).

Вход C обеспечивает функционирование RS -триггера по закону

$$Q^{t+1} = Q^t (\bar{C} + \bar{R}) + CS.$$

Переключение синхронного RS -триггера в состояние $Q = 1$ происходит при $S = 1$ (или в состояние $Q = 0$ при $R = 1$) в момент прихода синхроимпульса C . При $C = 0$ информация с S - и R -входов на триггер не передается.

Из синхронных RS -триггеров можно получить двухступенчатые(рис.2). Двухступенчатые RS -триггеры строятся по способу “М-S” и обеспечивают совмещение двух процессов — одновременной записи новой информации

и считывания старой. Во время действия синхроимпульса C первая ступень "М" (Master— основная) принимает новую входную информацию, а вторая ступень "S" (Slave — вспомогательная) в это же время передает во внешние схемы старую информацию. После окончания синхроимпульса C информация из первой ступени переписывается во вторую ступень.

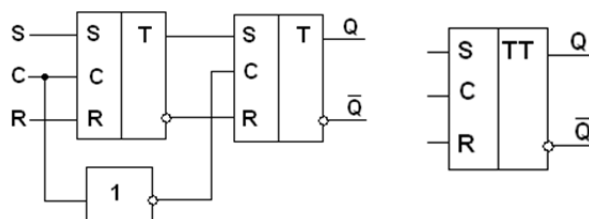


Рис. 2

2. T-ТРИГГЕР

Триггер со счетным запуском (*T-триггер*) должен переключаться каждым импульсом, подаваемым на единственный счётный вход T (рис. 3, а). Функционирование T -триггера определяется уравнением

$$Q^{t+1} = Q^t \bar{T} + \bar{Q}^t T.$$

Двухступенчатый T -триггер может быть реализован, например, на базе двух синхронных RS -триггеров (рис. 3, б). С появлением фронта тактового импульса триггер T_1 первой ступени переключается в состояние, противоположное состоянию триггера T_2 . Но это не вызывает изменение сигналов на выходах Q и \bar{Q} , так как за счёт инвертора на тактовый вход C триггера T_2 в данный момент подан логический 0. Только на срезе счетного импульса на входе T_1 переключится триггер T_2 и произойдёт изменение сигналов на выходах Q и \bar{Q} , а также на S - и R -входах первой ступени.

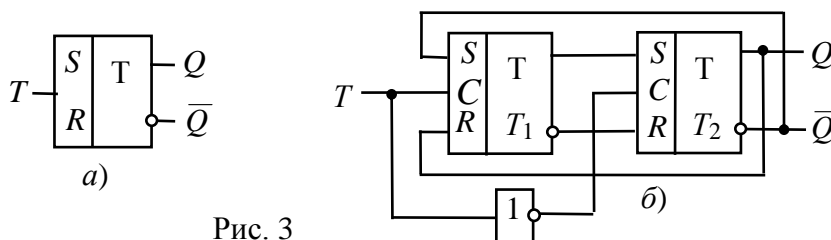


Рис. 3

3. D-ТРИГГЕР

Триггер задержки (*D-триггер*) на практике используется только синхронный, имеет один информационный D -вход, информация с которого переписывается на выход триггера только по тактовому сигналу, подаваемому на C -вход. Условное графическое изображение D -триггера приведено на рис.4, а. Реализовать его можно на различных логических элементах, в том числе, на основе синхронного RS -триггера, дополненного инвертором (рис.4, б). Из анализа табл. 2 таблицы истинности уравнение логики работы D -триггера может быть представлено как:

$$Q^{t+1} = \bar{C}^t Q^t + C^t Q^t$$

Из уравнения следует, что при отсутствии синхроимпульса ($C = 0$) состояние триггера остается неизменным. При условии же $C = 1$ триггер передает на выход сигнал, поступивший на его вход D в предыдущем такте, т. е. выходной сигнал Q^{t+1} изменяется с задержкой на один период импульсов синхронизации.

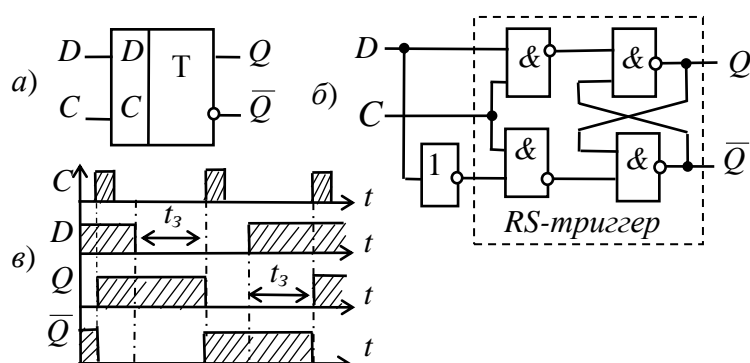


Рис. 4

Т а б л и ц а 2

C^t	D^t	Q^t	Q^{t+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Из анализа временной диаграммы D -триггера (рис. 4, в) также следует, что выходной сигнал Q триггера повторяет состояние D -входа с поступлением очередного тактового импульса на вход C с задержкой t_3 относительно сменившегося логического состояния на D -входе.

Двухступенчатый D -триггер можно построить из двухступенчатого синхронного RS -триггера и инвертора (Рис. 5).

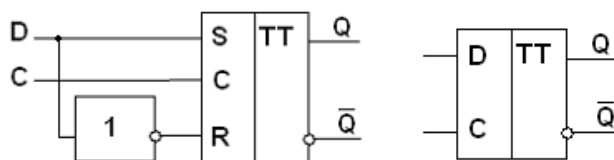


Рис. 5

Информация (логический 0 или 1) записывается в двухступенчатый D -триггер с входа D по заднему фронту синхроимпульса и сохраняется (задерживается) до прихода следующего синхроимпульса.

4. JK -ТРИГГЕР

Двухступенчатые JK -триггеры обычно выполняются тактируемыми. JK -триггер имеет информационные входы J и K , которые по своему воздействию на устройство аналогичны входам S и R синхронного RS -триггера: при $J = 1$ и $K = 0$ триггер по тактовому импульсу C устанавливается в состояние $Q = 1$; при $J = 0$ и $K = 1$ – переключается в состояние $Q = 0$, а при $J = 0$ и $K = 0$ – хранит ранее принятую информацию.

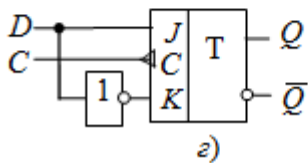
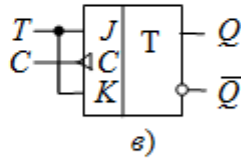
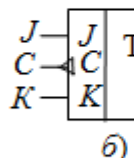
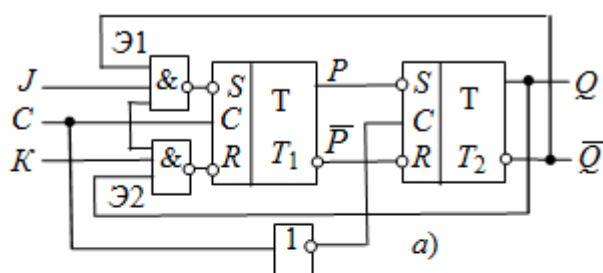
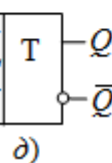


Рис. 6



Т а б л и ц а 3

J^t	K^t	Q^t	Q^{t+1}
0	0	0	0
1	0	0	1
0	1	0	0
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	0
1	1	1	0

В отличие от синхронного RS -триггера одновременное присутствие логических единиц на информационных входах не является для JK -триггера запрещенной комбинацией; при $J = 1$ и $K = 1$ триггер работает в счетном режиме, т. е. переключается каждым тактовым импульсом на входе C .

На рис. 6, *a* изображена функциональная схема двухтактного JK -триггера. Она отличается от схемы двухтактного T -триггера (см. рис. 3, *б*) двумя трёхходовыми элементами И-НЕ Э1 и Э2 входной логики первой ступени JK -триггера. Переключающий вход C – динамический (рис. 6, *б*): переключение JK -триггера происходит в момент перепада синхроимпульса с уровня $C = 1$ на уровень $C = 0$, т. е. при срезе.

При $J = 0$ и $K = 0$ на выходе элементов Э1 и Э2 устанавливаются логические единицы, которые для триггеров с инверсными входами являются пассивными сигналами: триггер T_1 и, следовательно, двухступенчатый JK -триггер сохраняют прежнее состояние (см. рис. 6, *a*). Логическая 1 на одном из входов элемента И-НЕ не определяет 1 на его выходе и комбинация $J = 1$, $K = 1$ никак не влияет на входную логику первой ступени, поэтому схемы T - и JK -триггеров (см. рис. 3, *б* и рис. 6, *a*) принципиально не отличаются: оба работают в счетном режиме.

Только при комбинации сигналов $J = 1$, $C = 1$ и $\bar{Q} = 1$ на входе элемента Э1 триггер T_1 переключится в состояние $P = 1$. Аналогично логический 0 будет на выходе элемента Э2, когда $K = 1$, $C = 1$ и $Q = 1$.

Таким образом, комбинация $J = 1$, $K = 0$ обуславливает по тактовому импульсу $C = 1$ переключение синхронного двухступенчатого JK -триггера состояние $Q = 1$, а комбинация $J = 0$, $K = 1$ – в состояние $Q = 0$.

Из анализа табл. 3 и уравнения логики работы функции JK -триггера

$$Q^{t+1} = \bar{K}^t Q^t + J^t \bar{Q}^t$$

следует, что состояние триггера определяется не только уровнями сигналов на информационных входах J и K , но и состоянием Q^t , в котором ранее находился JK -триггер. Так, при комбинации $J = 0$, $K = 0$ триггер сохраняет

предыдущее состояние ($Q^{t+1} = Q^t$); комбинация $J = 1, K = 1$ приводит к тому, что тактовым импульсом триггер переключается в состояние, противоположное предыдущему: $Q^{t+1} = \overline{Q}^t$. Комбинации $J = 1, K = 0$ и $J = 0, K = 1$ дают разрешение триггеру переключиться соответственно в состояния $Q = 1$ и $Q = 0$.

На основе JK -триггера (рис. 6, б) могут быть выполнены синхронный (рис. 6, в) и асинхронный (рис. 6, д) T -триггеры, D -триггер (рис. 6, з) и синхронный RS -триггер (рис. 6, е).

При проектировании сложных логических схем необходимы триггеры различных типов, которые можно было бы выполнить на основе одного универсального триггера и использовать его в разных режимах работы и модификациях. В интегральной схемотехнике наибольшее распространение получили D - и JK -триггеры.

УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ

Задание 1. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого **RS**- триггера (рис. 7) и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему на страницу отчёта.

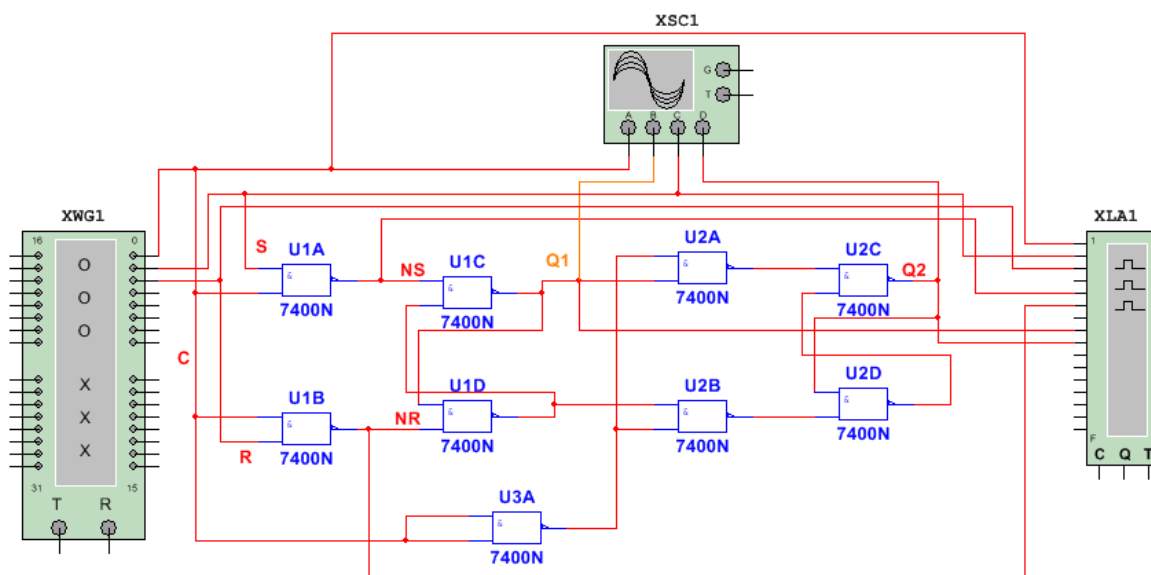


Рис.7 Схема испытания синхронного двухступенчатого **RS**-триггера

В схему (рис. 7) включены: генератор слов **XWG1** (частота $f_z = 10$ кГц); логический анализатор **XLA1**; синхронный двухступенчатый **RS** - триггер.

С выхода 0 генератора **XWG1** сигнал подается на синхронный вход RS -триггера, а с выходов 1 и 2 на входы S и R , соответственно. Сигналы со схемы RS -триггера подаются на логический анализатор **XLA1** (сигнал снимается со схем формирования управляющих сигналов RS триггерами 1 и 2 ступени триггера, а также с прямых выходов триггеров первой $Q_{1ст}$ и второй $Q_{2ст}$ ступеней см. рис.7).

Для работы схемы генератор **XWG1** нужно запрограммировать, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 4).

В качестве примера введём в первые, вторые и третьи ячейки памяти генератора трехразрядную кодовую комбинацию (16 значений) (см. рис. 8):

000, 101, 100, 011, 010, 001, 100, 001, 010, 011, 000, 101, 100, 011, 010, 101.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 0, 1 и 2 формируя на нем следующий код сигнала: 0101010101010101, 0001100011000110, 0110001000011001 (см. сигнал на канале 1, 2 и 3 логического анализатора XLA1 (рис. 9)). Перед моделированием выделите в окне генератора XWG1 ячейку с адресом 0 начала счёта и вывода сигналов.

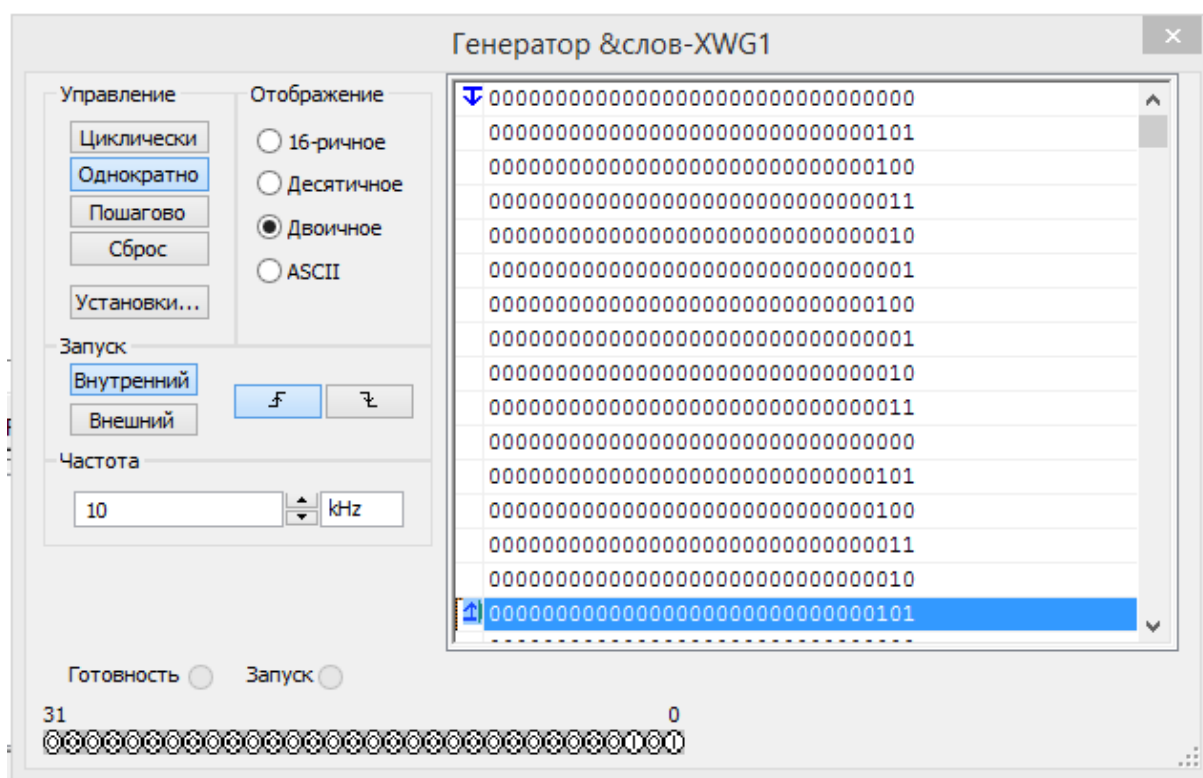


Рис.8 Программирование генератора слов **XWG1** для испытания синхронного двухступенчатого **RS**-триггера

Т а б л и ц а 4

Вариант	Содержимое ячеек памяти генератора слова XWG1
1, 6, 11, 16, 21, 26	000, 011, 010, 101, 100, 001, 000, 011, 010, 011, 000, 101, 100, 011, 010, 101
2, 7, 12, 17, 22, 27	010, 011, 000, 101, 100, 001, 000, 101, 000, 011, 010, 101, 100, 011, 100, 101
3, 8, 13, 18, 23, 28	000, 101, 100, 001, 000, 011, 010, 011, 010, 101, 100, 001, 010, 011, 000, 101
4, 9, 14, 19, 24, 29	110, 001, 100, 101, 010, 011, 000, 001, 000, 101, 110, 011, 100, 101, 010, 101

5, 10, 15, 20, 25, 30

010, 101, 010, 011, 000, 101, 100, 001, 010, 011, 010, 101, 110, 011, 000, 101

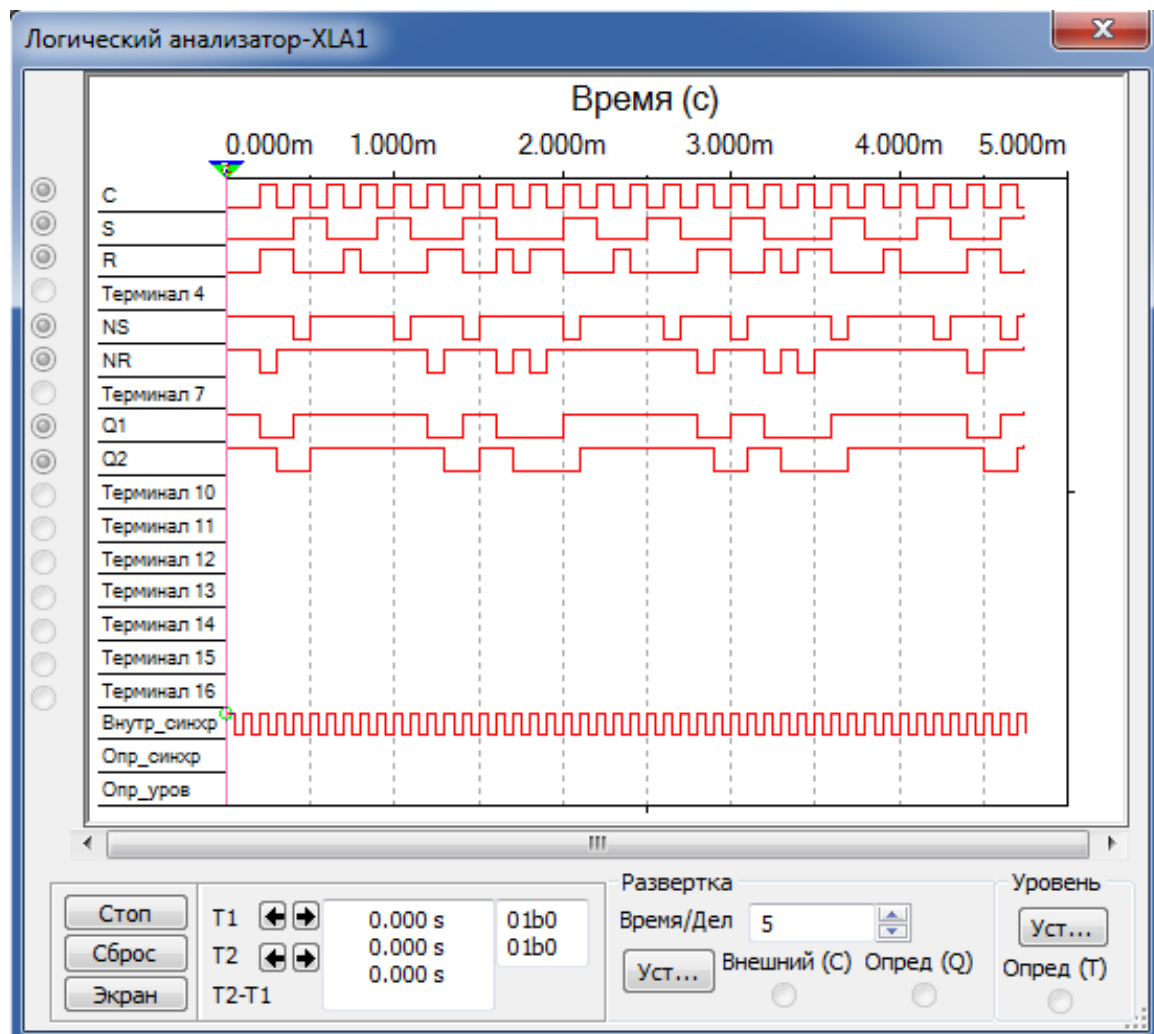


Рис.9 Временные диаграммы работы синхронного двухступенчатого **RS**-триггера

Проведите моделирование работы синхронного двухступенчатого **RS**-триггера, подавая импульсы с выходов 0, 1 и 2 генератора **XWG1**. **Скопируйте** в отчёт временные диаграммы, **составьте** и **заполните** таблицы истинности работы **RS** - триггера, при заданном в табл. 4 варианте входной кодовой комбинации. Объясните полученные результаты.

Задание 2. **Собрать** на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого **D-триггера** (рис. 10) и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему на страницу отчёта.

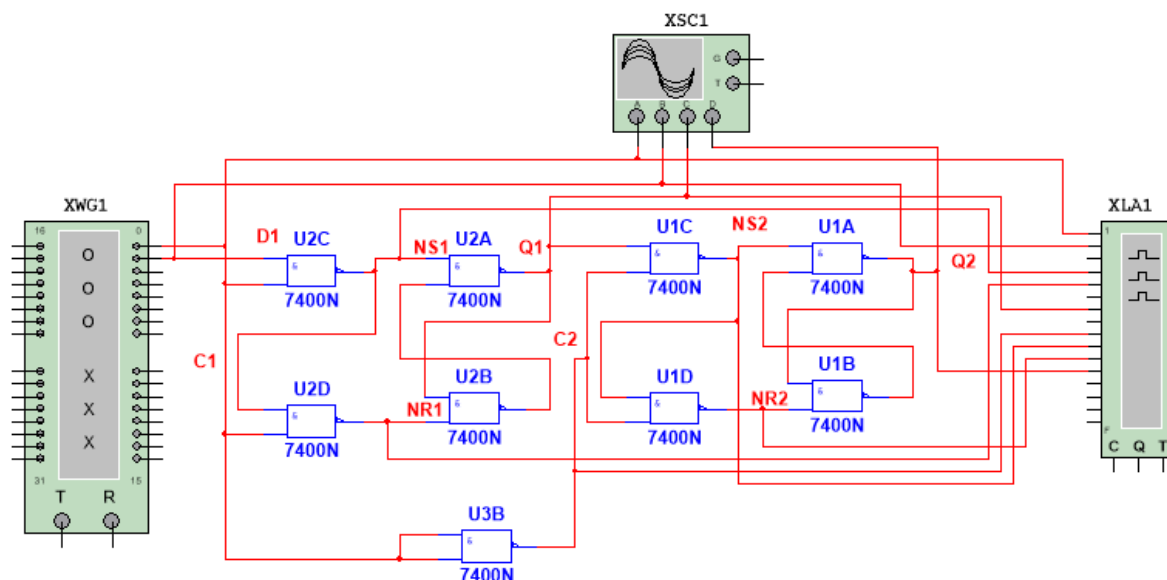


Рис.10 Схема испытания синхронного двухступенчатого **D**-триггера

В схему (рис. 10) включены: генератор слов **XWG1** (частота $f_2 = 10$ кГц); логический анализатор **XLA1**; синхронный двухступенчатый **D** - триггер.

С выхода 0 генератора **XWG1** сигнал подается на синхронный вход **D** – триггера, а с выхода 1 генератора **XWG1** сигнал подается на информационный вход **D**-триггера. Сигналы со схемы **D** -триггера подаются на логический анализатор **XLA1** (сигнал снимается со схем формирования управляющих сигналов RS триггерами 1 ступени **D** триггера, а также с прямых выходов триггеров первой $Q_{1ст}$ и второй $Q_{2ст}$ ступеней см. рис. 10).

Для работы схемы генератор **XWG1** нужно **запрограммировать**, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 5).

В качестве примера введём в первые и вторые ячейки памяти генератора двухразрядную кодовую комбинацию (12 значений) (см. рис. 11):

00, 10, 11, 11, 00, 00, 01, 01, 00, 00, 01, 01.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 0, 1 формируя на нем следующий код сигнала: 001100110011, 011100000000 (см. сигнал на канале 1и 2 логического анализатора **XLA1** (рис. 12)). Перед моделированием **выделите** в окне генератора **XWG1** ячейку с адресом 0 начала счёта и вывода сигналов.

Т а б л и ц а 5

Вариант	Содержимое ячеек памяти генератора слова XWG1
1, 6, 11, 16, 21, 26	00, 10, 11, 11, 10, 10, 01, 01, 10, 00, 01, 01
2, 7, 12, 17, 22, 27	00, 10, 11, 11, 00, 00, 01, 01, 00, 00, 01, 01
3, 8, 13, 18, 23, 28	00, 00, 01, 01, 10, 10, 11, 11, 00, 00, 01, 01
4, 9, 14, 19, 24, 29	00, 00, 01, 01, 00, 10, 11, 11, 00, 00, 01, 01
5, 10, 15, 20, 25, 30	00, 00, 01, 01, 10, 10, 11, 01, 00, 00, 01, 01

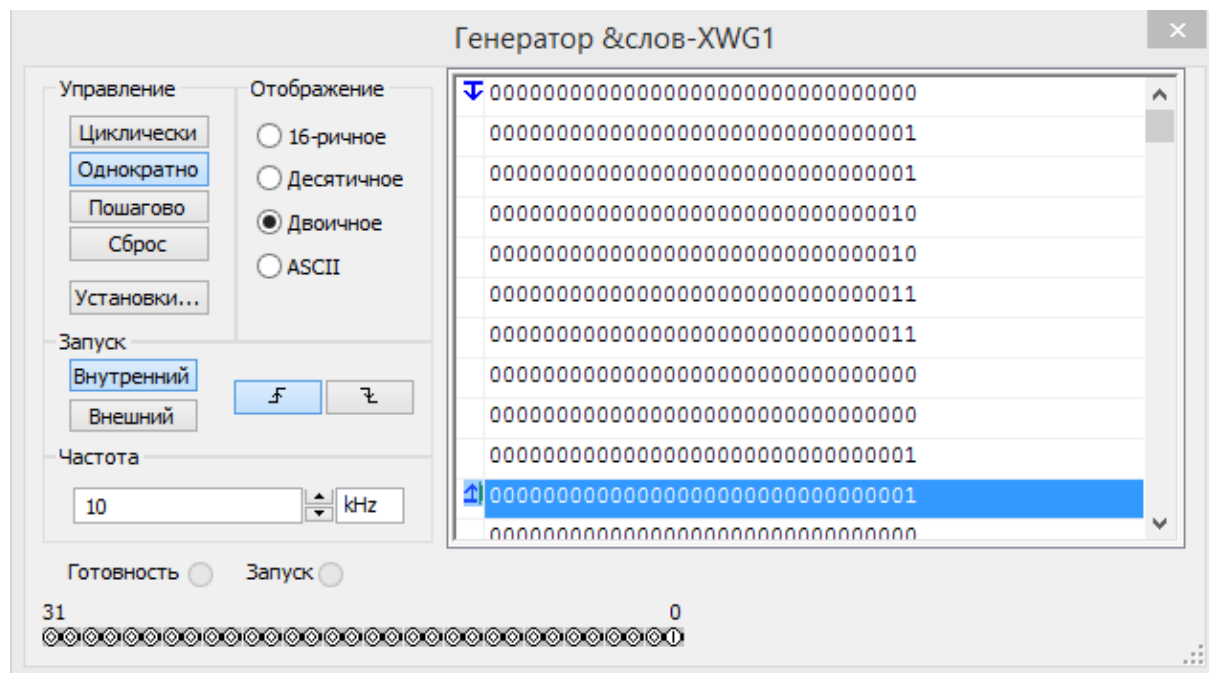


Рис.11 Программирование генератора слов **XWG1** для испытания синхронного двухступенчатого **D** – триггера

Проведите моделирование работы синхронного двухступенчатого **D** - триггера, подавая импульсы с выходов 0 и 1 генератора **XWG1**, **скопируйте** в отчёт временные диаграммы, **составьте** и **заполните** таблицы истинности работы синхронного двухступенчатого **D** - триггера, при заданном в табл. 5 варианте входной кодовой комбинации. Объясните полученные результаты.

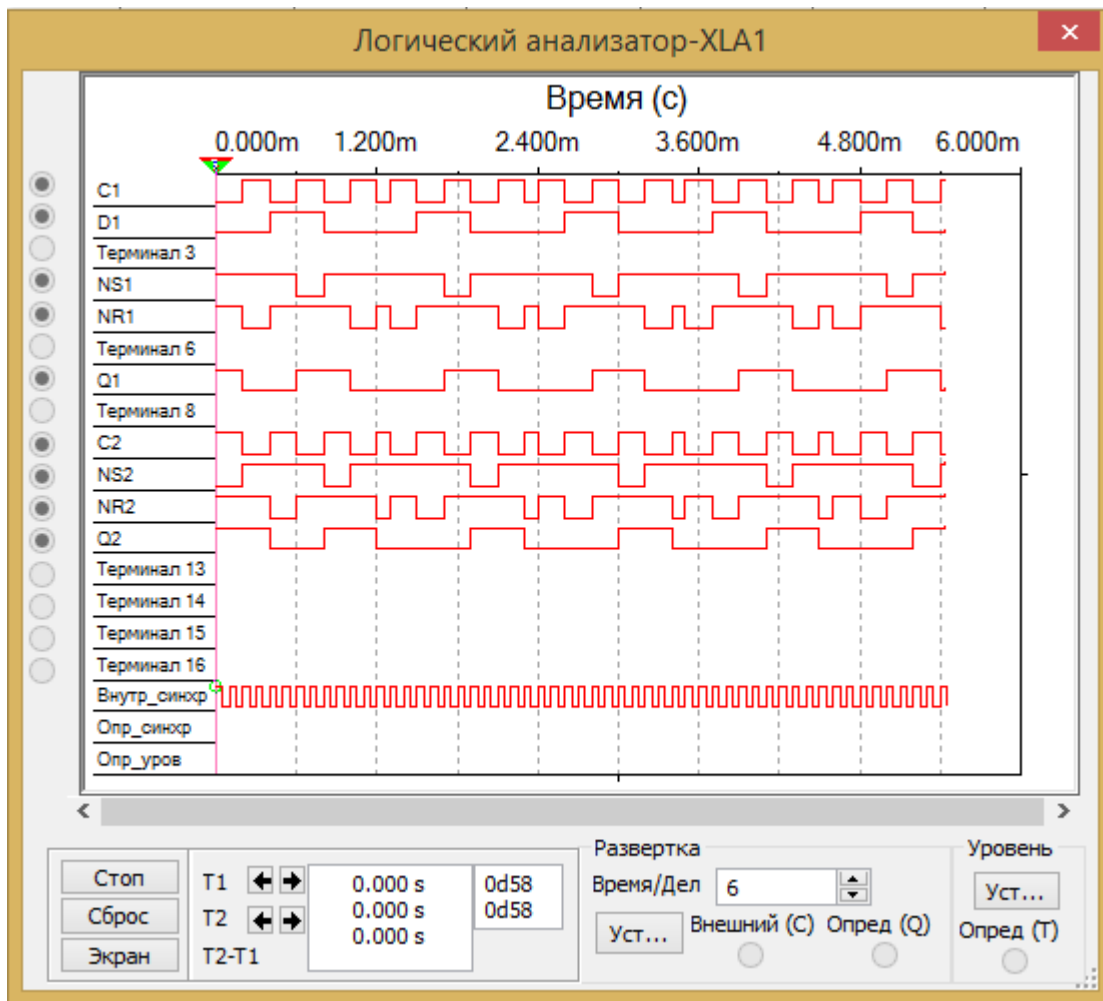


Рис.12 Временные диаграммы работы синхронного двухступенчатого **D** –триггера

Примечание. Четырехканальный осциллограф можно использовать, но это не обязательно.

Задание 3. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого **T- триггера** (рис. 13) и установить в диалоговых окнах компонентов их параметры или режимы работы. Скопировать схему на страницу отчёта.

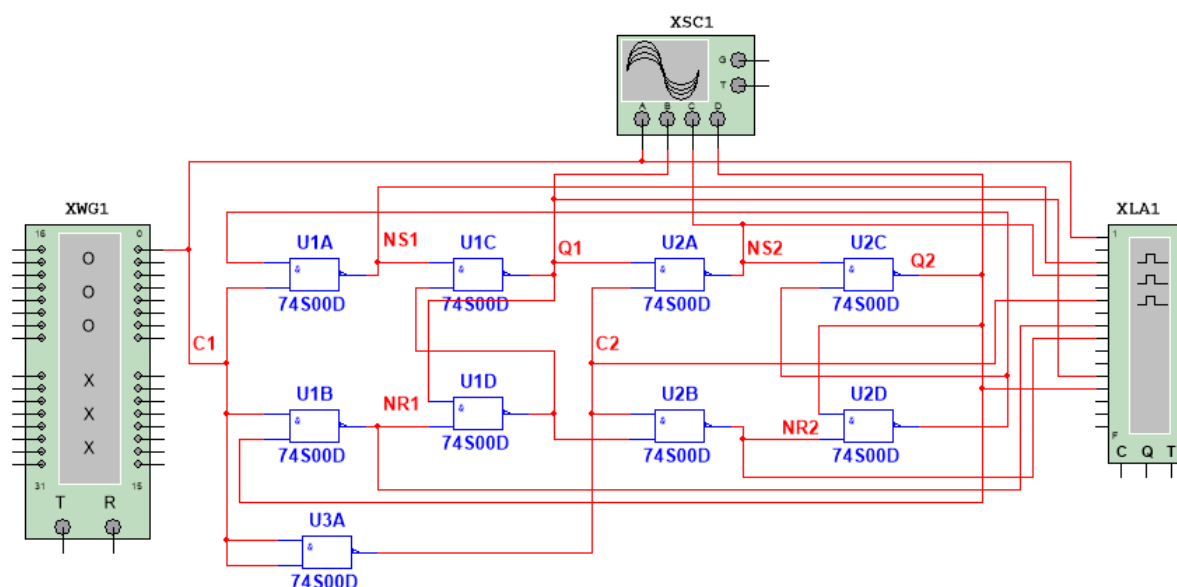


Рис. 13 Схема испытания синхронного двухступенчатого Т - триггера

В схему (рис. 13) включены: генератор слов **XWG1** (частота $f_2 = 10$ кГц); логический анализатор **XLA1**; синхронный двухступенчатый Т - триггер.

С выхода 0 генератора **XWG1** сигнал подается на счетный вход синхронного двухступенчатого Т - триггера, а с выходов схемы на логический анализатор **XLA1** (сигнал снимается со схем формирования управляющих сигналов RS триггерами 1 и 2 ступени Т - триггера, а также с прямых выходов триггеров первой $Q_{1ст}$ и второй $Q_{2ст}$ ступеней см. рис.13).

Для работы схемы генератор **XWG1** нужно **запрограммировать**, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 6).

В качестве примера введём в первые ячейки памяти генератора одно-разрядную кодовую комбинацию (12 значений) (см. рис. 14):

0, 1, 0, 1, 0, 1, 0, 1, 0, 1, 0, 1.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выход 0, формируя на нем следующий код сигнала: 0101010101 (см. сигнал на канале 1 логического анализатора **XLA1** (рис. 15)). Перед моделированием **выделите** в окне генератора **XWG1** ячейку с адресом 0 начала счёта и вывода сигналов.

Т а б л и ц а 6

Вариант	Содержимое ячеек памяти генератора слова XWG1
1, 6, 11, 16, 21, 26	0, 1, 1, 0, 1, 0, 1, 1, 0, 1, 1, 0
2, 7, 12, 17, 22, 27	0, 1, 0, 1, 0, 1, 1, 0, 1, 0, 1, 1
3, 8, 13, 18, 23, 28	1, 0, 0, 0, 1, 0, 1, 0, 1, 0, 1, 0
4, 9, 14, 19, 24, 29	0, 1, 1, 0, 1, 1, 0, 0, 1, 1, 0, 1
5, 10, 15, 20, 25, 30	0, 1, 0, 1, 1, 0, 1, 1, 0, 1, 1, 0

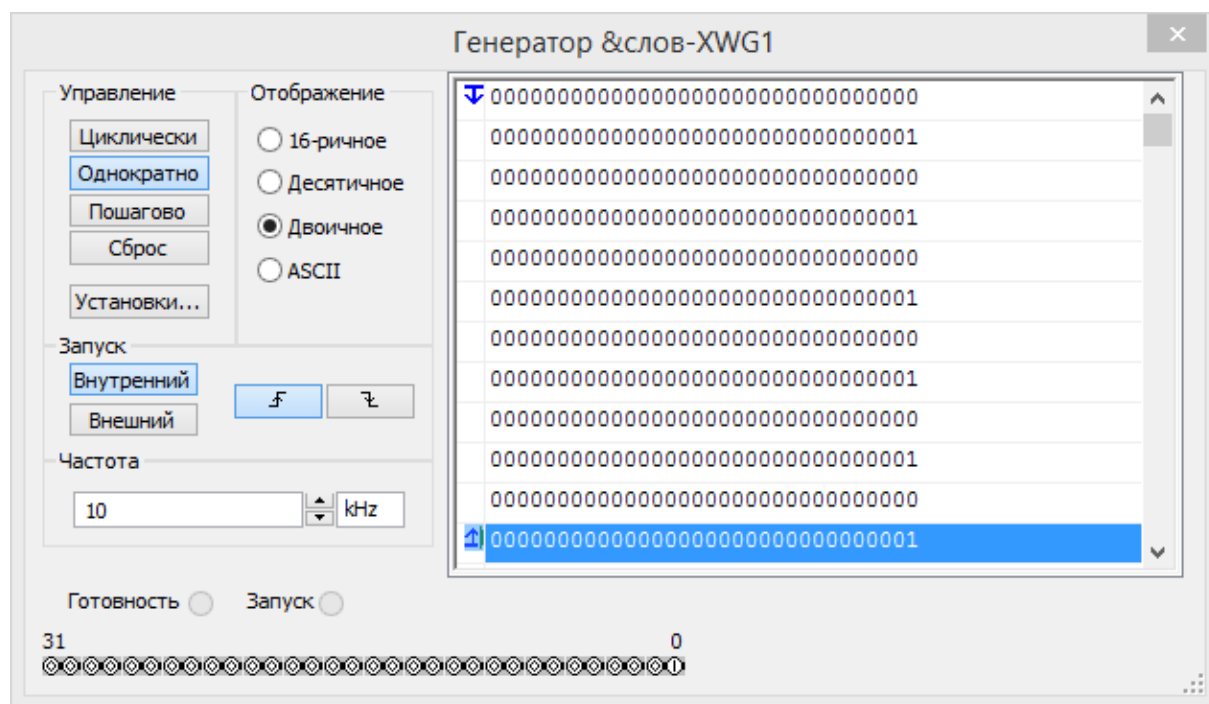


Рис.14 Программирование генератора слов **XWG1** для испытания синхронного двухступенчатого **T**-триггера

Проведите моделирование работы синхронного двухступенчатого **T** - триггера в счетном режиме, подавая счетные импульсы с выхода 0 генератора **XWG1**. **Скопируйте** в отчет временные диаграммы. **Составьте** и **заполните** таблицы истинности работы синхронного двухступенчатого **T** - триггера, при заданном в табл. 6 варианте входной кодовой комбинации. Объясните полученные результаты.

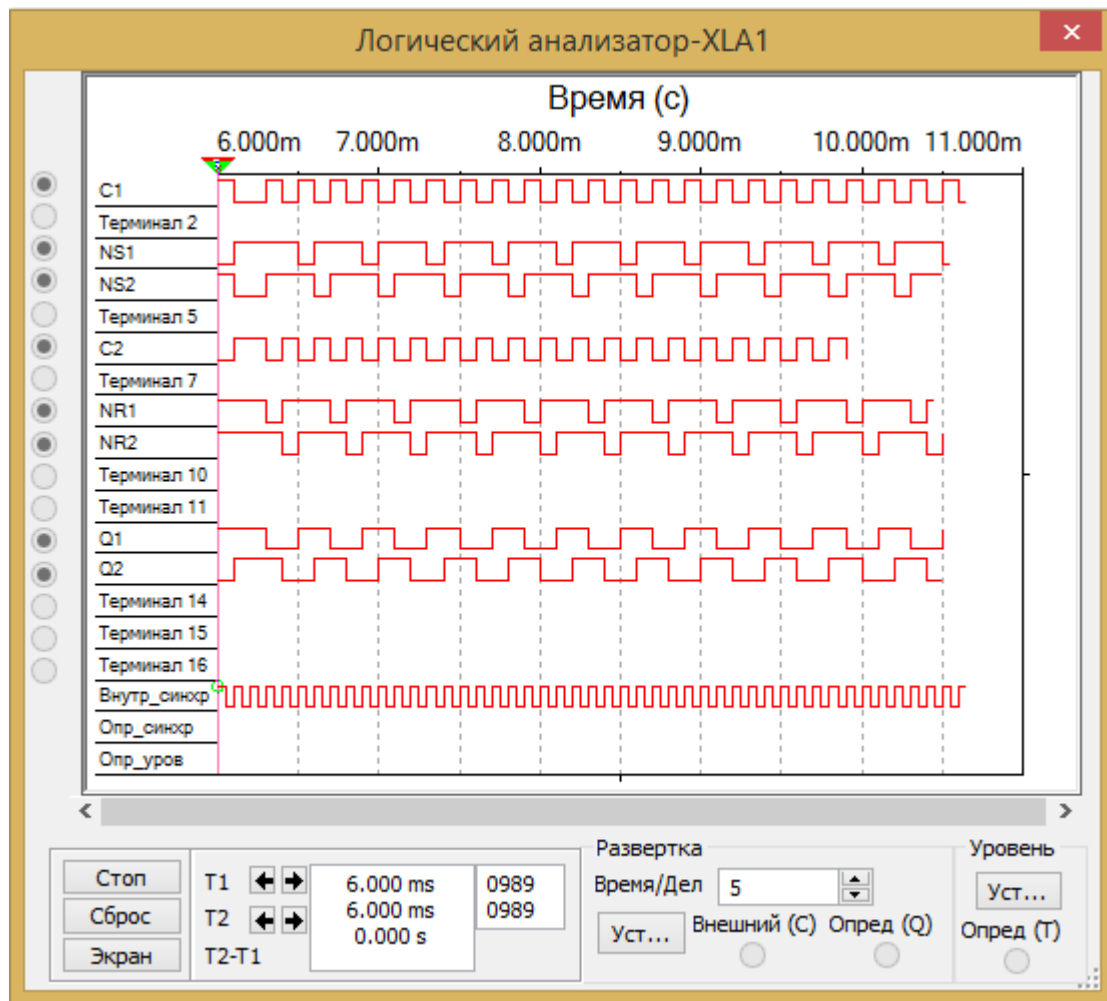


Рис.15 Временные диаграммы работы синхронного двухступенчатого Т-триггера

Примечание. Четырехканальный осциллограф можно использовать, но это не обязательно.

Задание 4. Собрать на рабочем поле среды Multisim схему для испытания синхронного двухступенчатого **JK- триггера** (рис. 16) и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему на страницу отчёта.

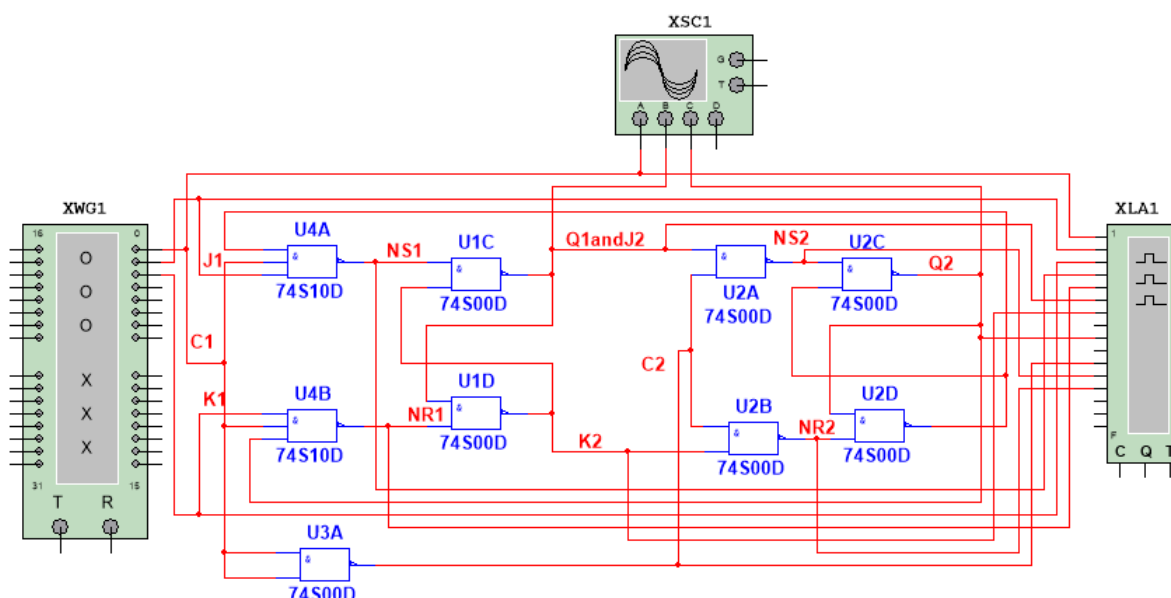


Рис.16 Схема испытания синхронного двухступенчатого **JK** – триггера

В схему (рис. 16) включены: генератор слов **XWG1** (частота $f_{г} = 10$ кГц); логический анализатор **XLA1**; **JK** - триггер.

С выхода 0 генератора **XWG1** сигнал подается на синхронный вход **JK** - триггера, а с выходов 1 и 2 на входы **J** и **K**, соответственно. Сигналы со схемы **JK** -триггера подаются на логический анализатор **XLA1** (сигнал снимается с входов **J** и **K**, а также с прямых выходов триггеров первой $Q_{1ст}$ и второй $Q_{2ст}$ ступеней см. рис.16).

Для работы схемы генератор **XWG1** нужно запрограммировать, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 7).

В качестве примера введём в первые, вторые и третьи ячейки памяти генератора трехразрядную кодовую комбинацию (14 значений) (см. рис. 17):

000, 011, 000, 101, 000, 001, 110, 111, 110, 111, 110, 111, 000, 101.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 0, 1 и 2 формируя на них следующий код сигналов: 01010101010101, 01000011111100, 00010011111101 (см. сигнал на канале 0, 1и 2 логического анализатора **XLA1** (рис. 18)). Перед моделированием выделите в окне генератора **XWG1** ячейку с адресом 0 начала счёта и вывода сигналов.

Т а б л и ц а 7

Вариант	Содержимое ячеек памяти генератора слова XWG1
1, 6, 11, 16, 21, 26	010, 101, 000, 111, 110, 111, 110, 111, 110, 111, 000, 011, 000, 011
2, 7, 12, 17, 22, 27	000, 111, 110, 111, 110, 111, 110, 001, 000, 011, 000, 001, 100, 101
3, 8, 13, 18, 23, 28	110, 111, 110, 111, 110, 111, 000, 101, 100, 011, 000, 001, 100, 111
4, 9, 14, 19, 24, 29	000, 001, 010, 011, 000, 111, 110, 111, 110, 111, 000, 101, 000, 011

5, 10, 15, 20, 25, 30	100, 101, 010, 111, 110, 111, 110, 111, 110, 001, 000, 001, 000, 011
-----------------------	--

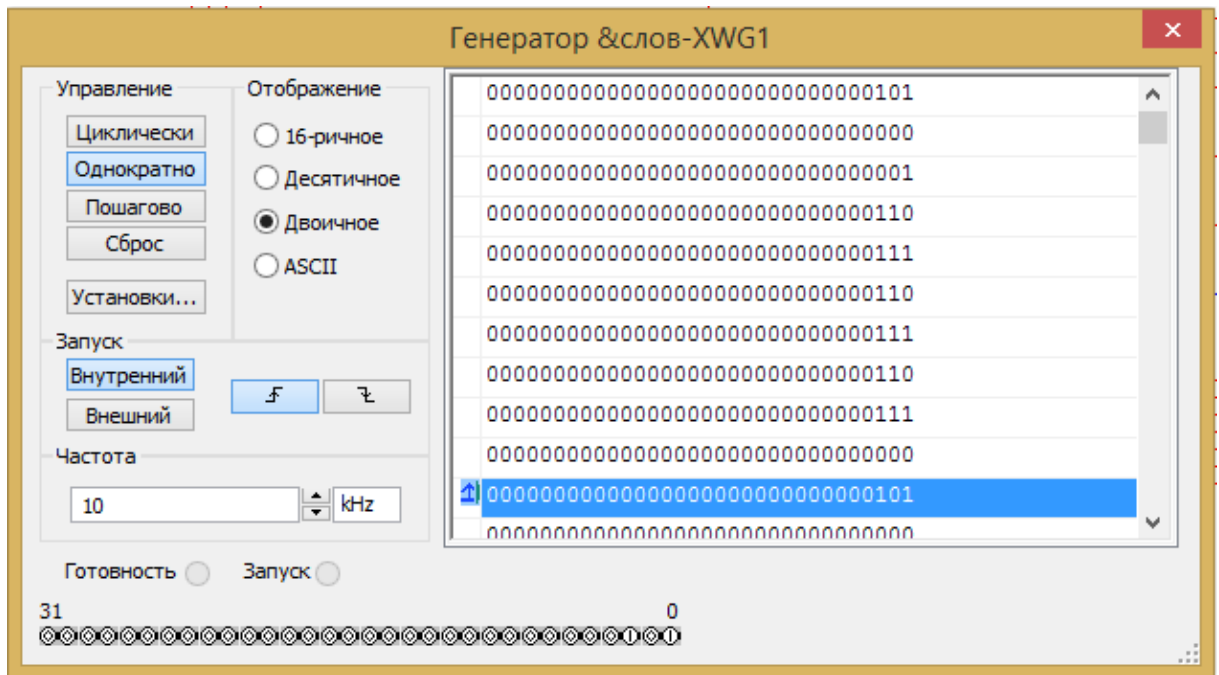


Рис.17 Программирование генератора слов **XWG1** для испытания синхронного двухступенчатого **JK** –триггера

Проведите моделирование работы JK - триггера, подавая импульсы с выходов 0, 1 и 2 генератора **XWG1**. **Скопируйте** в отчёт временные диаграммы, **составьте** и **заполните** таблицы истинности работы **JK** - триггера, при заданном в табл. 7 варианте входной кодовой комбинации. **Объясните** полученные результаты.

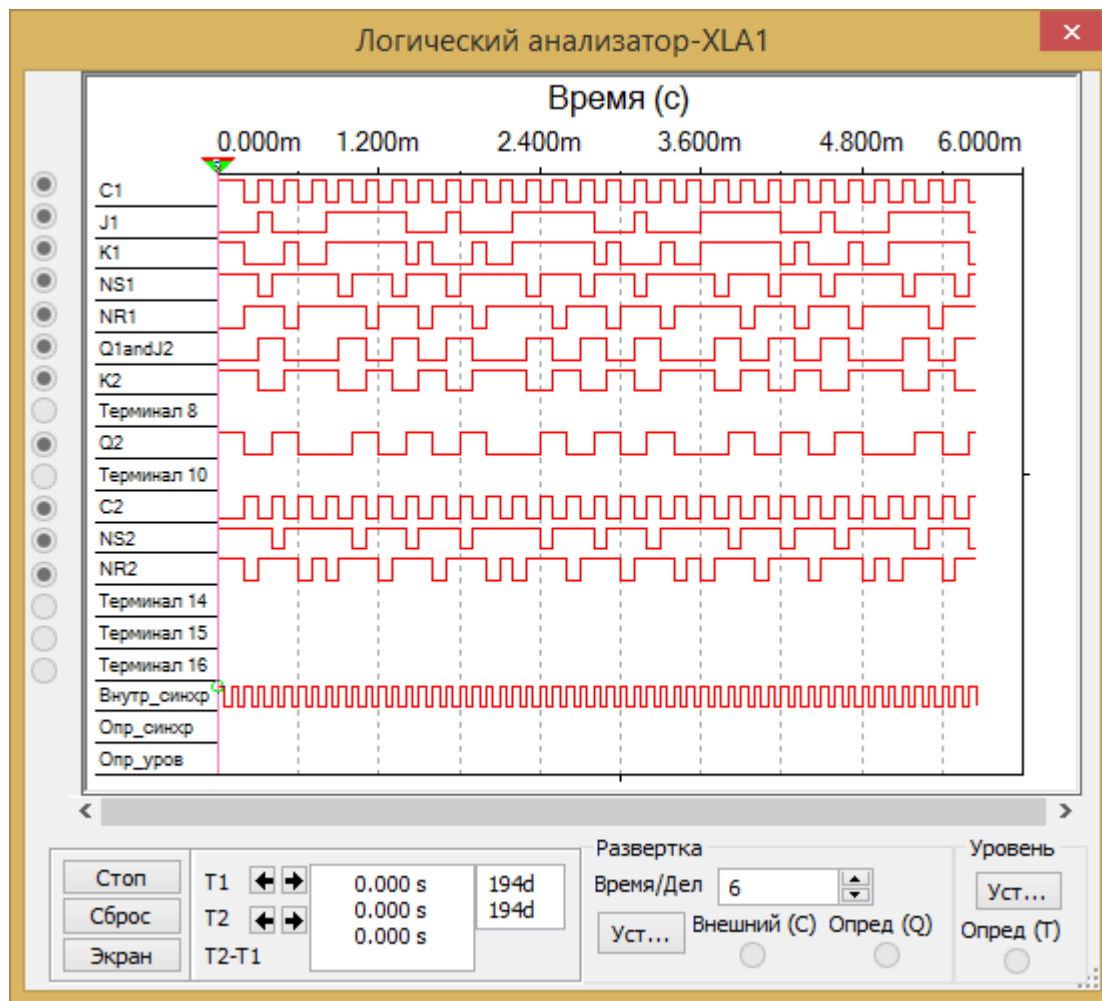


Рис.18 Временные диаграммы работы синхронного двухступенчатого **JK** -триггера

Примечание. Четырехканальный осциллограф можно использовать, но это не обязательно.

СОДЕРЖАНИЕ ОТЧЁТА

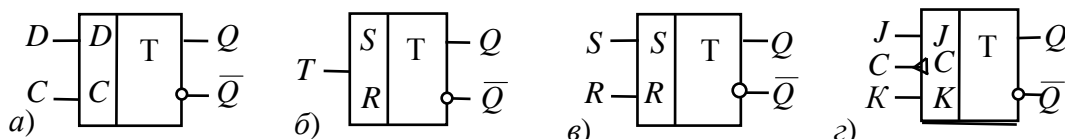
1. Наименование и цель работы.
2. Перечень приборов, использованных в экспериментах, с их краткими характеристиками.
3. Изображения электрических схем для исследования триггеров *RS*, *JK*, *T* и *D* с помощью генератора слов **XWG1** и логического анализатора **XLA1**.
4. Копии временных диаграмм и таблицы истинности, отображающие работу исследуемых триггеров.
5. Выводы по работе.

Контрольные вопросы

1. Укажите, какая **комбинация** логических сигналов является запрещённой для асинхронного RS-триггера?

- ☐ 01 ☐ 11 ☐ 10 ☐ 00

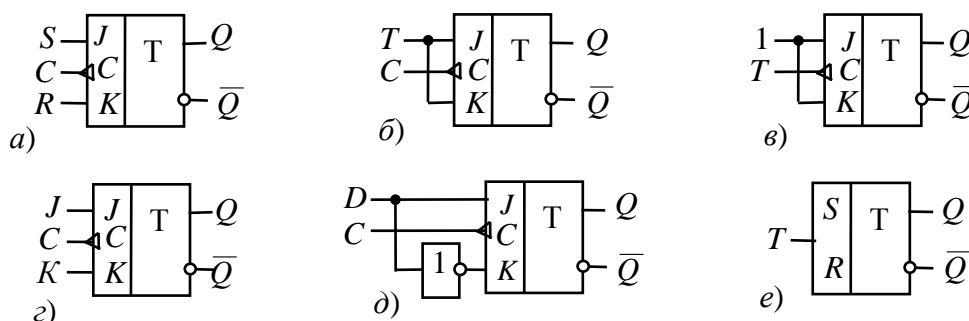
2. Укажите **условное графическое обозначение**:



1. JK-триггера: ☐ а) ☐ б) ☐ в) ☐ г)

2. RS-триггера: ☐ а) ☐ б) ☐ в) ☐ г)

3. Укажите **условное графическое обозначение**:



1. Синхронного T-триггера, выполненного на основе JK-триггера:

- а) б) в) г) д) е)
☐ ☐ ☐ ☐ ☐ ☐

2. D-триггера, выполненного на основе JK-триггера:

- а) б) в) г) д) е)
☐ ☐ ☐ ☐ ☐ ☐

4. Укажите, нашли ли широкое применение **асинхронные D-триггеры**?

- ☐ Да ☐ Нет

5. Укажите, как **функционирует** JK-триггер при комбинации $J = 1, K = 1$ на входе?

- ☐ Триггер находится в режиме хранения
☐ Триггер работает в счётном режиме
☐ Такая комбинация сигналов на входе является запрещённой

6. Укажите значение **сигнала на выходе** JK-триггера при комбинации $J = 1, K = 0$ на входе и $Q = 1$ после окончания действия синхроимпульса.

- ☐ 0 ☐ 1 ☐ Неопределённость: 0 или 1

7. Укажите **уравнение логики работы**, описывающее работу:

- а) $Q^{t+1} = Q^t \bar{T} + \bar{Q}^t T$; б) $Q^{t+1} = S + Q^t \bar{R}$;
 в) $Q^{t+1} = \bar{C}^t Q^t + C^t \bar{Q}^t$; г) $Q^{t+1} = \bar{K}^t Q^t + J^t \bar{Q}^t$.

1. RS-триггера: ☐ а) ☐ б) ☐ в) ☐ г)

2. JK- триггера: ☐ а) ☐ б) ☐ в) ☐ г)

3. T-триггера: ☐ а) ☐ б) ☐ в) ☐ г)

4. D-триггера: ☐ а) ☐ б) ☐ в) ☐ г)

8. Укажите, чем отличается **динамическое управление** триггерами от статического управления?

- Принципиальных отличий нет: сигналы, поступающие на информационные входы всех модификаций триггеров, действуют в момент их поступления
- У триггеров с динамическим управлением сигналы на информационных входах должны оставаться неизменными на всём интервале действия активного логического сигнала синхронизации ($C = 1$)
- При динамическом управлении запоминание сигналов, действующих на информационных входах триггера, происходит в момент изменения значения сигнала на входе синхронизации
- У триггеров с динамическим управлением отсутствуют прямые или инверсные входы, реагирующие на перепады сигналов на входах