

Московский Государственный Технический Университет  
имени Н.Э.Баумана

## **ИССЛЕДОВАНИЕ РЕГИСТРОВ**

Методические указания к выполнению лабораторных работ  
по курсу «Электроника и схемотехника»

## **Лабораторная работа №2. «Исследование регистров»**

### **Цель работы.**

Изучение принципов построения регистров, исследование универсального регистра сдвига.

### **КРАТКИЕ ТЕОРЕТИЧЕСКИЕ СВЕДЕНИЯ**

**Регистр** - это цифровое устройство, предназначенное для хранения  $n$ -разрядных двоичных слов и выполнения над ними логических преобразований. Регистры имеют регулярную структуру и состоят из цепочки триггеров, для управления которыми используется схема. Регистр представляет собой совокупность триггеров, число которых соответствует числу разрядов в слове, и вспомогательных схем для выполнения операций. Элементарное действие регистра над двоичным числом называется микрооперацией.

Регистры могут выполнять следующие микрооперации:

- 1) прием слова;
- 2) передача слова;
- 3) логические сдвиги;
- 4) преобразование из последовательного кода в параллельный, и наоборот;
- 5) начальная установка или сброс.

В отличие от запоминающего устройства регистр осуществляет кратковременное хранение информации. Регистры образуют сверхоперативное запоминающее устройство (КЭШ-память) процессоров.

#### **Классификация регистров**

В зависимости от выполняемой функции регистры принято разделять на:

- 1) регистр с параллельным приёмом и параллельной выдачей информации (регистр памяти);
- 2) регистр с последовательным приёмом и последовательной выдачей информации (сдвиговый регистр);
- 3) регистр с параллельным приёмом и последовательной выдачей информации;
- 4) регистр с последовательным приёмом и параллельной выдачей информации;
- 5) универсальный или многофункциональный регистр;
- 6) регистр последовательного приближения.

В **регистрах памяти** ввод и вывод слов данных выполняется во всех разрядах одновременно. Время ввода (вывода) слова равно времени ввода (вывода) одного разряда и равно длительности такта  $T$ . Основная функция параллельного регистра - хранение слова информации.

В **сдвиговых регистрах** все разряды слова вводятся в регистр и выводятся из него последовательно во времени один за другим. Время ввода

(вывода)  $n$ -разрядного слова равно  $nT$ , где  $T$  - период следования тактирующих сигналов.

Регистры сдвига, как правило, строятся на синхронных D-триггерах с динамическим управлением записью. Структурная схема 4-разрядного регистра сдвига вправо приведена на рис. 1.

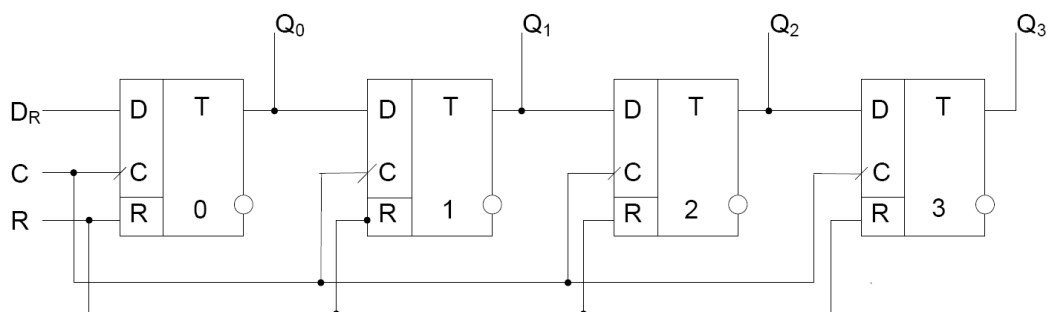


Рис. 1 Структурная схема 4-разрядного регистра сдвига вправо

Входные данные  $DR$  в последовательном коде поступают на вход  $D$  триггера нулевого разряда регистра сдвига. Для передачи информационных сигналов из одного разряда в другой при сдвиге вправо выход  $Q_i$  триггера  $i$ -го разряда регистра соединен с входом  $D_{i+1}$  триггера  $(i+1)$ -го разряда, т.е.  $D_{i+1} = Q_i$  для всех разрядов от 0 до  $n-2$ . Каждым тактовым сигналом  $C$ , поступающим на входы  $C$  всех триггеров регистра, происходит перезапись (сдвиг) содержимого каждого разряда в соседний разряд. Временная диаграмма (рис. 2) поясняет процесс передачи информации в регистре сдвига. В моменты времени  $t_0$  и  $t_1$  показано, как сдвигаются биты информации из одного разряда в другой.

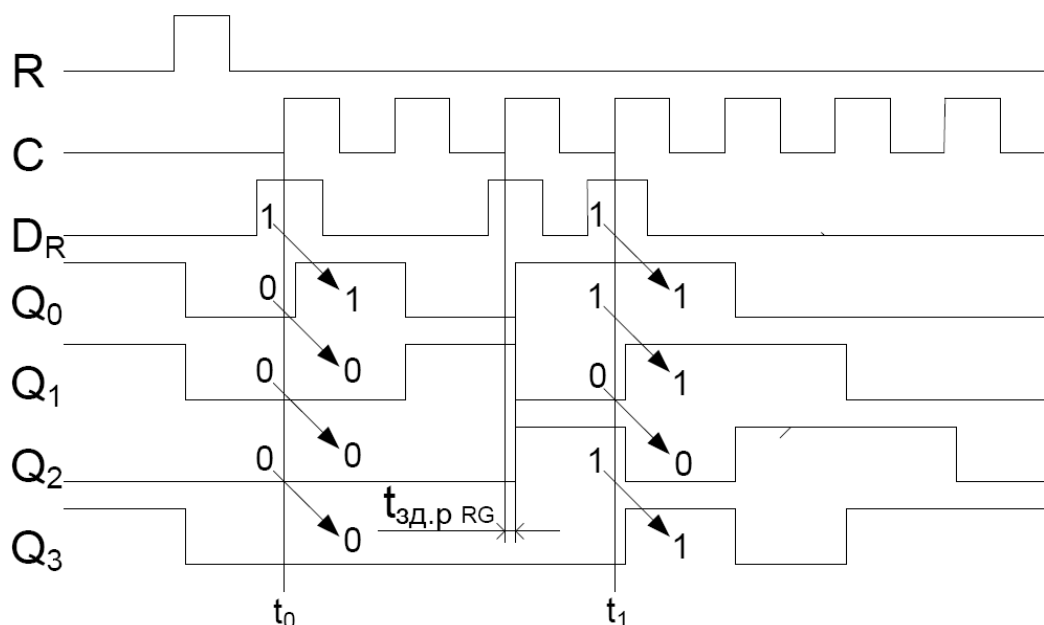


Рис. 2 Временная диаграмма работы 4-разрядного регистра сдвига вправо

Время задержки распространения сигнала в регистре сдвига от входа С до любого выхода Q равна времени задержки распространения сигнала одного триггера от входа С до выхода Q. В регистре сдвига влево выход  $Q_i$  триггера  $i$ -го разряда регистра соединен с входом  $D_{i-1}$  триггера  $(i-1)$ -го разряда, т.е.  $D_{i-1} = Q_i$  для всех разрядов от 0 до  $n-2$ .

В реверсивных регистрах сдвига выполняется сдвиг информации как вправо (от нулевого разряда к  $(n-1)$ -му), так и влево (от  $(n-1)$ -го к нулевому).

**В параллельно-последовательных регистрах** ввод слова осуществляется параллельным кодом, а вывод – последовательным кодом.

**В последовательно-параллельных регистрах** ввод слова осуществляется последовательным кодом, а вывод - параллельным.

Преобразование параллельного кода в последовательный и наоборот – очень актуальная задача, так как передача цифровой информации в сетях передачи данных осуществляется в последовательном коде, а обработка её в микропроцессорах вычислительных устройств – в параллельном.

**В универсальных регистрах** реализуется несколько названных выше способов ввода и вывода информации.

Универсальные регистры сдвига выполняют также и другие микрооперации, например, параллельного ввода данных, хранения и др. Режим работы регистра обычно задается управляющим кодом, поступающим на входы выбора режима. Сигналы выбора режима коммутируют цепи сдвига влево и вправо, параллельного ввода в соответствии с выполняемой микрооперацией. При этом регистр может иметь последовательный и параллельный ввод и вывод информации.

Синтез универсального регистра, как регулярной структуры, сводится к выбору типа триггера и построению комбинационной схемы, выполняющей передачу и прием информации в триггер данного разряда.

На рис. 3 приведена структурная схема универсального 4-разрядного регистра 74LS194D (отечественный аналог К555ИР11), на рис.4 таблица истинности.

## SN74LS194D

### LOGIC DIAGRAM

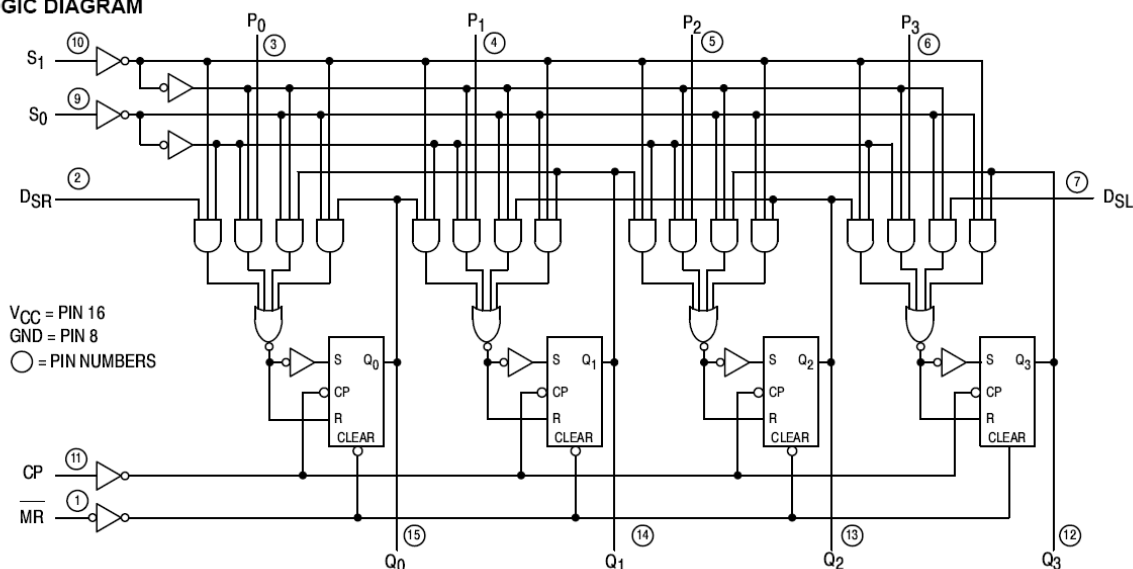


Рис. 3 Структурная схема универсального 4-разрядного регистра 74LS194D

### MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS						OUTPUTS			
	MR	S <sub>1</sub>	S <sub>0</sub>	DSR	DSL	P <sub>n</sub>	Q <sub>0</sub>	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>3</sub>
Reset	L	X	X	X	X	X	L	L	L	L
Hold	H	L	L	X	X	X	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>
Shift Left	H	h	L	X	L	X	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	L
	H	h	L	X	h	X	q <sub>1</sub>	q <sub>2</sub>	q <sub>3</sub>	H
Shift Right	H	L	h	L	X	X	L	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>
	H	L	h	h	X	X	H	q <sub>0</sub>	q <sub>1</sub>	q <sub>2</sub>
Parallel Load	H	h	h	X	X	P <sub>n</sub>	P <sub>0</sub>	P <sub>1</sub>	P <sub>2</sub>	P <sub>3</sub>

L = LOW Voltage Level

H = HIGH Voltage Level

X = Don't Care

L = LOW voltage level one set-up time prior to the LOW to HIGH clock transition

h = HIGH voltage level one set-up time prior to the LOW to HIGH clock transition

p<sub>n</sub> (q<sub>n</sub>) = Lower case letters indicate the state of the referenced input (or output) one set-up time prior to the LOW to HIGH clock transition.

Рис.4 Таблица истинности универсального 4-разрядного регистра 74LS194D

На схеме D<sub>SR</sub> и D<sub>SL</sub> – входы ввода данных в регистр последовательным кодом при сдвиге вправо и влево соответственно, S<sub>1</sub> и S<sub>0</sub> – управляющие сигналы выбора режима, P<sub>0</sub>-P<sub>3</sub> – входные данные для параллельной загрузки регистра, Q<sub>0</sub>-Q<sub>3</sub> – выходные данные регистра в параллельном коде, CP – вход синхриимпульсов. В табл.1 приведено кодирование режимов регистра сдвига управляющим словом S<sub>1</sub>S<sub>0</sub>.

Таблица 1

S1	S0	Режим
0	0	Хранение
0	1	Сдвиг вправо
1	0	Сдвиг влево
1	1	Параллельный ввод данных ввод

Установка в 0 (очистка или обнуление регистра -  $\overline{MR}$ ) может рассматриваться независимо от других микроопераций. Регистр является полностью программно-управляемым.

**Регистр последовательного приближения (РПП)** реализует метод «взвешивания» и используется для построения аналого-цифровых преобразователей последовательного приближения.

### УЧЕБНЫЕ ЗАДАНИЯ И МЕТОДИЧЕСКИЕ УКАЗАНИЯ К ИХ ВЫПОЛНЕНИЮ

**Задание 1.** **Собрать** на рабочем поле среды Multisim схему для испытания *универсального регистра сдвига при параллельной записи входной информации и сдвиге вправо* (рис. 5) и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис.5) на страницу отчёта.

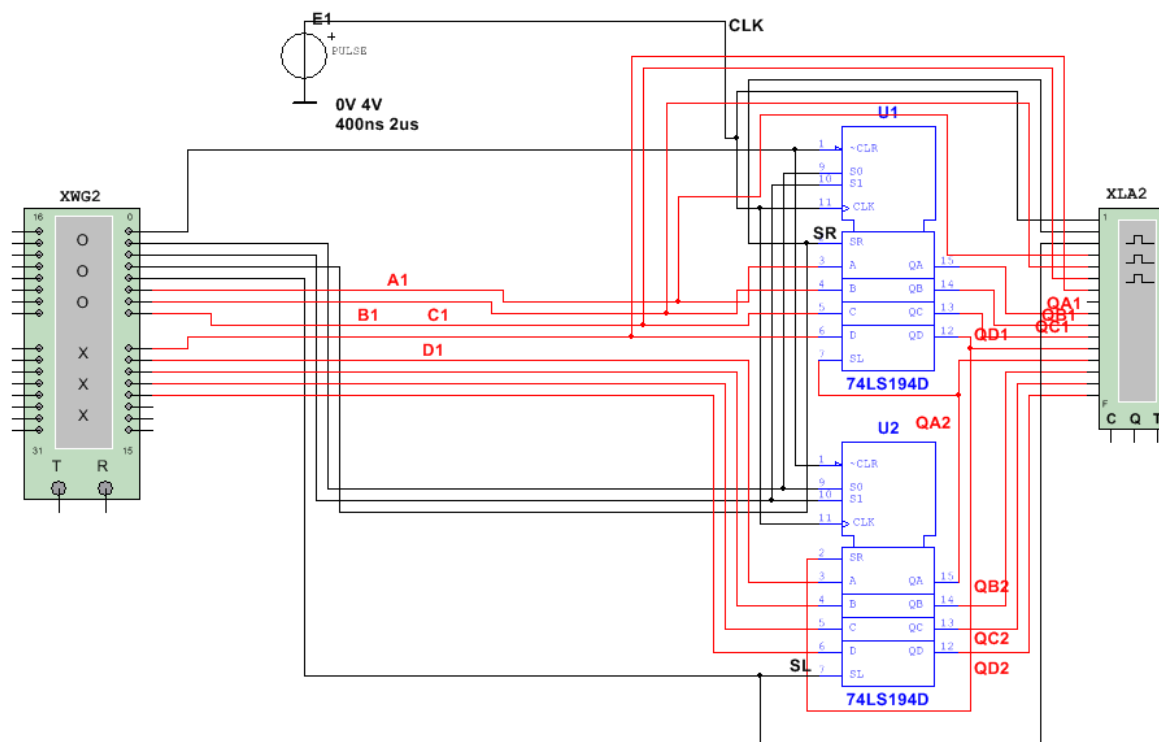


Рис.5 Схема исследования 8-ми разрядного универсального регистра сдвига при параллельной записи входной информации и сдвиге вправо

Универсальный 4-разрядный регистр сдвига **74LC194D** способен сдвигать информацию и вправо, и влево, возможна как параллельная, так и последовательная запись данных. Регистр имеет параллельные входы (**A, B, C, D**), параллельные выходы (**QA, QB, QC, QD**), последовательные входы (**SR, SL**), цепь очистки регистра (обнуления) по входу **CLR**, вход для подачи импульсов синхронизации **CLK** и управляющие входы (**S0** и **S1**) – входы задания режима:

- **S0 = 1, S1 = 1** – запись данных в регистр по входам **A, B, C, D**;
- **S0 = 1, S1 = 0** – сдвиг данных вправо в направлении от **QA** к **QD**;
- **S0 = 0, S1 = 1** – сдвиг данных влево в направлении от **QD** к **QA**;
- **S0 = 0, S1 = 0** – входы регистра недоступны (блокировка).

В схему (рис. 5) включены: генератор слов **XWG2** (частота  $f_z = 500$  кГц); логический анализатор **XLA2**; генератор импульсов **E1**, два универсальных 4-разрядных регистра сдвига **74LC194D**, образующих универсальный 8-ми разрядный регистр сдвига.

С выхода 0 генератора **XWG2** сигнал подается на вход обнуления **CLR**, с выходов 1 и 2 на входы **S0** и **S1**, с выходов 3 и 4 на входы **SR** и **SL**, с выходов 5-12 на входы **A1, B1, C1, D1, A2, B2, C2, D2**, соответственно. Сигналы с генератора импульсов **E1** подаются на вход синхронизации **CLK** схемы 8-ми разрядного универсального регистра сдвига. Все перечисленные входные (кроме **A2, B2, C2, D2, S0, S1**) и выходные сигналы

Вариант	Содержимое ячеек памяти генератора слова <b>XWG2</b>
1, 6, 11, 16, 21, 26	0000000011000, 0000001000111, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011
2, 7, 12, 17, 22, 27	0000000011000, 0000010000111, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011



3, 8, 13, 18, 23, 28	0000000011000, 0000100000111, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011
4, 9, 14, 19, 24, 29	0000000011000, 0000101000111, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011
5, 10, 15, 20, 25, 30	0000000011000, 0000010100111, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011, 0000000000011

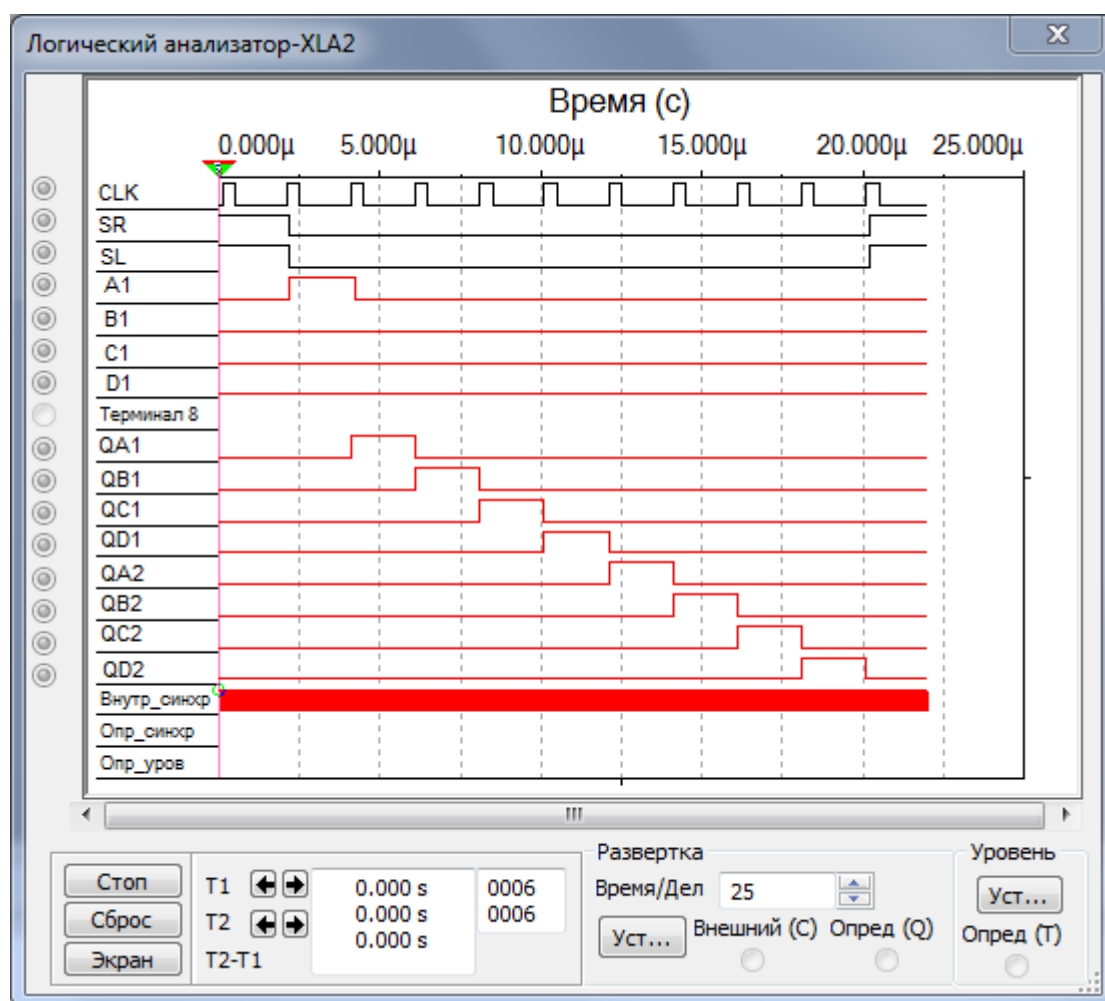


Рис.7 Временные диаграммы работы 8-ми разрядного универсального регистра сдвига при параллельной записи входной информации и сдвиге вправо

**Проведите** моделирование работы 8-ми разрядного универсального регистра сдвига, при параллельной записи входной информации и сдвиге вправо, подавая импульсы с выходов 0-12 генератора **XWG2**. **Скопируйте**

в отчёт временные диаграммы, при заданном в табл. 2 варианте входной кодовой комбинации. Объясните полученные результаты.

**Задание 2.** Внести изменения в схему, собранную в предыдущем задании, для испытания универсального регистра сдвига при параллельной записи входной информации и сдвиге влево (рис. 8) и установить в диалоговых окнах компонентов их параметры или режимы работы. Скопировать схему (рис. 8) на страницу отчёта.

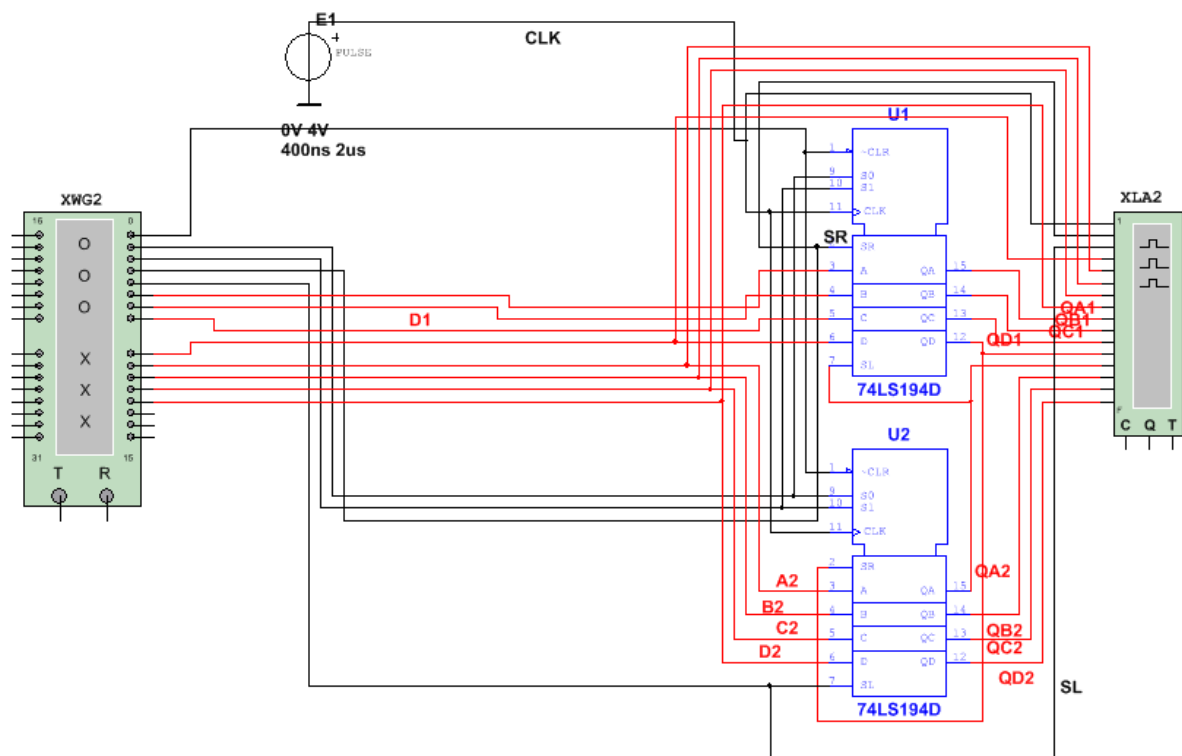


Рис.8 Схема исследования 8-ми разрядного универсального регистра сдвига при параллельной записи входной информации и сдвиге влево

Состав схемы такой же, как и в **Задании 1**. С выхода 0 генератора **XWG2** сигнал подается на вход обнуления **CLR**, с выходов 1 и 2 на входы **S0** и **S1**, с выходов 3 и 4 на входы **SR** и **SL**, с выходов 5-12 на входы **A1**, **B1**, **C1**, **D1**, **A2**, **B2**, **C2**, **D2**, соответственно. Сигналы с генератора импульсов **E1** подаются на вход синхронизации **CLK** схемы 8-ми разрядного универсального регистра сдвига. Все перечисленные входные (кроме **A1**, **B1**, **C1**, **S0**, **S1**) и выходные сигналы **QA1**, **QB1**, **QC1**, **QD1**, **QA2**, **QB2**, **QC2**, **QD2** подаются на логический анализатор **XLA2**.

Для работы схемы генератор **XWG2** нужно **перепрограммировать**, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 3).

0000000011000, 1010100000111, 0000000000101, 0000000000101,  
0000000000101, 0000000000101, 0000000000101, 0000000000101,  
0000000000101, 0000000000101.

Рис.9 Программирование генератора слов **XWG2** для испытания 8-ми разрядного универсального регистра сдвига при параллельной записи входной информации и сдвиге влево

### Таблица 3

Вариант	Содержимое ячеек памяти генератора слова <b>XWG2</b>
1, 6, 11, 16, 21, 26	0000000011000, 0101100000111, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101
2, 7, 12, 17, 22, 27	0000000011000, 0110100000111, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101
3, 8, 13, 18, 23, 28	0000000011000, 1001100000111, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101

4, 9, 14, 19, 24, 29	0000000011000, 1100100000111, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101
5, 10, 15, 20, 25, 30	0000000011000, 1101100000111, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101, 0000000000101

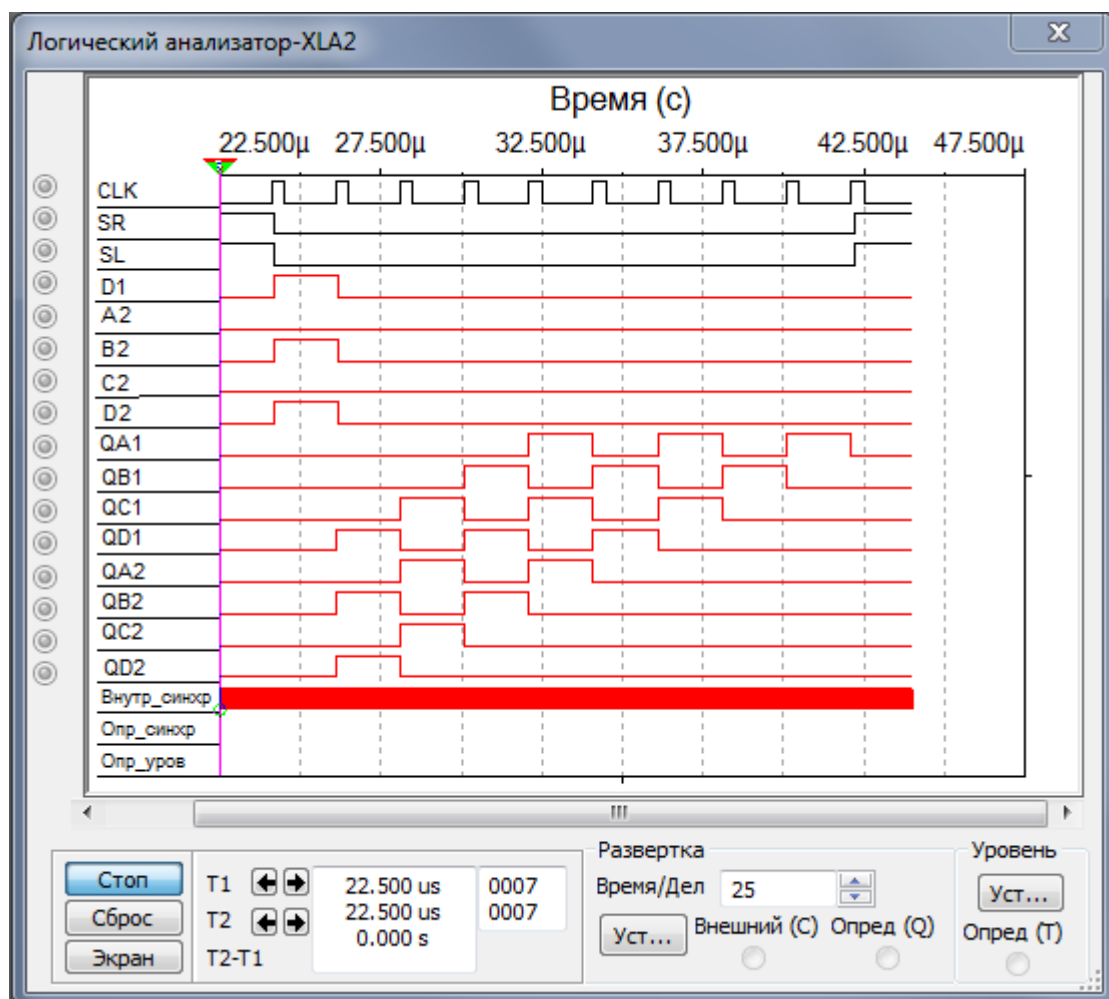


Рис.10 Временные диаграммы работы 8-ми разрядного универсального регистра сдвига при параллельной записи входной информации и сдвиге влево

**Проведите** моделирование работы 8-ми разрядного универсального регистра сдвига, при параллельной записи входной информации и сдвиге влево, подавая импульсы с выходов 0-12 генератора **XWG2**. **Скопируйте** в отчёт временные диаграммы, при заданном в табл. 3 варианте входной кодовой комбинации. Объясните полученные результаты.

**Задание 3.** Внести изменения в схему, собранную в **Задании 1**, для испытания универсального регистра сдвига при последовательной записи входной информации и сдвиге вправо (рис. 11) и **установить** в диалоговых

окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 11) на страницу отчёта.

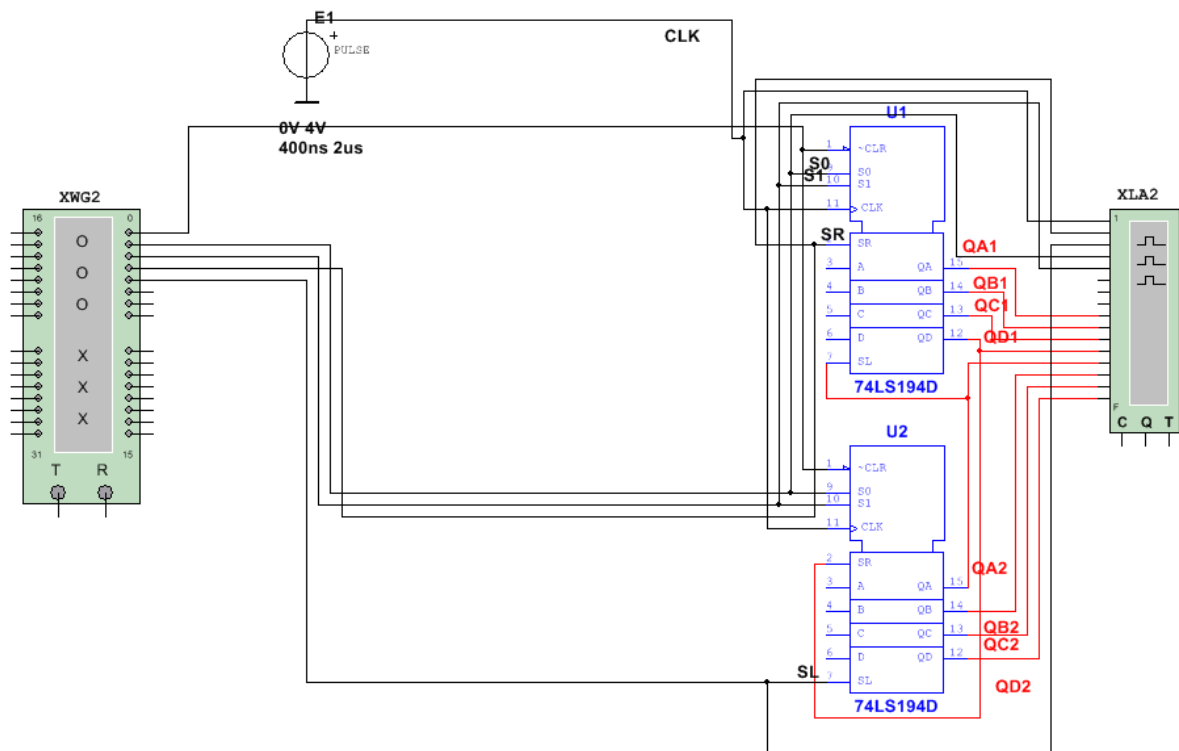


Рис.11 Схема исследования 8-ми разрядного универсального регистра сдвига при последовательной записи входной информации и сдвиге вправо

Состав схемы такой же, как и в **Задании 1**. С выхода 0 генератора **XWG2** сигнал подается на вход обнуления  $\overline{\text{CLR}}$ , с выходов 1 и 2 на входы **S0** и **S1**, с выходов 3 и 4 на входы **SR** и **SL**, соответственно. Сигналы с генератора импульсов **E1** подаются на вход синхронизации **CLK** схемы 8-ми разрядного универсального регистра сдвига. Все перечисленные входные и выходные сигналы **QA1**, **QB1**, **QC1**, **QD1**, **QA2**, **QB2**, **QC2**, **QD2** подаются на логический анализатор **XLA2**.

Для работы схемы генератор **XWG2** нужно **перепрограммировать**, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 4).

В качестве примера введём в ячейки памяти генератора 5-ти разрядную кодовую комбинацию (13 значений) (см. рис. 12):

00000, 01011, 00011, 01011, 00011, 00011, 00011, 00011, 00011, 00011, 00011, 00011, 00000.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 0-4, формируя на них код сигнала, который можно посмотреть на логическом анализаторе **XLA2** (рис. 13)). Перед моделированием выделите в окне генератора **XWG2** ячейку с адресом 0 начала счёта и вывода сигналов.



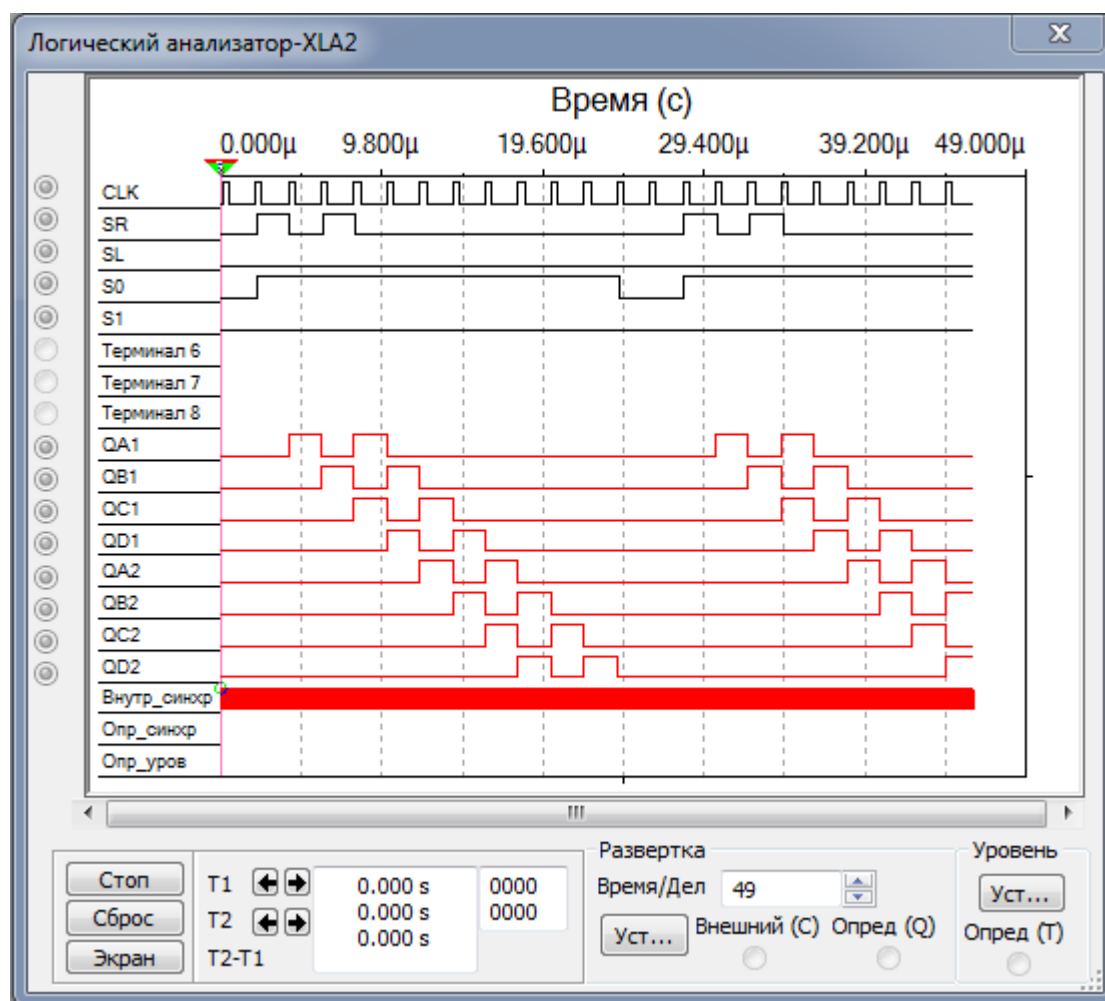


Рис.13 Временные диаграммы работы 8-ми разрядного универсального регистра сдвига при последовательной записи входной информации и сдвиге вправо

**Проведите** моделирование работы 8-ми разрядного универсального регистра сдвига, при последовательной записи входной информации и сдвиге вправо, подавая импульсы с выходов 0-4 генератора **XWG2**. **Скопируйте** в отчёт временные диаграммы, при заданном в табл. 4 варианте входной кодовой комбинации. Объясните полученные результаты.

**Задание 4.** Используя схему, собранную в **Задании 3**, провести испытания универсального регистра сдвига при последовательной записи входной информации и сдвиге влево (рис. 14) и установить в диалоговых окнах компонентов их параметры или режимы работы. Скопировать схему (рис. 14) на страницу отчёта.

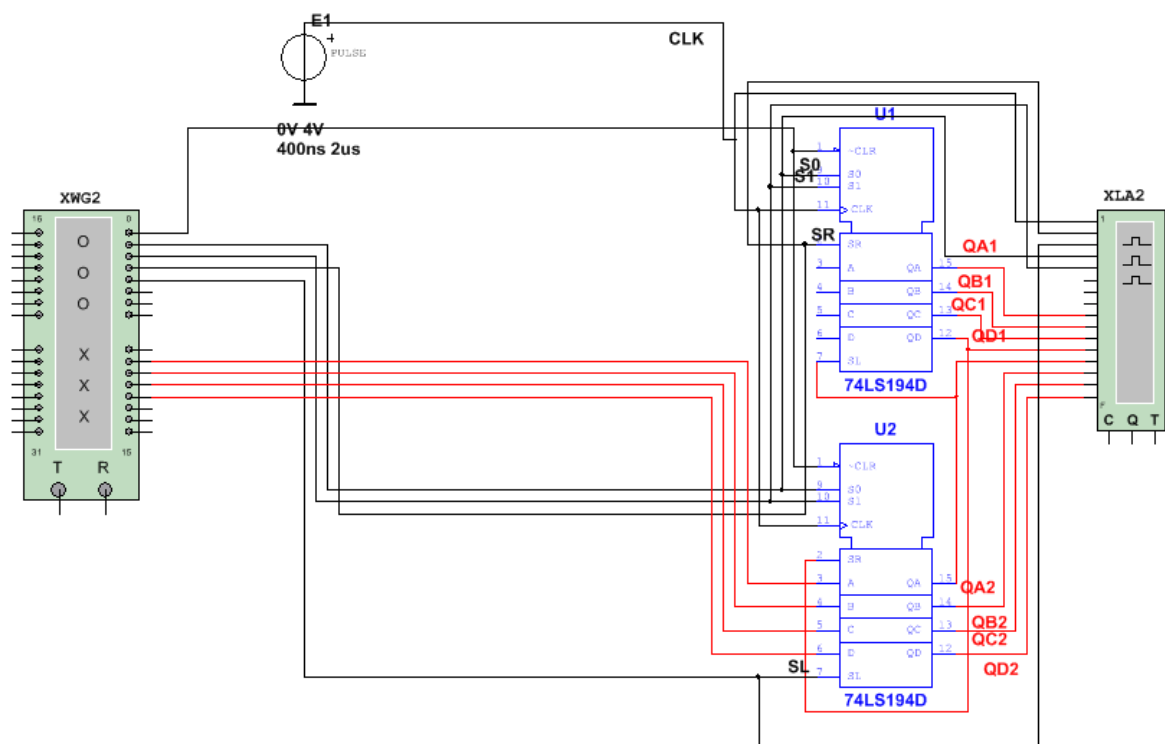


Рис.14 Схема исследования 8-ми разрядного универсального регистра сдвига при последовательной записи входной информации и сдвиге влево

Состав схемы такой же, как и в **Задании 3**. С выхода 0 генератора **XWG2** сигнал подается на вход обнуления  $\overline{\text{CLR}}$ , с выходов 1 и 2 на входы **S0** и **S1**, с выходов 3 и 4 на входы **SR** и **SL**, соответственно. Сигналы с генератора импульсов **E1** подаются на вход синхронизации **CLK** схемы 8-ми разрядного универсального регистра сдвига. Все перечисленные входные и выходные сигналы **QA1**, **QB1**, **QC1**, **QD1**, **QA2**, **QB2**, **QC2**, **QD2** подаются на логический анализатор **XLA2**.

Для работы схемы генератор **XWG2** нужно **перепрограммировать**, т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 5).

В качестве примера введём в ячейки памяти генератора 5-ти разрядную кодовую комбинацию (13 значений) (см. рис. 15):

00000, 10101, 00101, 10101, 00101, 00101, 00101, 00101, 00101, 00101, 00101, 00101, 00000.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 0-4, формируя на них код сигнала, который можно посмотреть на логическом анализаторе **XLA2** (рис. 16)). Перед моделированием выделите в окне генератора **XWG2** ячейку с адресом 0 начала счёта и вывода сигналов.





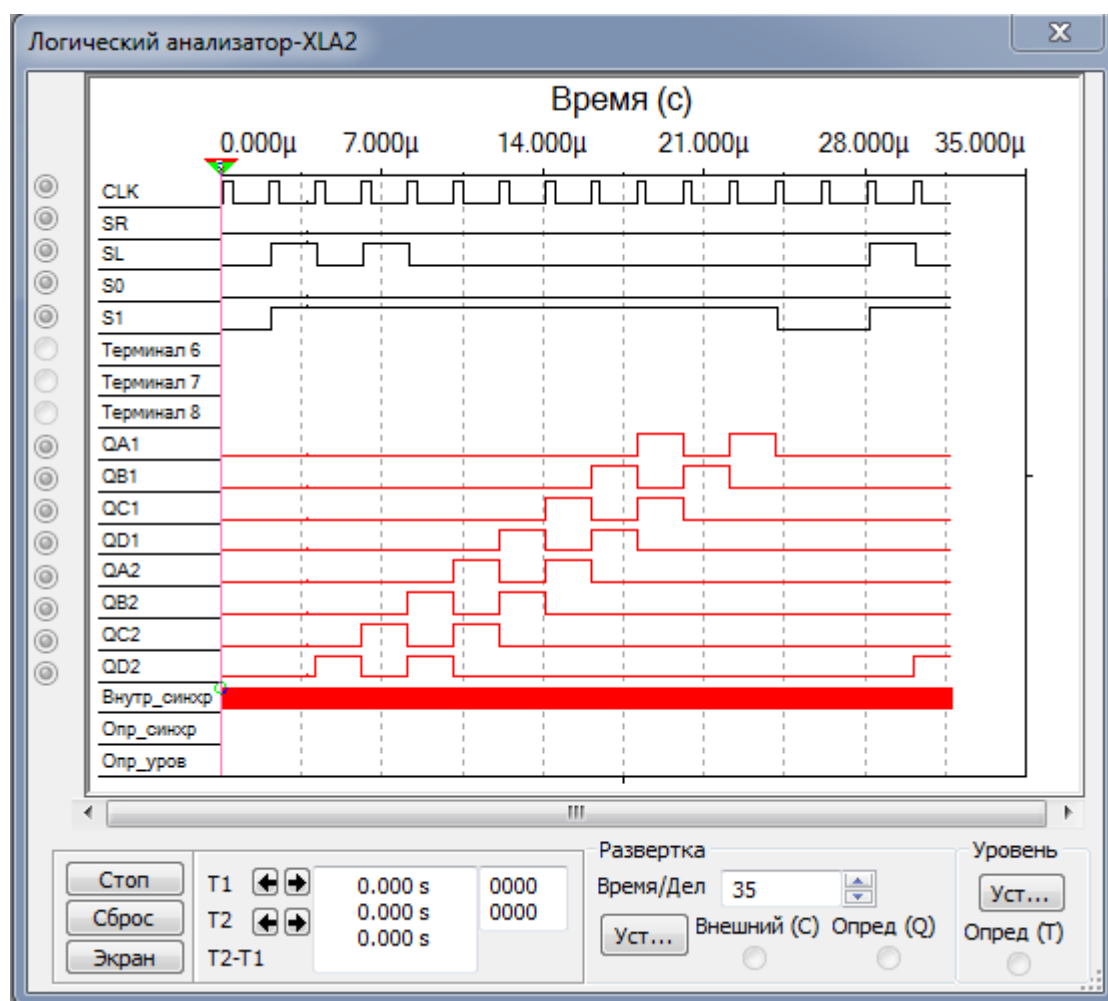


Рис.16 Временные диаграммы работы 8-ми разрядного универсального регистра сдвига при последовательной записи входной информации и сдвиге влево

**Проведите** моделирование работы 8-ми разрядного универсального регистра сдвига, при последовательной записи входной информации и сдвиге влево, подавая импульсы с выходов 0-4 генератора **XWG2**. **Скопируйте** в отчёт временные диаграммы, при заданном в табл. 5 варианте входной кодовой комбинации. Объясните полученные результаты.

## СОДЕРЖАНИЕ ОТЧЁТА

1. Наименование и цель работы.
2. Перечень приборов, использованных в экспериментах, с их краткими характеристиками.
3. Изображения электрических схем для испытания параллельного и последовательного регистров с помощью генератора слов **XWG2** и логического анализатора **XLA2**.
4. Копии временных диаграмм, отображающих работу исследуемых регистров.

## 5. Выводы по работе.

### Контрольные вопросы

1. Укажите **функции**, которые в общем случае может выполнять регистр.

- ☐ Обнуление (очистку) хранимой информации, запись входной информации в последовательном или в параллельном коде
- ☐ Суммирование по модулю 2 всех разрядов бинарных чисел с целью выяснения чётности числа
- ☐ Сравнение двух бинарных чисел одинаковой разрядности с целью определения их равенства или неравенства
- ☐ Преобразование информации путём её сдвига под воздействием тактовых импульсов
- ☐ Хранение информации, её сдвиг вправо и влево, выдачу хранимой информации в последовательном или в параллельном коде
- ☐ Преобразование десятичных чисел в двоичные или в двоично-десятичные

2. В параллельном регистре с приходом каждого тактового импульса информация на выходах поразрядно сдвигается в направлении от выхода **QA** к выходу **QD**. Укажите, как **называют** такой регистр?

- ☐ Регистр сдвига вправо
- ☐ Регистр сдвига влево
- ☐ Реверсивный регистр
- ☐ Регистр хранения.

3. В параллельном регистре с приходом каждого тактового импульса информация на выходах поразрядно сдвигается в направлении от выхода **QD** к выходу **QA**. Укажите, как **называют** такой регистр?

- ☐ Регистр сдвига вправо
- ☐ Регистр сдвига влево
- ☐ Реверсивный регистр
- ☐ Регистр хранения.

4. Укажите, при каких **уровнях сигналов** на управляющих входах **S0** и **S1** информационные входы реверсивного регистра **74LC194D** недоступны?

- ☐ **S0** = 0, **S1** = 0
- ☐ **S0** = 0, **S1** = 1
- ☐ **S0** = 1, **S1** = 0
- ☐ **S0** = 1, **S1** = 1

5. Укажите, в какой **разряд** вводится информация последовательного регистра **74LC194D** при **S0** = 1, **S1** = 0 на управляющих входах и сигналах **SR** = 1 и  $\overline{\text{CLR}} = 1$ ?

- ☐ В разряд **D**
- ☐ В разряд **C**
- ☐ В разряд **B**
- ☐ В разряд **A**

6. Укажите, при **каких уровнях** управляющих сигналов **S0** и **S1** разрешена запись информации в параллельный регистр **74LC194D**?

- ☐ **S0** = 0, **S1** = 0
- ☐ **S0** = 0, **S1** = 1
- ☐ **S0** = 1, **S1** = 0
- ☐ **S0** = 1, **S1** = 1

7. Укажите, разрешено ли последовательное **перемещение** сигналов в триггерах параллельного регистра **74LC194D** во время записи информации?

- ☐ Да
- ☐ Нет