



[Trang của tôi](#) / [Khóa học](#) / [Học kỳ I năm học 2021-2022 \(Semester 1 - Academic year 2021-2022\)](#) / [Cao Học \(Master's degree\)](#)

/ [Khoa Khoa học và Kỹ thuật Máy tính \(Faculty of Computer Science and Engineering\)](#) / [Kỹ Thuật Máy Tính](#)

/ [Advanced System Architectures \(055260\) Trần Ngọc Thịnh \(CH_HK211\)](#) / Chủ đề 4 / [Chapter3_Quiz](#)

9đ: Sai câu 8

Thời gian còn lại 0:00:30

Câu hỏi 1

Chưa được trả lời

Chấm điểm của 1,00

Factors influence the speedup of the pipeline architecture

- ☐ a. Not being able to divide the pipeline evenly
- ☒ b. All the above
- ☐ c. The time needed to empty and flush the pipeline
- ☐ d. Types of hazards

Clear my choice

Câu hỏi 2

Chưa được trả lời

Chấm điểm của 1,00

Which is the required time of 100 tasks in an ideal pipeline with 6 stages and an execution time of 2ns per stage?

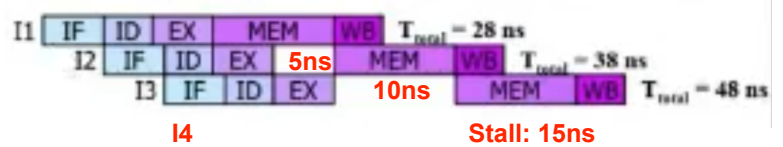
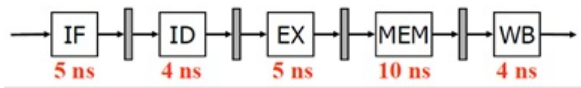
- ☐ a. 212ns
- ☐ b. 12ns
- ☐ c. 200ns
- ☒ d. 210ns

Clear my choice

Câu hỏi 3

Chưa được trả lời

Chấm điểm của 1,00



The figure of 5-stage pipelining is used for 3 following questions

The total execution time of 3 consecutive pipelining instructions is?

- ☐ a. 38ns
- ☒ b. 48ns
- ☐ c. 43ns
- ☐ d. 53ns

Clear my choice

Câu hỏi 4

Chưa được trả lời

Chấm điểm của 1,00

The time of STALL in the 4th instruction is?

- ☐ a. None of the above
- ☒ b. 15ns
- ☐ c. 10ns
- ☐ d. 5ns

Clear my choice

Câu hỏi 5

Chưa được trả lời

Chấm điểm của 1,00

Compare the STALLs of the 2nd, 3rd and 4th instructions in pipelining process

- ☐ a. Stall(inst 2) > Stall(inst 3) > Stall(inst 4)
- ☐ b. Stall(inst 3) > Stall(inst 2) > Stall(inst 4)
- ☒ c. None of the above
- ☐ d. Stall(inst 4) > Stall(inst 3) > Stall(inst 2)

Clear my choice

Câu hỏi **6**

Chưa được trả lời

Chấm điểm của 1,00

To reduce STALL for the pipeline data hazard, the following tasks are performed

- ☐ a. Add adder and comparator in stage EXE
- ☐ b. None of the above
- ☐ c. Add adder and comparator in stage ID
- ☒ d. Feedback results from the ALU and Data memory units back to the ALU's input latches

[Clear my choice](#)Câu hỏi **7**

Chưa được trả lời

Chấm điểm của 1,00

Which data dependence is not a data hazard

- ☐ a. Read-after-write (RAW)
- ☒ b. Read-after-read (RAR)
- ☐ c. Write-after-read (WAR)
- ☐ d. Write-after-write (WAW)

[Clear my choice](#)Câu hỏi **8**

Chưa được trả lời

Chấm điểm của 1,00

Choose a FALSE statement about techniques to reduce hazards using compilers.

- ☒ a. Scheduling **Scheduling thuộc compiler**
- ☐ b. Forwarding **Forwarding dùng phần mềm**
- ☐ c. Branch delay slots
- ☐ d. Branch prediction

[Clear my choice](#)

Câu hỏi **9**

Chưa được trả lời

Chấm điểm của 1,00

In the MIPS32 pipeline, which of the following scenarios of data dependency will always result in a pipeline stall due to data hazard without any instruction scheduling?

- ☐ a. None of the above.
- ☐ b. A STORE instruction followed by a LOAD instruction
- ☒ c. A LOAD instruction followed by an ADD instruction.
- ☐ d. An ADD instruction followed by a SUB instruction.

[Clear my choice](#)Câu hỏi **10**

Chưa được trả lời

Chấm điểm của 1,00

Assume that delayed branch technique is used, \$s0 and \$t0 are initially 0. What is the value of \$t0 after executing the following instructions

```
beq $s0, $0, Exit
```

```
addi $t0, $t0, 10
```

```
Exit: addi $t0, $t0, 20
```

- ☐ a. 20
- ☐ b. None of the above
- ☐ c. 10
- ☒ d. 30

[Clear my choice](#)[◀ Chapter3_Video1](#)[Chuyển tới...](#)[Cache_2020 ▶](#)

Copyright 2007-2021 Trường Đại Học Bách Khoa - ĐHQG Tp.HCM. All Rights Reserved.

Địa chỉ: Nhà A1- 268 Lý Thường Kiệt, Phường 14, Quận 10, Tp.HCM.

Email: elearning@hcmut.edu.vn

Phát triển dựa trên hệ thống Moodle