

Trần Lê Minh Hoàng 2033530	Nhóm 6
Lê Duy Thức 2112416	Ngày: 14/10/2023

MỤC TIÊU

- Nắm được cách sử dụng kit DE-2, FPGA Cyclone II
- Nắm được các kiến thức từ bài thí nghiệm 1 – các IC chức năng cơ bản
- Nắm được quy trình mô tả phần cứng trên FPGA.

CHUẨN BỊ

- Tự hoàn thành bài prelab2 trước khi tham gia buổi học thí nghiệm. Không hoàn thành bài prelab2 sẽ không được tham gia buổi thí nghiệm
- Mọi hình thức **sao chép** đều sẽ bị **xử lý nặng**.
- Tuân thủ sơ đồ gán chân để dễ kiểm tra kết quả



THÍ NGHIỆM 1

Mục tiêu: Thực hiện khảo sát hoạt động của hàm Boolean trên Kit DE 2

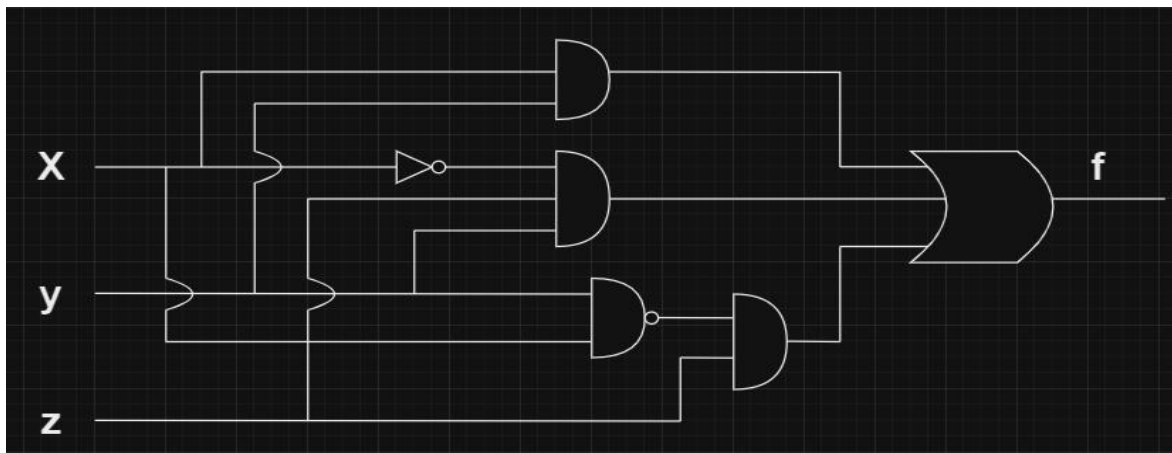
Yêu cầu: Sinh viên thực hiện khảo sát hoạt động của hàm $f(x, y, z) = \bar{x}yz + \bar{x}\bar{y}z + xy$ và điền các kết quả khảo sát vào **Bảng 1** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f _{Sim}	f _{Kit}
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	0	0
1	1	0	1	1	1
1	1	1	1	1	1

Bảng 1: Kết quả khảo sát hoạt động của hàm boolean

Kiểm tra:

- Sinh viên tiến hành thay các giá trị của x, y, z vào hàm $f(x, y, z) = \bar{x}yz + \bar{x}\bar{y}z + xy$ đã cho, điền kết quả vào cột **f** của **Bảng 1**.
- Sinh viên tiến hành vẽ sơ đồ cổng logic của mạch cần thiết kế



- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z) = \bar{x}yz + \bar{x}\bar{y}z + xy$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
 - Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0

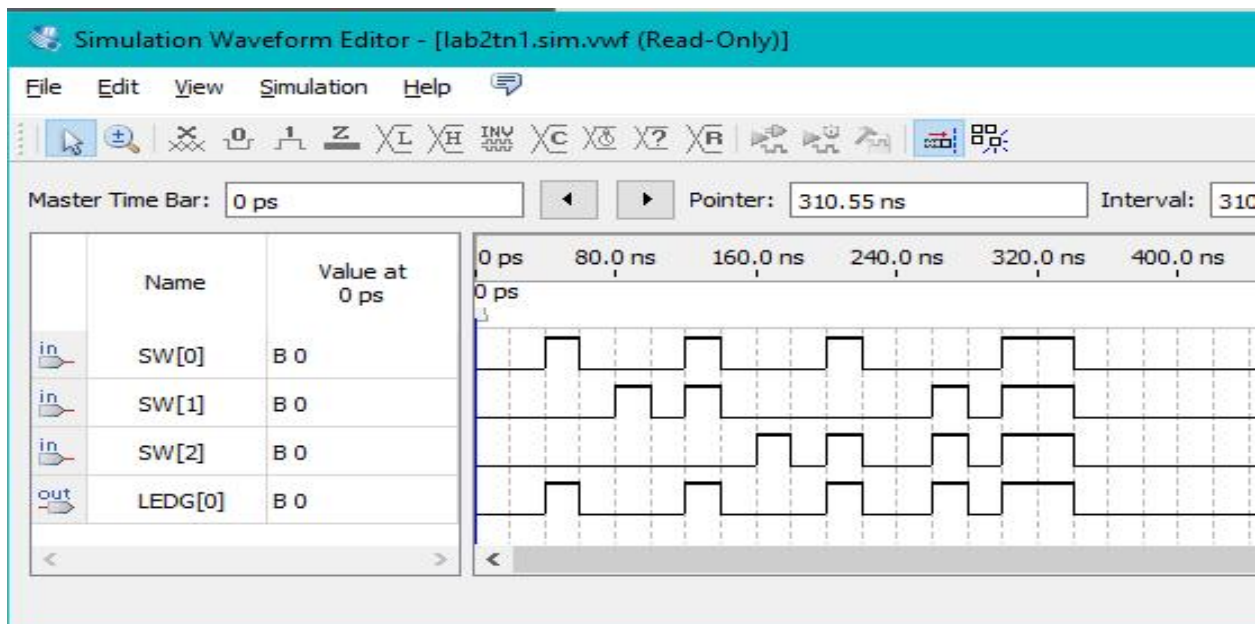
```

module lab2tn1(
    input x,y,z,
    output f
);
assign f = (!x & y & z) | (!x&y)&z | (x&y) ;
endmodule

module lab2tn1_wrapper(
    input [2:0] SW,
    output [2:0] LEDR,
    output [0:0] LEDG
);

lab2tn1 ilab2tn1(SW[2],SW[1],SW[0],LEDG[0]); //mở ngoặc ra là nối dây
assign LEDR = SW;
endmodule
    
```

- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 1**.



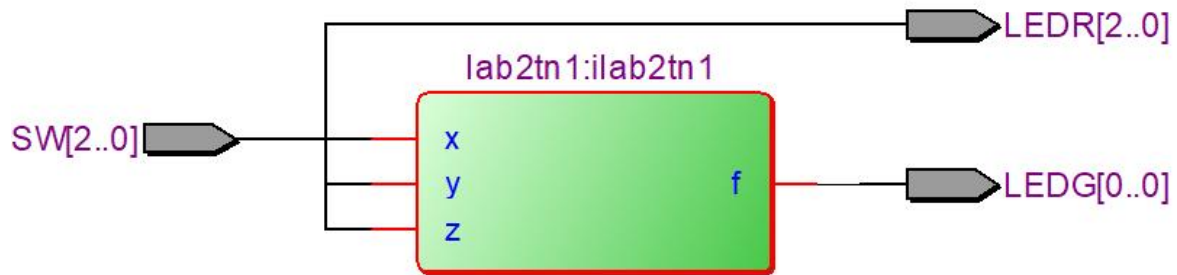
(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ cổng logic sinh viên đã vẽ không, tại sao?

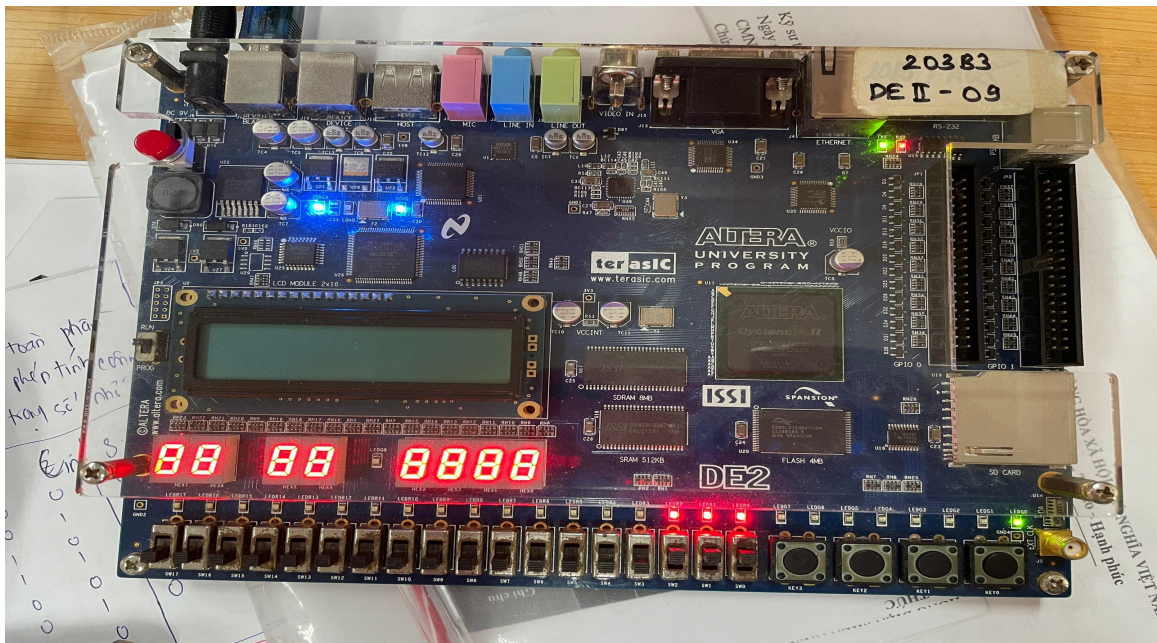
Không giống vì con FPGA này có thể mô phỏng (lập trình được) toàn bộ các cổng logic

(Chèn hình chụp Netlist > RTL Viewer)



- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 1**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



THÍ NGHIỆM 2

Mục tiêu: Nắm được cách khảo sát hàm boolean sử dụng kit DE2

Yêu cầu: Sinh viên thực hiện khảo sát hoạt động của hàm được cho bởi **Bảng 2** và điền các kết quả khảo sát vào **Bảng 2** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f _{Sim}	f _{kit}
0	0	0	1	1	1
0	0	1	1	1	1
0	1	0	0	0	0
0	1	1	1	1	1
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	1	1	1

Bảng 2: Kết quả khảo sát hoạt động của hàm boolean

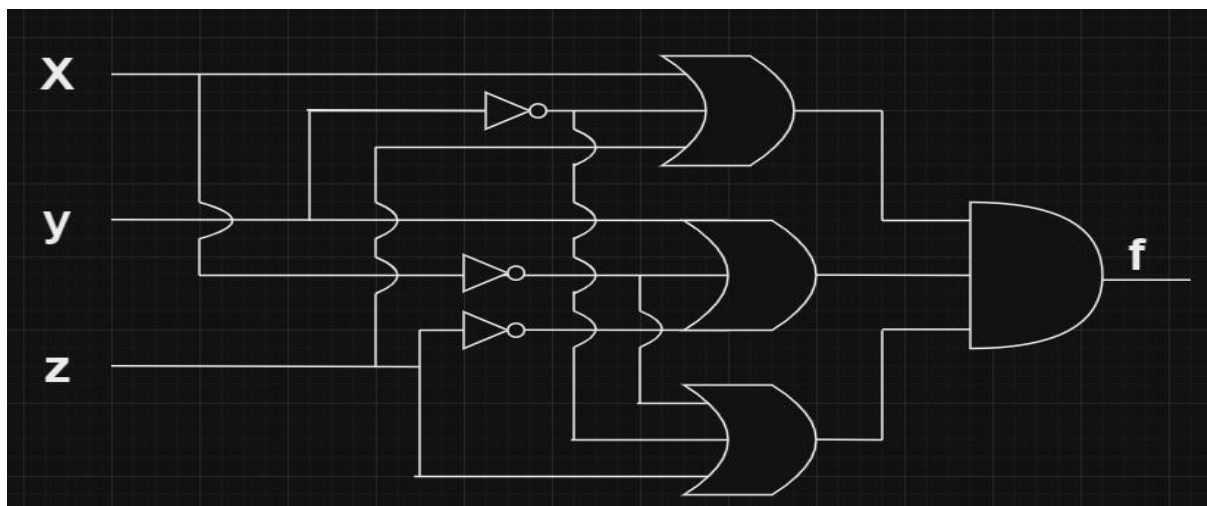
Kiểm tra:

- Viết biểu thức ngõ f theo các ngõ vào x, y, z.

$$F = (x + \bar{y} + z).(\bar{x} + y + \bar{z}).(\bar{x} + \bar{y} + z)$$

- Sinh viên tiến hành vẽ sơ đồ cổng logic của mạch cần thiết kế.





- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
- Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0

```

module lab2tn1(
    input x,y,z,
    output f
);
assign f = (x | !y | z) & (!x | y | !z) & (!x | !y | z);
endmodule

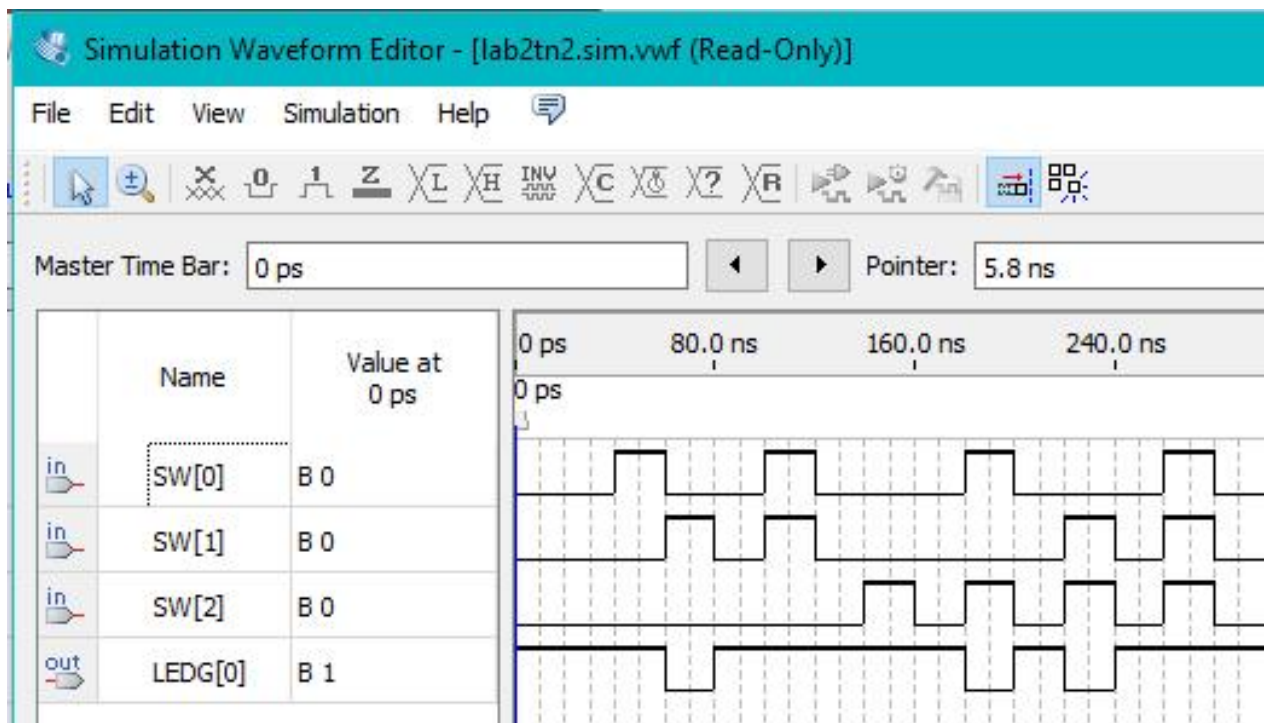
module lab2tn1_wrapper(
    input [2:0] SW,
    output [2:0] LEDR,
    output [0:0] LEDG
);

lab2tn1 ilab2tn1(SW[2],SW[1],SW[0],LEDG[0]); //mở ngoặc ra là nối dây
assign LEDR = SW;
endmodule

```

- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 2**.
- (Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)





- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ cổng logic sinh viên đã vẽ không, tại sao?

Không giống vì con FPGA này có thể mô phỏng (lập trình được) toàn bộ các cổng logic

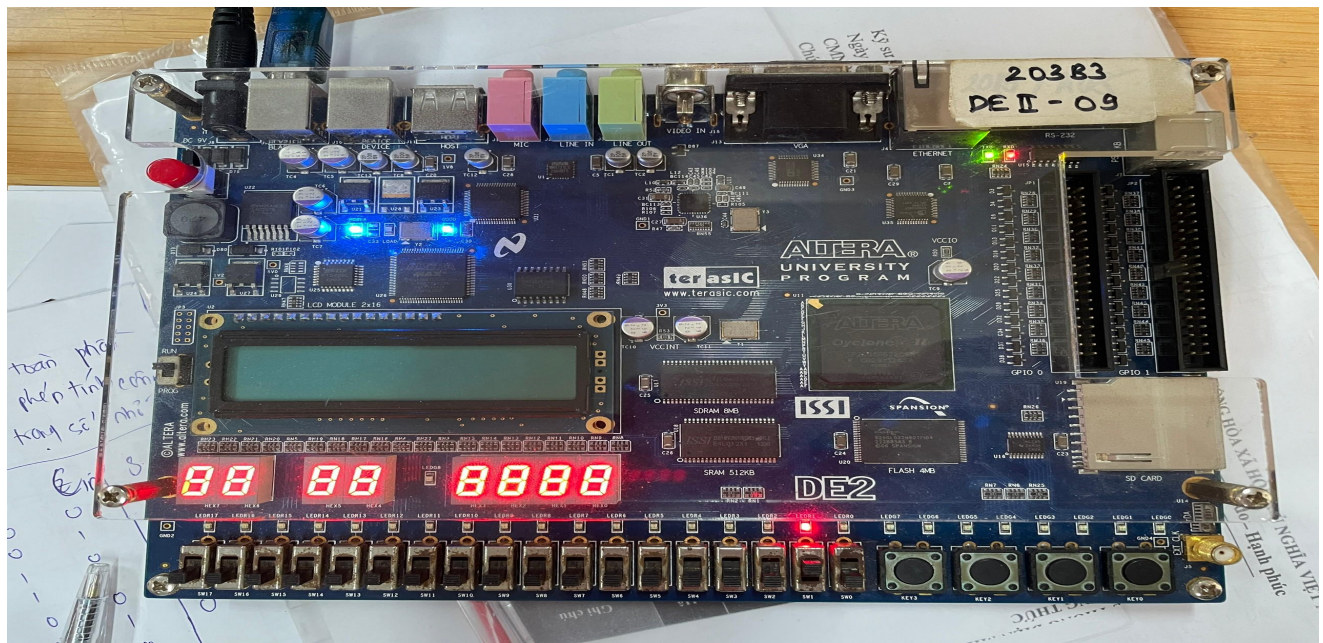
(Chèn hình chụp Netlist > RTL Viewer)



- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 2**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)

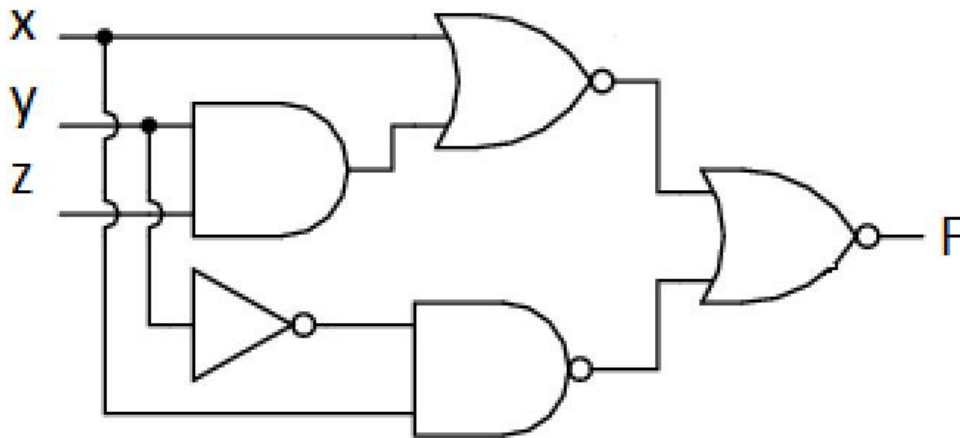




THÍ NGHIỆM 3

Mục tiêu: Nắm được cách khảo sát hàm boolean sử dụng kit DE2.

Yêu cầu: Sinh viên xem mạch được cho bởi **Hình 3** và điền các kết quả khảo sát vào **Bảng 3** theo hướng dẫn ở mục **Kiểm tra**.



Hình 3: Hàm boolean của thí nghiệm 3

x	y	z	f_{sim}	f_{Kit}
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	0	0
1	1	1	0	0

Bảng 3: Kết quả khảo sát hoạt động



Kiểm tra:

- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm F trên **Hình 3** như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
 - Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0

```

module lab2tn3(
    input x,y,z,
    output f
);
assign f = !(((y&z)|x) | (!y&x));
endmodule

module lab2tn3_wrapper(
    input [2:0] SW,
    output [2:0] LEDR,
    output [0:0] LEDG
);

lab2tn3 ilab2tn3(SW[2],SW[1],SW[0],LEDG[0]); //mở ngoặc ra là nối dây
assign LEDR = SW;
endmodule

```

- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ cổng logic trên **Hình 3 không**, tại sao?

Không giống vì con FPGA này có thể mô phỏng (lập trình được) toàn bộ các cổng logic

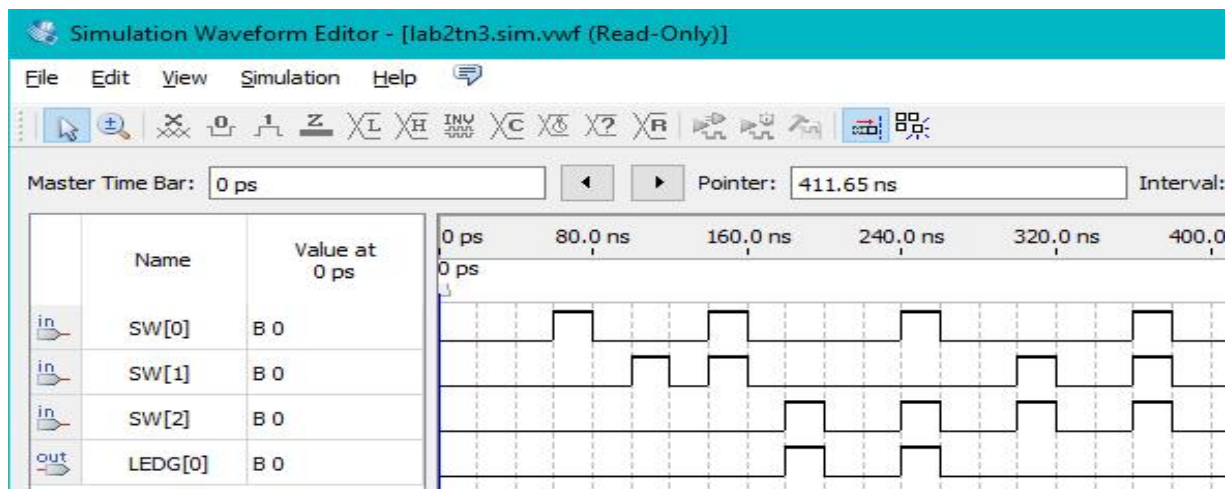
(Chèn hình chụp Netlist > RTL Viewer)



- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 3**.

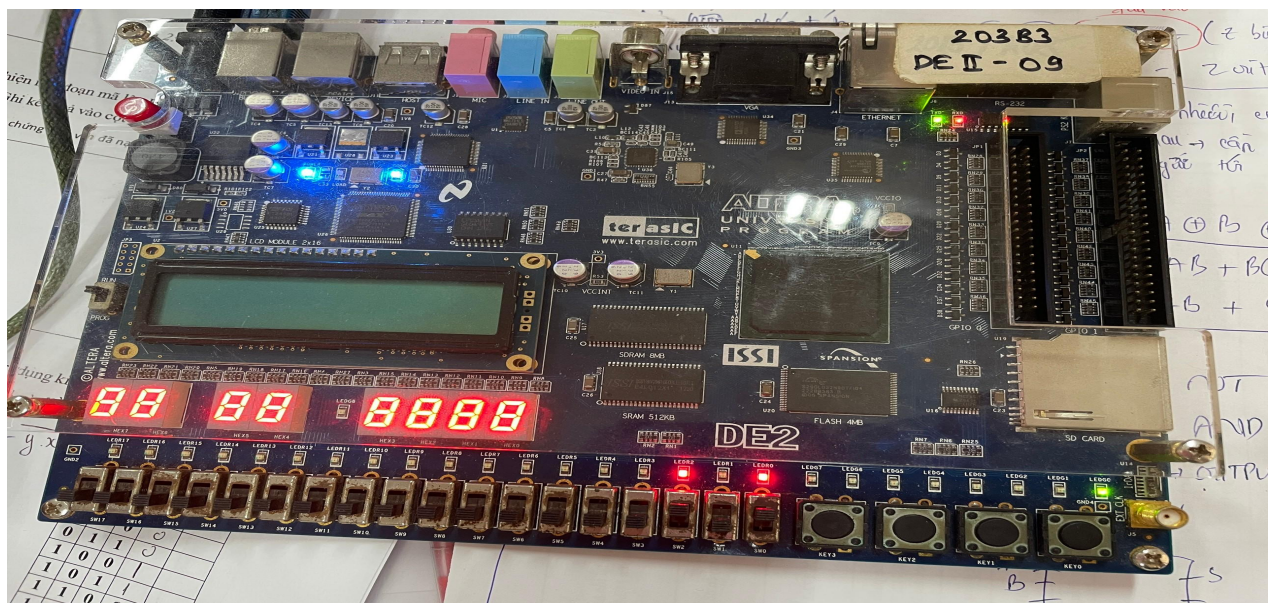
(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)





- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 3**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)



THÍ NGHIỆM 4

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x, y, z) = \sum (1, 2, 4, 7)$ sử dụng IC chức năng 74LS151 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog. Kết quả khảo sát điền vào **Bảng 4** theo hướng dẫn ở mục **Kiểm tra**.

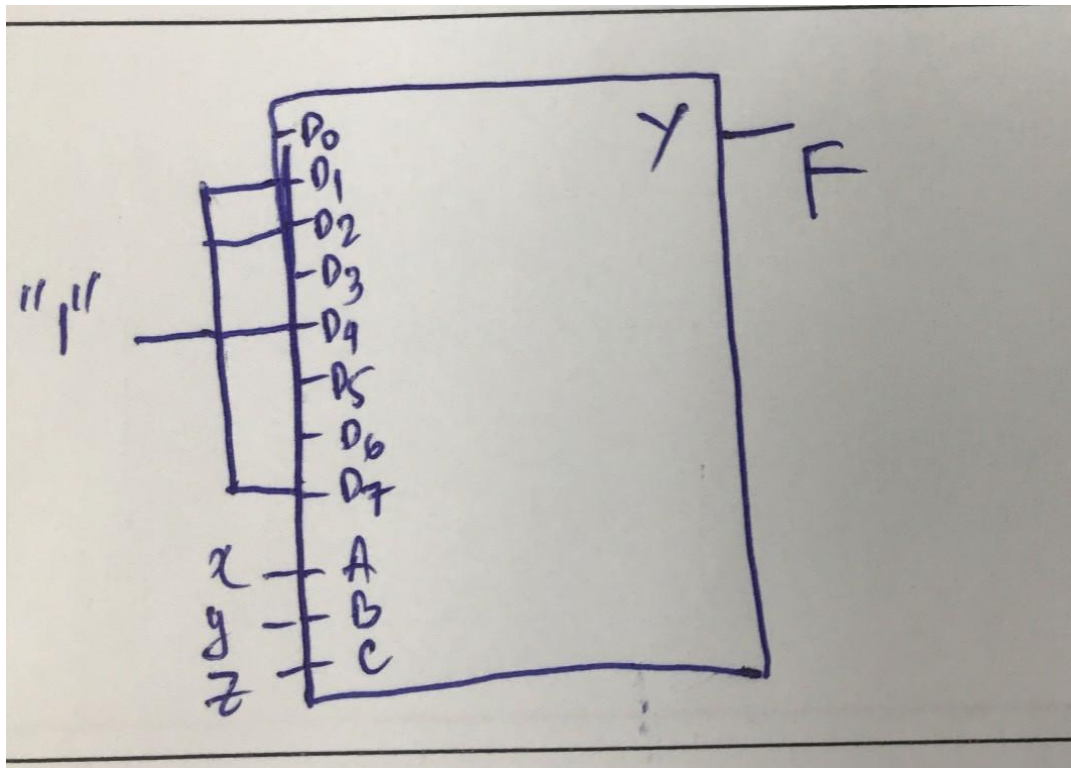
x	y	z	f	f _{sim}	f _{Kit}
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	1	1	1

Bảng 4: Kết quả khảo sát hoạt động của hàm boolean

Kiểm tra:

- Sinh viên sử dụng IC 74LS151 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.





- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z) = \sum (1, 2, 4, 7)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
- Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0
 - Trong đó, gọi IC 74LS151 như một module con

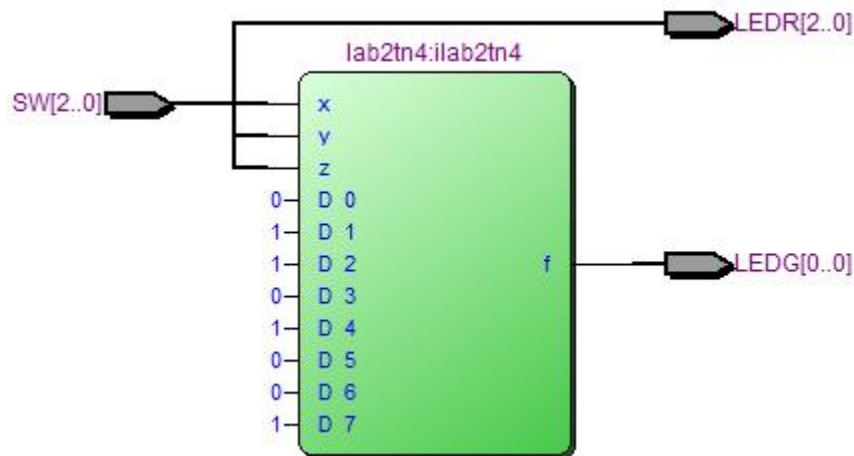
```
module lab2tn4(
    input x,y,z,
    input
    D_0,D_1,D_2,D_3,D_4,D_5,D_6,D_7,
    output f
);
assign f =
(!x&!y&!z&D_0)|(!x&!y&z&D_1)|
(!x&y&!z&D_2)|(!x&y&z&D_3)|
(x&!y&!z&D_4)|(x&!y&z&D_5)|
(x&y&!z&D_6)|(x&y&z&D_7);
endmodule
```

```
module lab2tn4_wrapper(
    input [2:0] SW,
    output [2:0] LEDR,
    output [0:0] LEDG
);
wire [0:7] D;
lab2tn4 ilab2tn4
(SW[2],SW[1],SW[0],0,1,1,0,1,0,0,1,LEDG[0]);
assign LEDR = SW;
endmodule
```



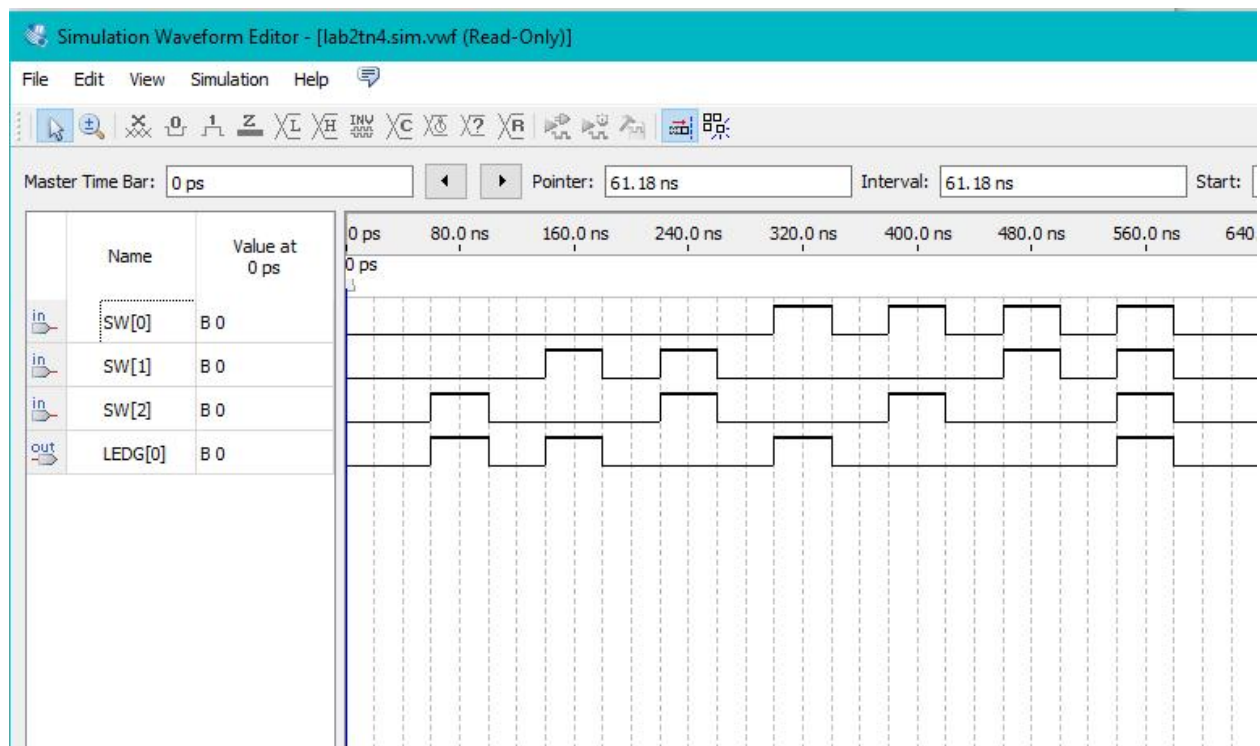
- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 4**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



THÍ NGHIỆM 5

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x, y, z, w) = \sum (2, 5, 7, 9, 12, 13)$ sử dụng IC chức năng 74LS151 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog.. Kết quả khảo sát điền vào **bảng 5** theo hướng dẫn ở mục **Kiểm tra**.

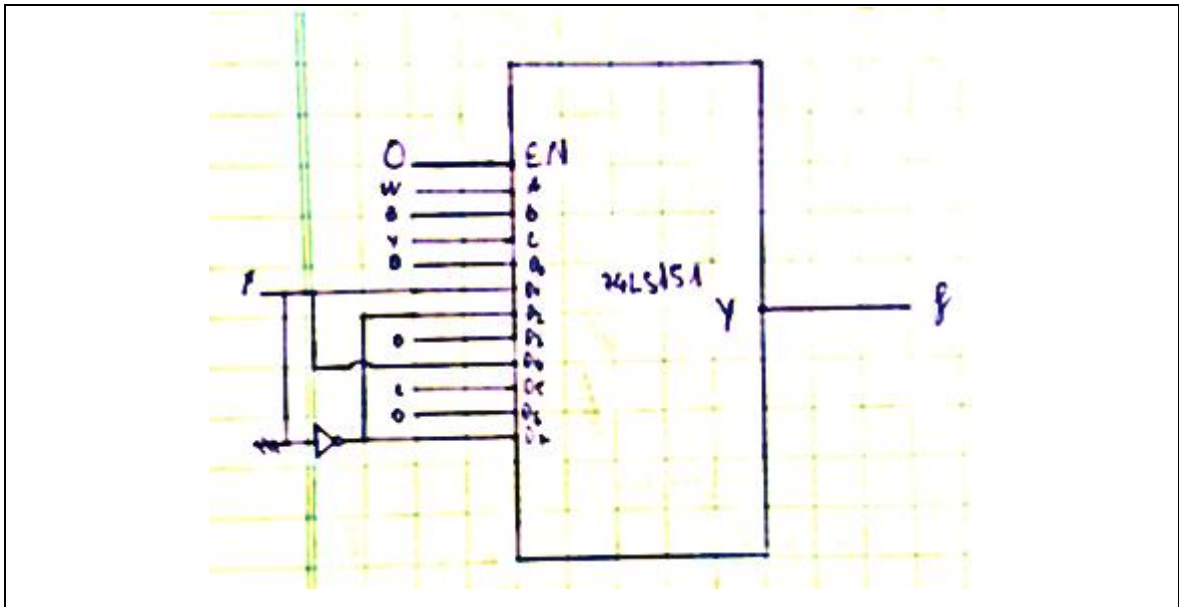
x	y	z	w	f	f _{Sim}	f _{Kit}
0	0	0	0	0	0	0
0	0	0	1	0	0	0
0	0	1	0	1	1	1
0	0	1	1	0	0	0
0	1	0	0	0	0	0
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	1	0	0	0
1	1	0	0	1	1	1
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	1	0	0	0

Bảng 5: Kết quả khảo sát hoạt động của hàm boolean



Kiểm tra:

- Sinh viên sử dụng IC 74LS151 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.



- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z, w)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:

- Chân x, y, z, w gán tới SW3, SW2, SW1, SW0 và LEDR3, LEDR2, LEDR1, LEDR0 tương ứng
- Chân f gán tới LEDG0
- Trong đó, gọi IC 74LS151 như một module con

- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)

- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 5**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 5**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)

THÍ NGHIỆM 6

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x,y,z) = \sum (0,2,5,7)$ sử dụng IC chức năng 74LS138 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog.. Kết quả khảo sát điền vào **Bảng 6** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	f	f_{Sim}	f_{Kit}
0	0	0	1	1	1
0	0	1	0	0	0
0	1	0	1	1	1
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	1	1	1
1	1	0	0	0	0
1	1	1	1	1	1

Bảng 6: Kết quả khảo sát hoạt động của hàm boolean

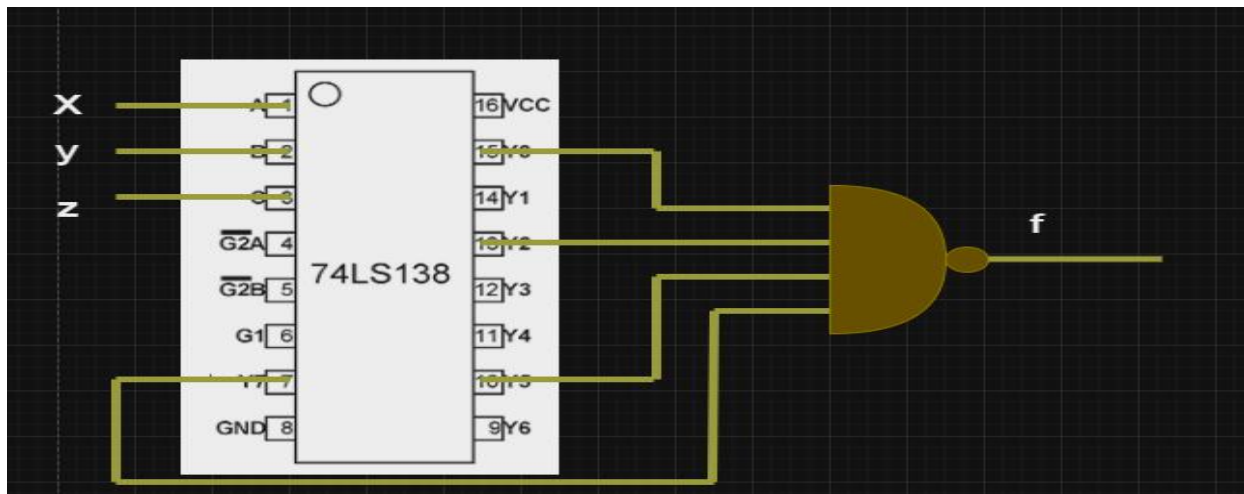
Kiểm tra:



- Sinh viên sử dụng IC 74LS138 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.
- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:
 - Chân x, y, z gán tới SW2, SW1, SW0 và LEDR2, LEDR1, LEDR0 tương ứng
 - Chân f gán tới LEDG0
 - Trong đó, gọi IC 74LS138 như một module con

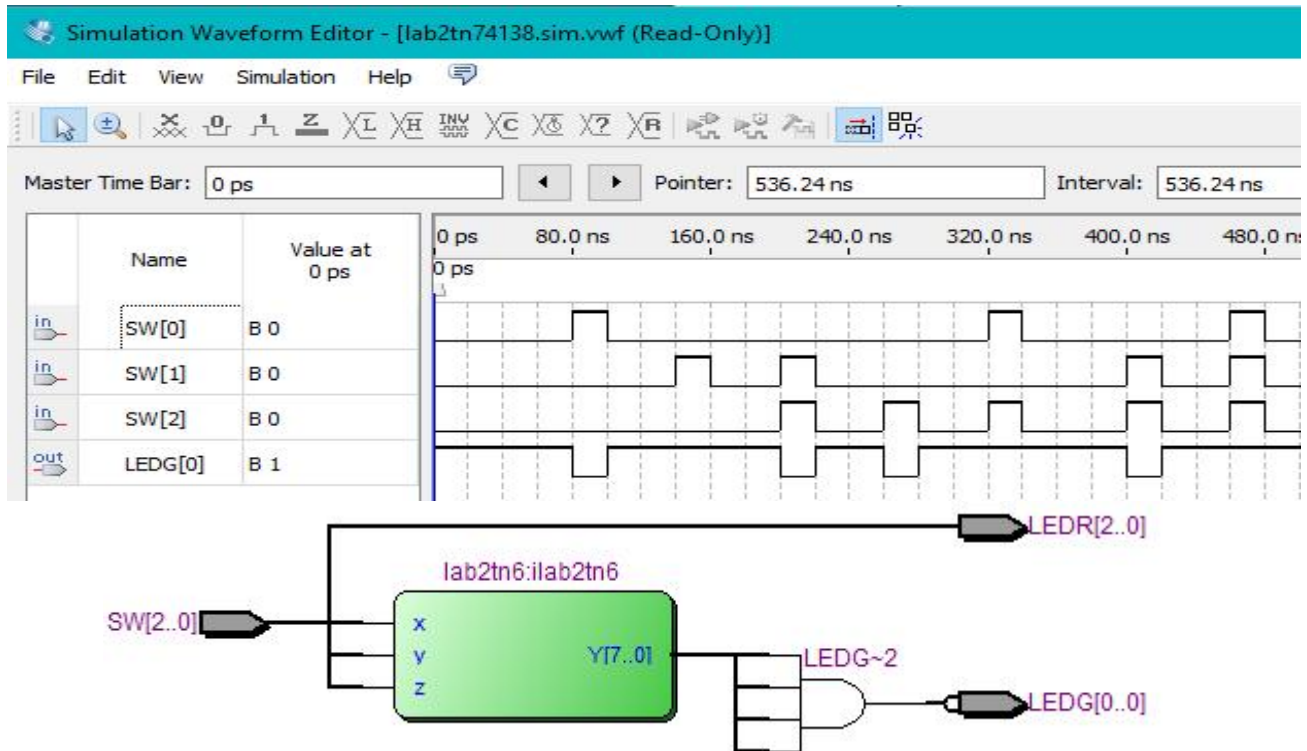
```
module lab2tn74138(
    input x,y,z,
    output reg [7:0] Y);
always@(x,y,z) begin
    case({x,y,z})
        3'b000 : Y = 8'b11111110;
        3'b001 : Y = 8'b11111101;
        3'b010 : Y = 8'b11111011;
        3'b011 : Y = 8'b11110111;
        3'b100 : Y = 8'b11101111;
        3'b101 : Y = 8'b11011111;
        3'b110 : Y = 8'b10111111;
        3'b111 : Y = 8'b01111111;
        default: Y= 8'b11111111;
    endcase
end
endmodule
```

```
module lab2tn74138_wrapper(
    input [2:0] SW,
    output [2:0] LEDR,
    output [0:0] LEDG
);
wire [7:0] Y; //nối dây
lab2tn74138 ilab2tn74138(SW[2],SW[1],SW[0],Y);
assign LEDR = SW;
assign LEDG = !(Y[0]&Y[2]&Y[5]&Y[7]);
endmodule
```



- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)



- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 6**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)



THÍ NGHIỆM 7

Mục tiêu: Nắm được cách thức thiết kế các IC chức năng bằng ngôn ngữ SystemVerilog và ứng dụng trên kit DE2

Yêu cầu: Sinh viên thực hiện thiết kế hàm boolean $f(x,y,z,w) = \sum (1,3,5,7, 10, 12, 14)$ sử dụng IC chức năng 74LS138 và các cổng logic cần thiết trên ngôn ngữ SystemVerilog. Kết quả khảo sát điền vào **bảng 7** theo hướng dẫn ở mục **Kiểm tra**.

x	y	z	w	f	f _{Sim}	f _{Kit}
0	0	0	0	0	0	0
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	1	1	1	1
1	0	0	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	1	1
1	0	1	1	0	0	0
1	1	0	0	1	1	1
1	1	0	1	0	0	0
1	1	1	0	1	1	1
1	1	1	1	0	0	0

Bảng 7: Kết quả khảo sát hoạt động của hàm boolean



Kiểm tra:

- Sinh viên sử dụng IC 74LS138 và các cổng logic cần thiết để thiết kế mạch thực hiện hàm boolean đã cho.

- Sinh viên viết đoạn mã SystemVerilog thực hiện hoạt động của hàm $f(x, y, z, w)$ như **hướng dẫn** từ Prelab với sơ đồ gán chân như sau:

- Chân x, y, z, w gán tới SW3, SW2, SW1, SW0 và LEDR3, LEDR2, LEDR1, LEDR0 tương ứng
- Chân f gán tới LEDG0
- Trong đó, gọi IC 74LS138 như một module con

- Sinh viên xem kết quả Netlist > RTL Viewer của mạch. Kết quả này có giống với sơ đồ đã thiết kế hay không, tại sao?

(Chèn hình chụp Netlist > RTL Viewer)

- Sinh viên tiến hành tổng hợp thiết kế System Verilog và khảo sát hoạt động của hàm trên mô phỏng, ghi kết quả vào cột f_{sim} của **Bảng 7**.

(Chèn hình chụp minh chứng sinh viên đã mô phỏng mạch)

- Sinh viên thực hiện nạp đoạn mã lên Kit DE2, thiết kế có thực hiện chính xác như yêu cầu hay không? Ghi kết quả vào cột f_{Kit} của **Bảng 7**.

(Chèn hình chụp minh chứng sinh viên đã nạp lên Kit hoạt động)

