

ĐẠI HỌC QUỐC GIA THÀNH PHỐ HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC BÁCH KHOA
KHOA ĐIỆN – ĐIỆN TỬ
BỘ MÔN KỸ THUẬT ĐIỆN TỬ

--oOo--



BÁO CÁO THÍ NGHIỆM LAB 4
MÔN : KỸ THUẬT SỐ
NHÓM : 03

GVHD : Nguyễn Tuấn Hùng

Họ và tên	MSSV
Hoàng Văn Toàn	1915539
Nguyễn Tuấn Thành	2010620
Lê Duy Thức	2112416

TP.HCM 11/2023

I. MỤC TIÊU

- Nắm được cách sử dụng kit thí nghiệm, phần mềm lập trình.
- Nắm được cách khảo sát và thiết kế hệ mạch đếm sử dụng các IC chức năng cơ bản.
- Nắm được quy trình mô tả phần cứng trên FPGA.

II. CHUẨN BỊ:

- Để chuẩn bị tốt cho bài thí nghiệm, sinh viên PHẢI đọc trước phần Phụ lục 1 và hoàn thành các bước của Sample lab trong Phụ lục 2.
- Sinh viên phải hoàn thành và nộp PRELAB 4 trước khi vào lớp.

III. HƯỚNG DẪN THÍ NGHIỆM

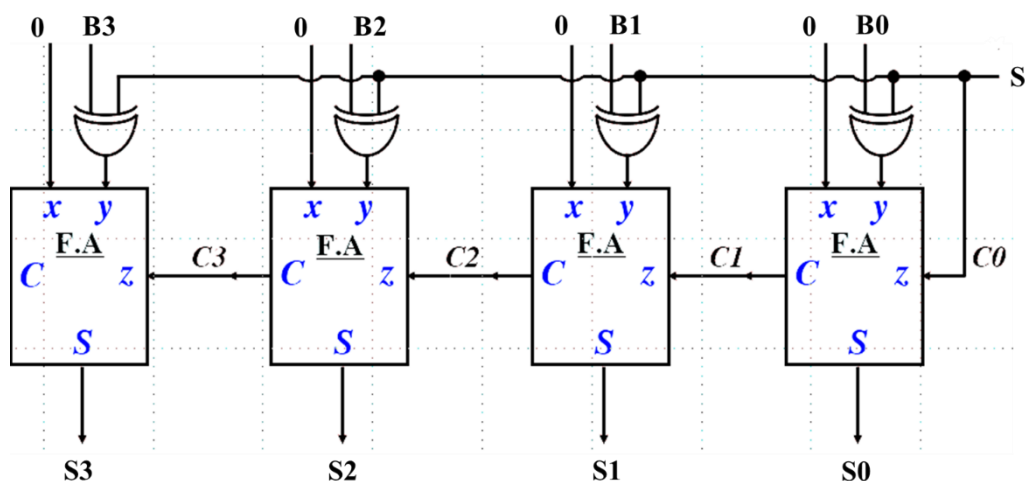
THÍ NGHIỆM 1

Mục tiêu: Nắm được các thức mô tả mạch tính giá trị tuyệt đối của một số 4 bit sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

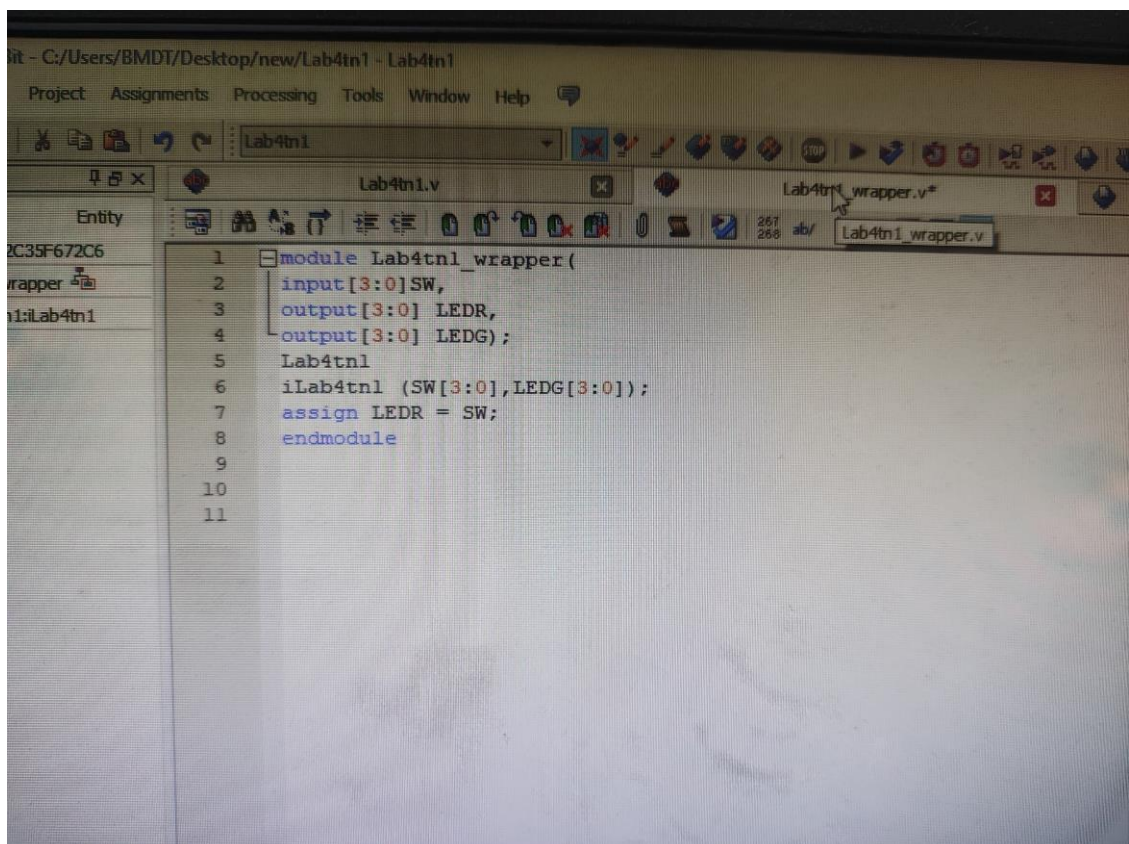
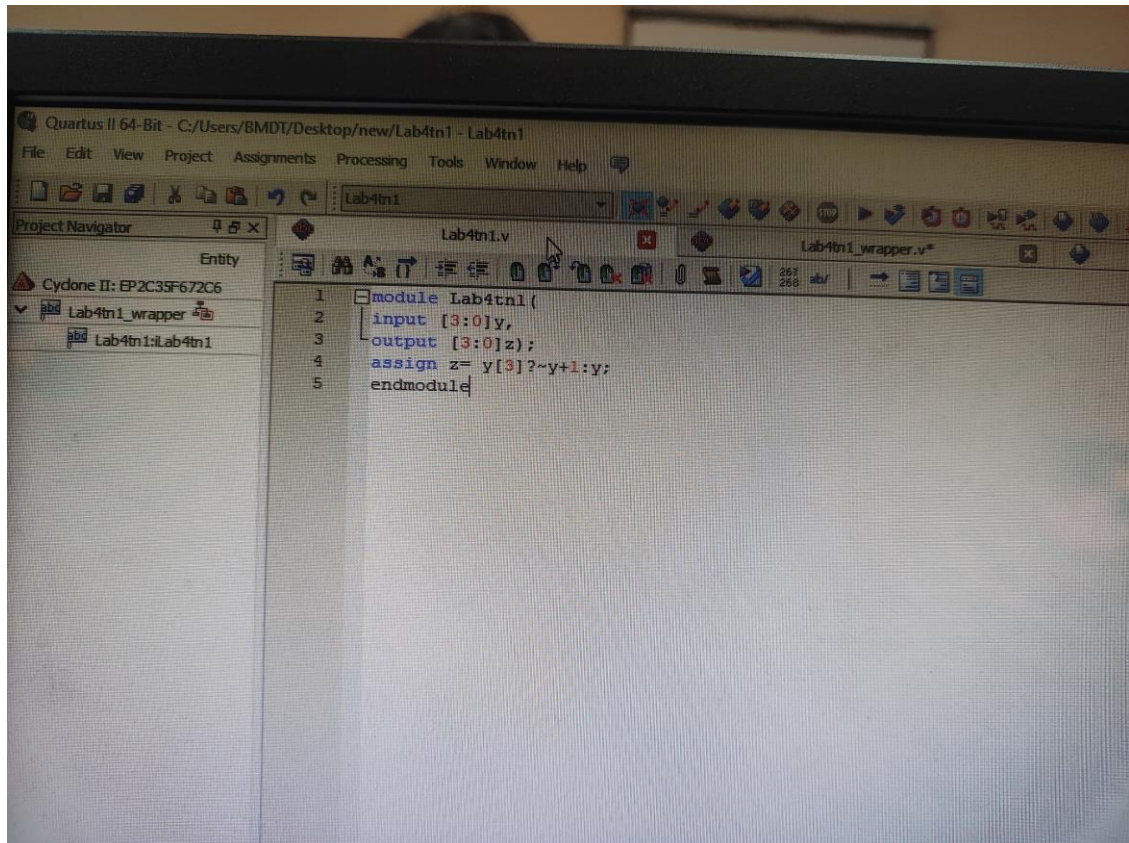
Yêu cầu: Sinh viên thực hiện mô tả mạch tính giá trị tuyệt đối của một số 4 bit (số ngõ vào lần lượt là A, ngõ ra là S).

Kiểm tra:

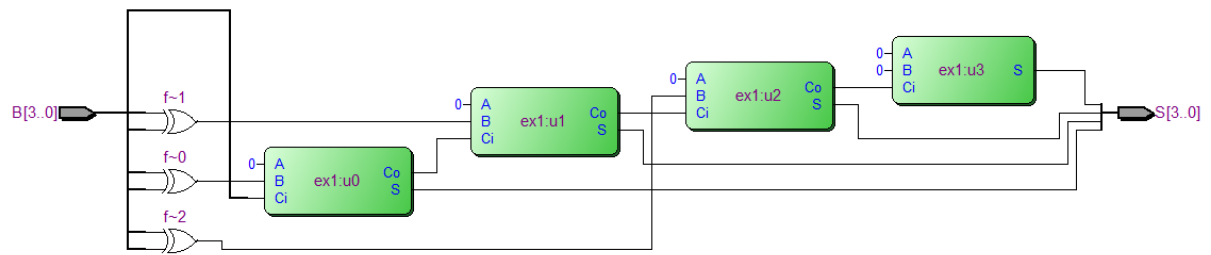
- Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn giải để giáo viên hiểu được ý tưởng của mình)



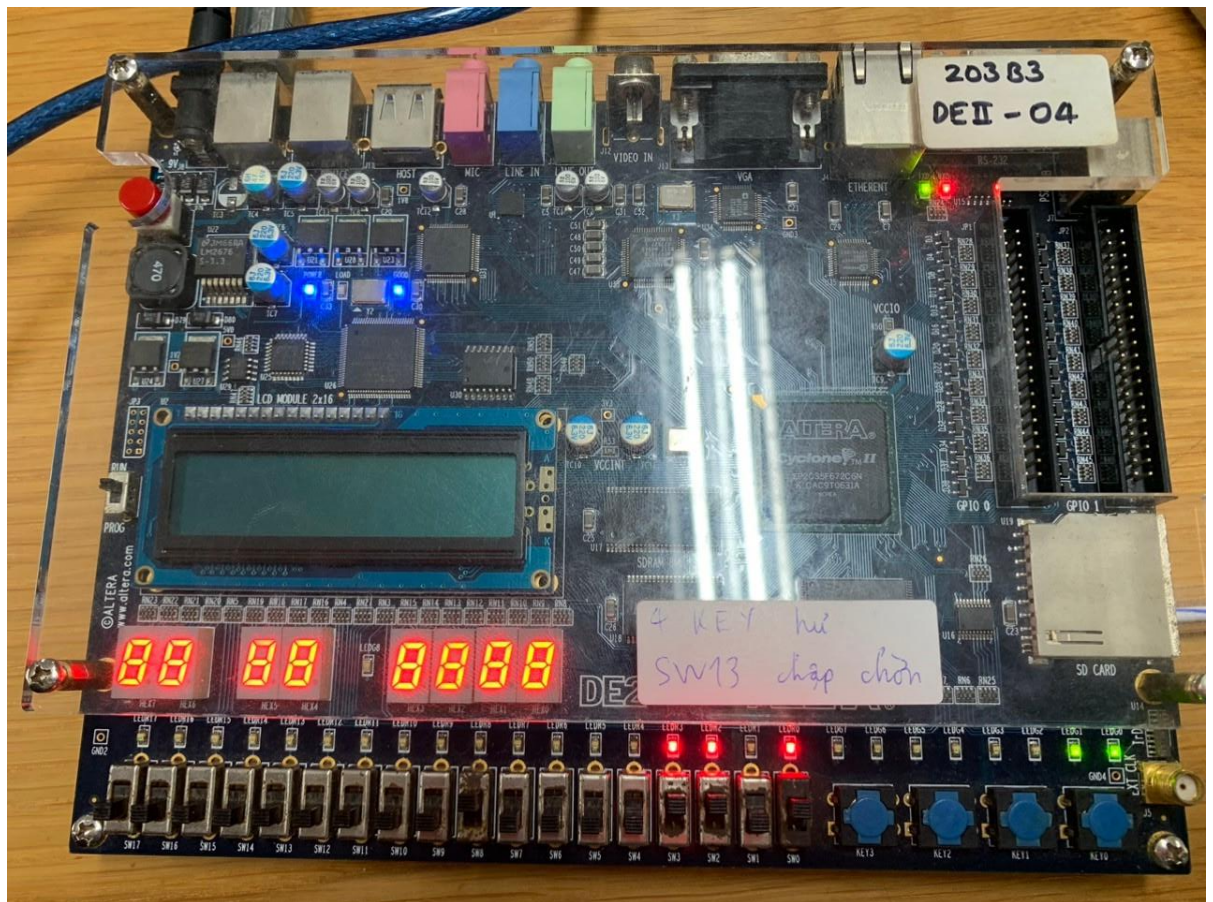
➤ Chương trình mô tả hoạt động của thiết kế.



➤ Kết quả RTL viewer.



➤ Sinh viên thực hiện gắn chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.



THÍ NGHIỆM 2

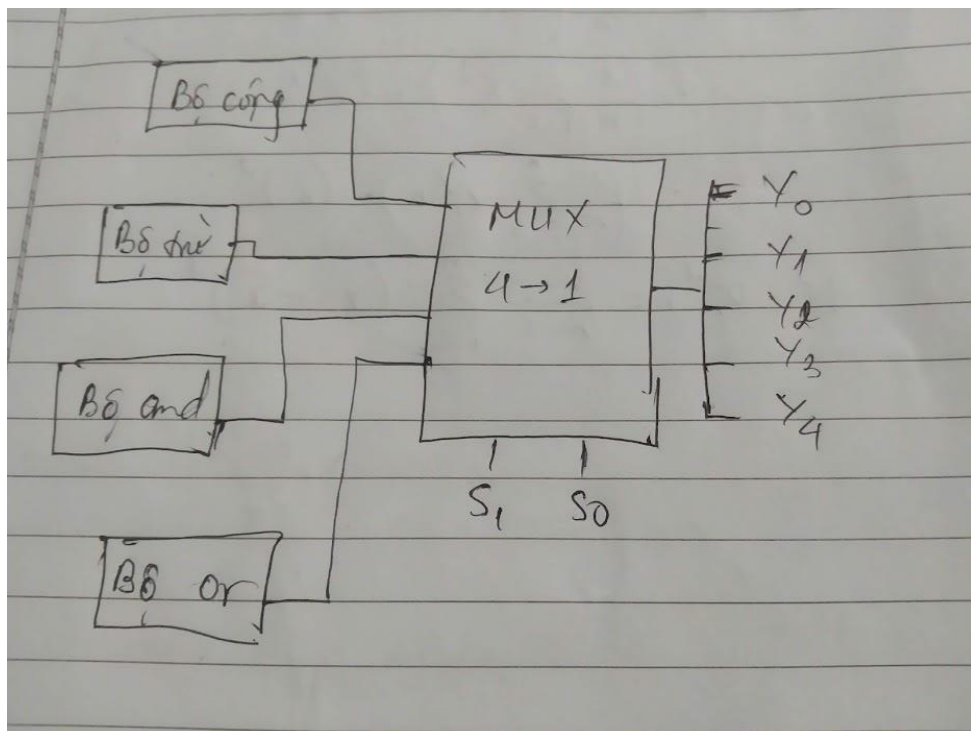
Mục tiêu: Nắm được các thức mô tả khối ALU (bộ tính toán) có chức năng đơn giản sử dụng systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

Yêu cầu: Sinh viên thực hiện mô tả mạch cho mạch thực hiện bộ ALU tính toán 2 số 4 bit (hai số ngõ vào lần lượt là A và B, ngõ ra là S, cờ nhớ Ci và Co) thông qua ngõ vào điều khiển **2 bit Sel**.

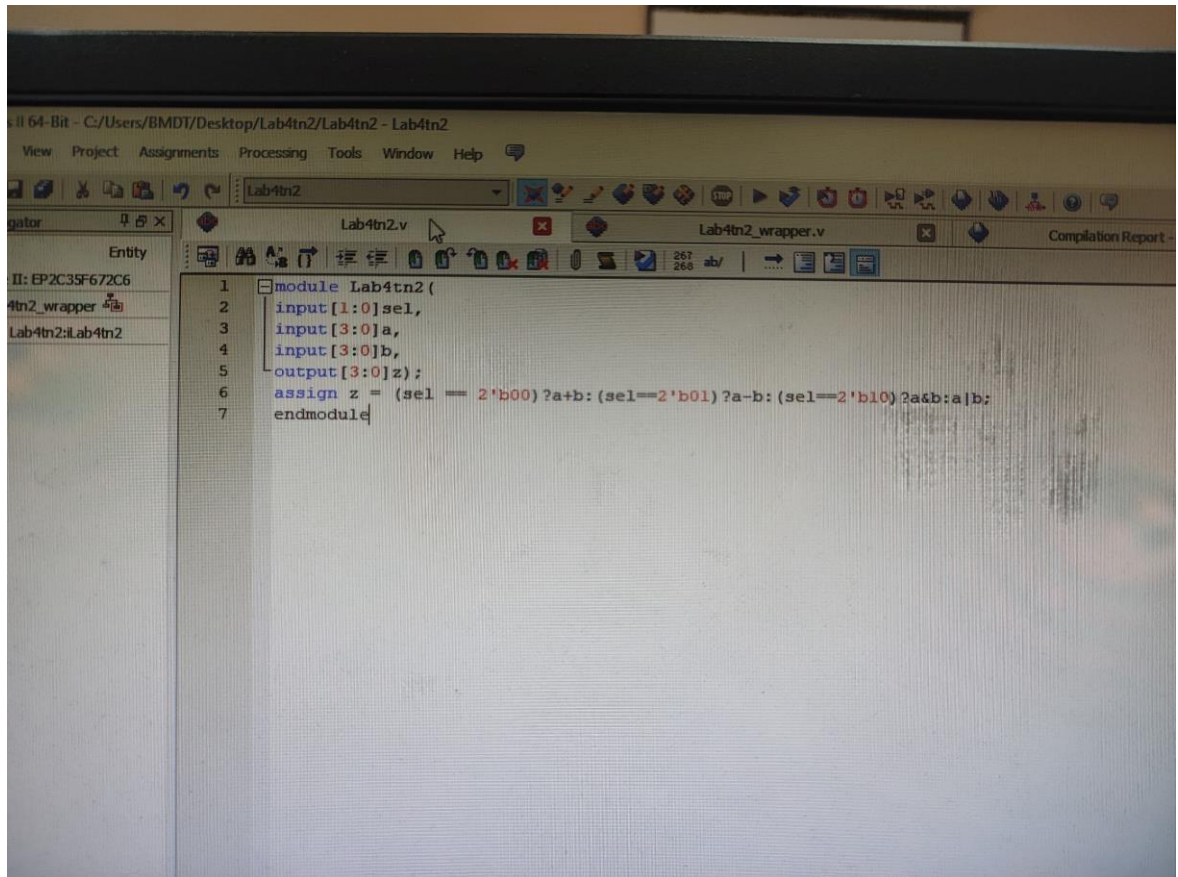
- Nếu Sel=00: $S=A+B$
- Nếu Sel=01: $S=A-B$
- Nếu Sel=10: $S=A \text{ AND } B$
- Nếu Sel=11: $S=A \text{ OR } B$

Kiểm tra:

- Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn giải để giáo viên hiểu được ý tưởng của mình)



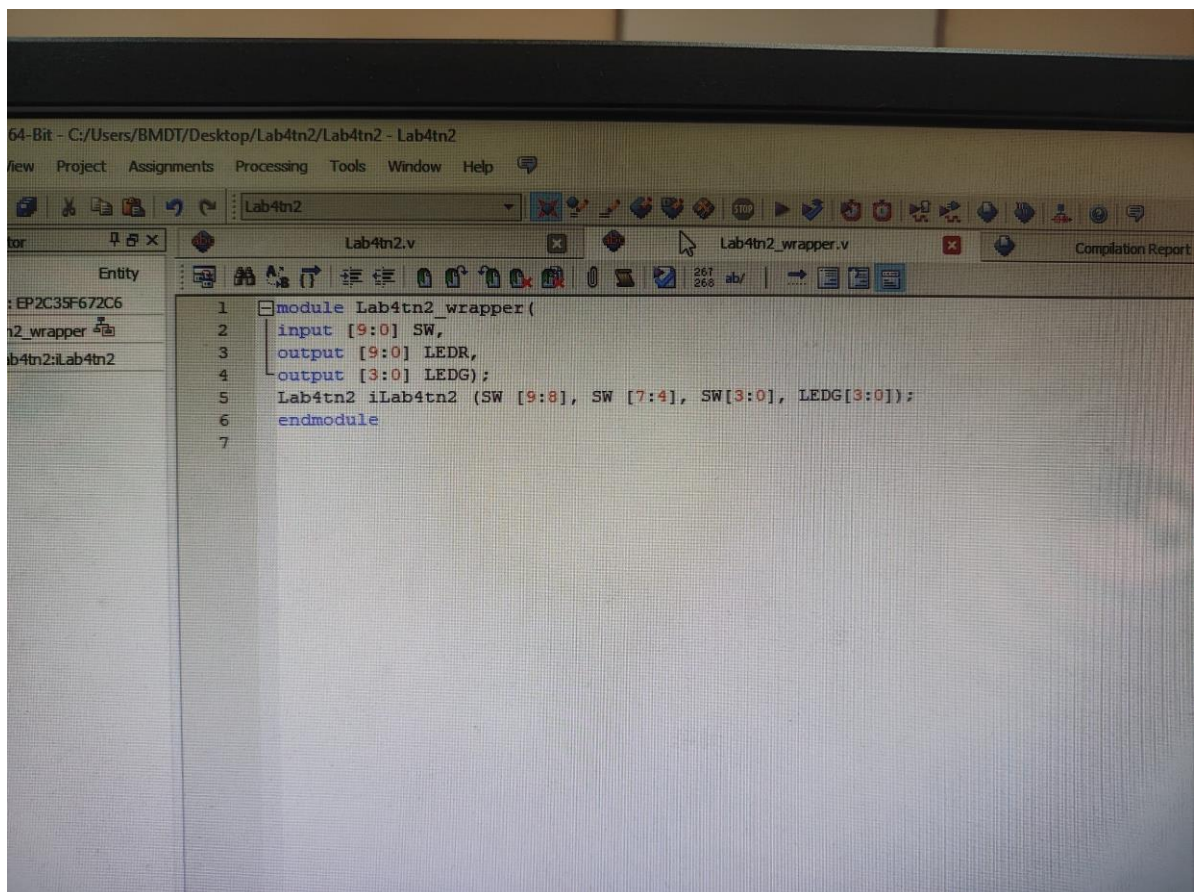
➤ Chương trình mô tả hoạt động của thiết kế.



The screenshot shows a Verilog code editor window titled "Lab4tn2.v". The code defines a module named "Lab4tn2" with the following structure:

```
1 module Lab4tn2(  
2     input [1:0] sel,  
3     input [3:0] a,  
4     input [3:0] b,  
5     output [3:0] z;  
6     assign z = (sel == 2'b00) ? a+b : (sel == 2'b01) ? a-b : (sel == 2'b10) ? a&b : a|b;  
7 endmodule
```

The left sidebar shows the project hierarchy with "Lab4tn2" selected. The top menu bar includes "View", "Project", "Assignments", "Processing", "Tools", "Window", and "Help".

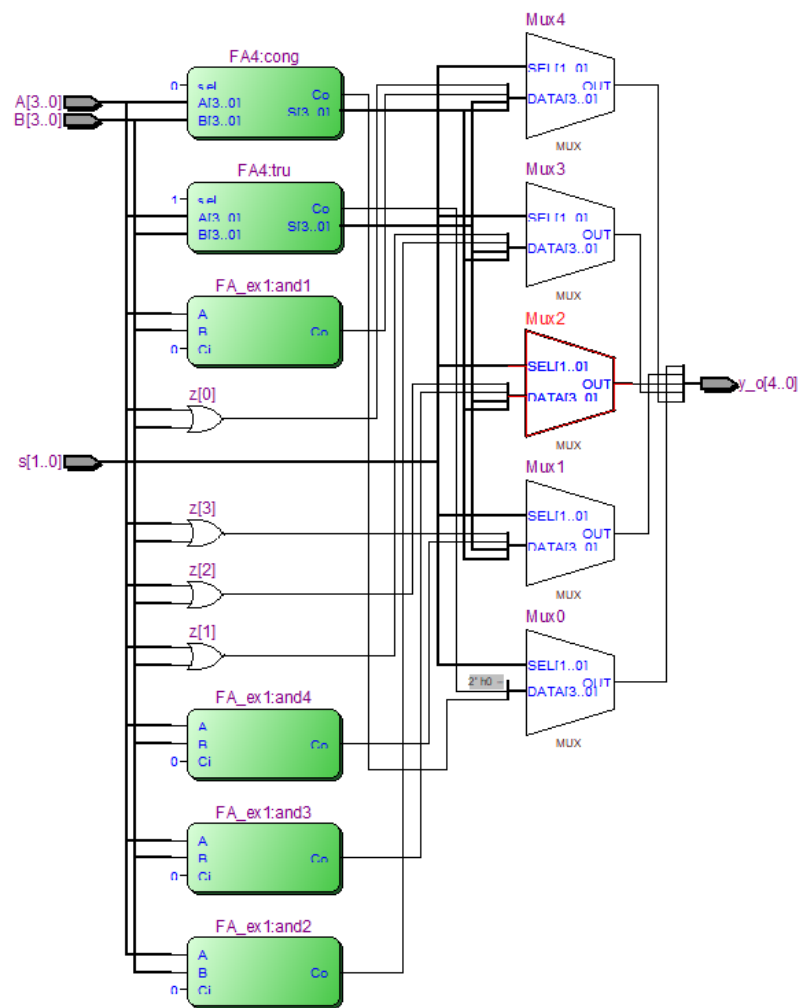


The screenshot shows a Verilog code editor window titled "Lab4tn2_wrapper.v". The code defines a module named "Lab4tn2_wrapper" with the following structure:

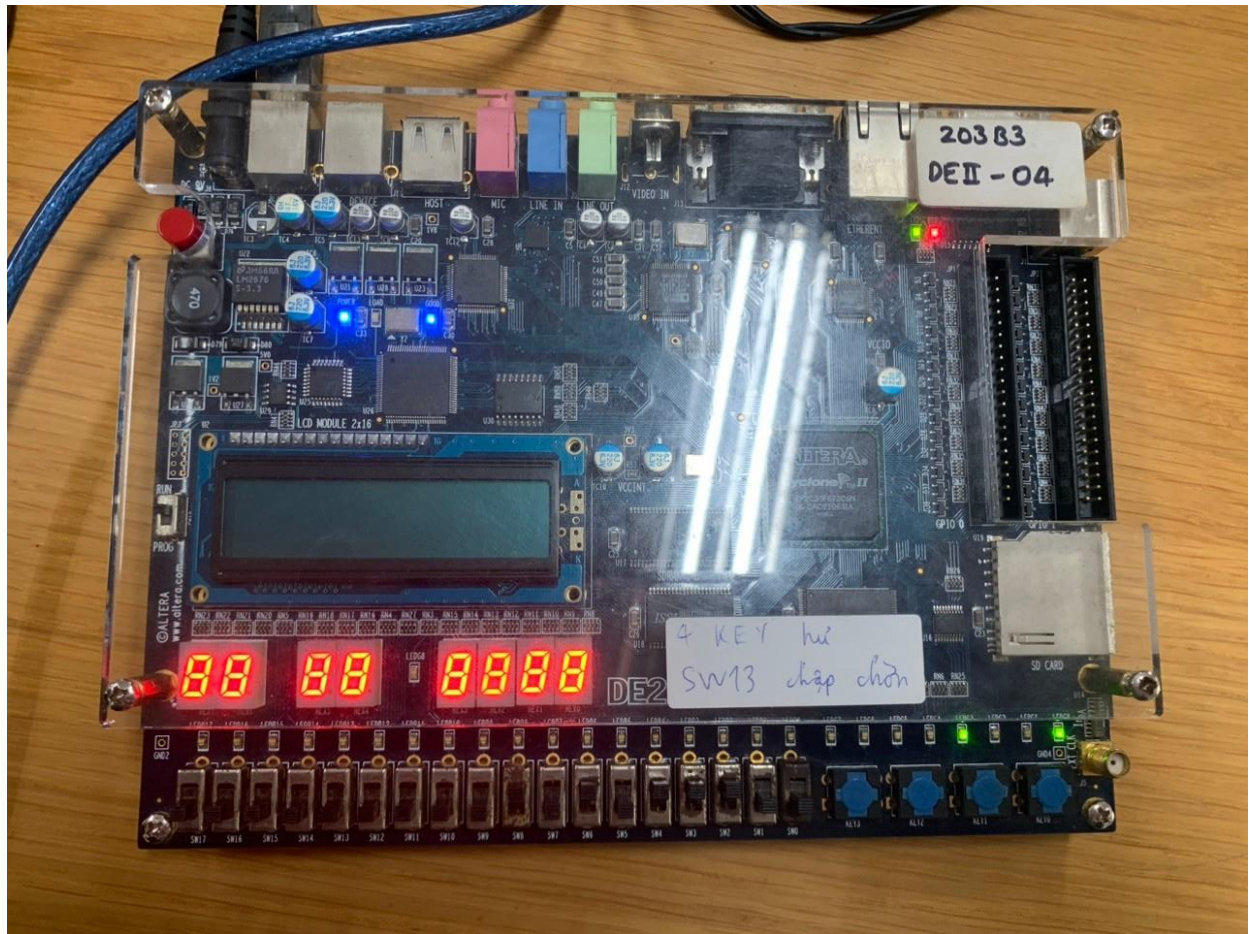
```
1 module Lab4tn2_wrapper(  
2     input [9:0] SW,  
3     output [9:0] LEDR,  
4     output [3:0] LEDG;  
5     Lab4tn2 iLab4tn2 (SW [9:8], SW [7:4], SW [3:0], LEDG [3:0]);  
6 endmodule
```

The left sidebar shows the project hierarchy with "Lab4tn2_wrapper" selected. The top menu bar includes "View", "Project", "Assignments", "Processing", "Tools", "Window", and "Help".

➤ Kết quả RTL viewer.



- Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.



THÍ NGHIỆM 3

Mục tiêu: Hiểu được các thức mô tả mạch đếm đầy đủ sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

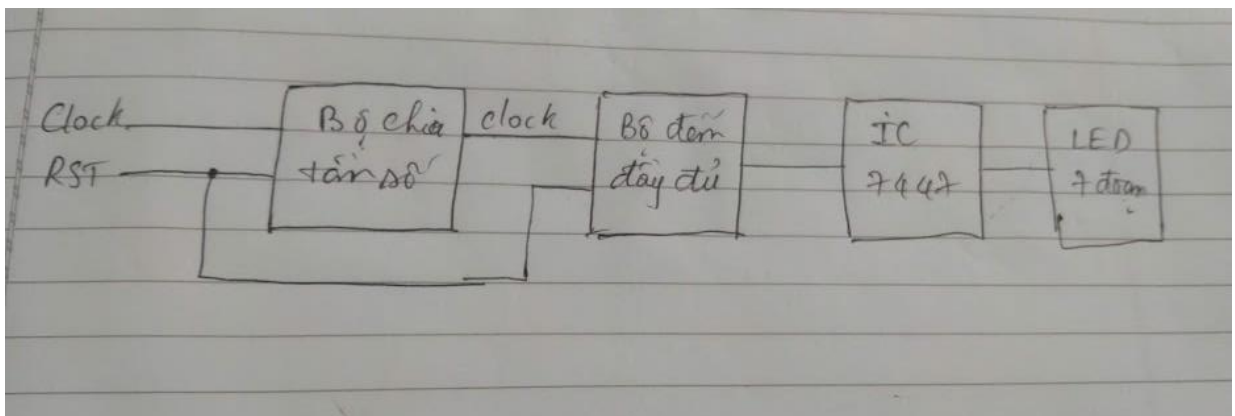
Yêu cầu: Sinh viên thực hiện thiết kế mô tả mạch đếm xuống 3 bit đầy đủ sử dụng ngôn ngữ system verilog. Giá trị đếm thay đổi sau mỗi 1s. Ngõ ra được kết nối với LED 7 đoạn loại anode chung. Ngoài ra, bộ đếm còn có chân RST (tích cực cao) dùng để reset trạng thái bộ đếm về 0.

Gợi ý:

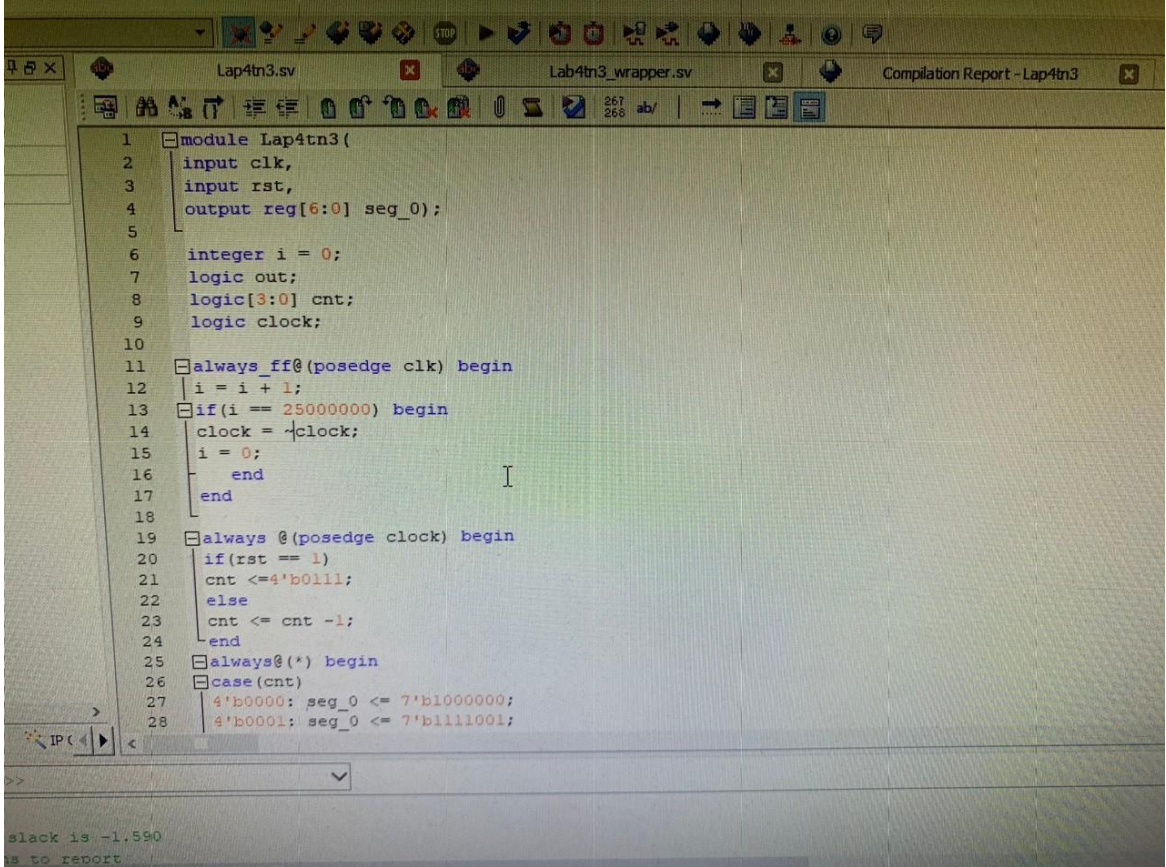
- Tín hiệu clock được tạo từ bộ chia tần số từ 50MHz sang 1s.
- Sinh viên sử dụng chương trình chuyển từ mã BCD sang LED 7 đoạn trong PRELAB, kết nối ngõ ra của bộ đếm với ngõ vào của bộ chuyển đổi.

Kiểm tra:

- Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn giải để giáo viên hiểu được ý tưởng của mình)



➤ Chương trình mô tả hoạt động của thiết kế.



```
1 module Lap4tn3(  
2     input clk,  
3     input rst,  
4     output reg[6:0] seg_0);  
5  
6     integer i = 0;  
7     logic out;  
8     logic[3:0] cnt;  
9     logic clock;  
10  
11     always_ff@(posedge clk) begin  
12         i = i + 1;  
13         if(i == 250000000) begin  
14             clock = ~clock;  
15             i = 0;  
16         end  
17     end  
18  
19     always @(posedge clock) begin  
20         if(rst == 1)  
21             cnt <= 4'b0111;  
22         else  
23             cnt <= cnt - 1;  
24         end  
25     always@(*) begin  
26         case(cnt)  
27             4'b0000: seg_0 <= 7'b1000000;  
28             4'b0001: seg_0 <= 7'b11111001;  
29         endcase  
30     end  
31 endmodule
```

slack is -1.590
is to report


```

11 always ff@(posedge clk) begin
12     i = i + 1;
13     if(i == 25000000) begin
14         clock = ~clock;
15         i = 0;
16     end
17 end
18
19 always @(posedge clock) begin
20     if(rst == 1)
21         cnt <= 4'b0111;
22     else
23         cnt <= cnt - 1;
24     end
25 always@(*) begin
26     case(cnt)
27         4'b0000: seg_0 <= 7'b1000000;
28         4'b0001: seg_0 <= 7'b11111001;
29         4'b0010: seg_0 <= 7'b0100100;
30         4'b0011: seg_0 <= 7'b0110000;
31         4'b0100: seg_0 <= 7'b0011001;
32         4'b0101: seg_0 <= 7'b0010010;
33         4'b0110: seg_0 <= 7'b0000010;
34         4'b0111: seg_0 <= 7'b1111000;
35         default: seg_0 <= 7'b1111111;
36     endcase
37 end
38 endmodule

```

slack is -1.590

```

1 module Lab4tn3_wrapper(
2     input CLOCK_50,
3     input [0:0] SW,
4     output LEDR,
5     output[6:0] HEX0);
6     Lap4tn3 iLap4tn3 (CLOCK_50, SW[0], HEX0[6:0]);
7     assign LEDR = SW;
8 endmodule

```

slack is -1.590

report

report

lse width slack is -1.380

family is not supported by the report_metastability command.

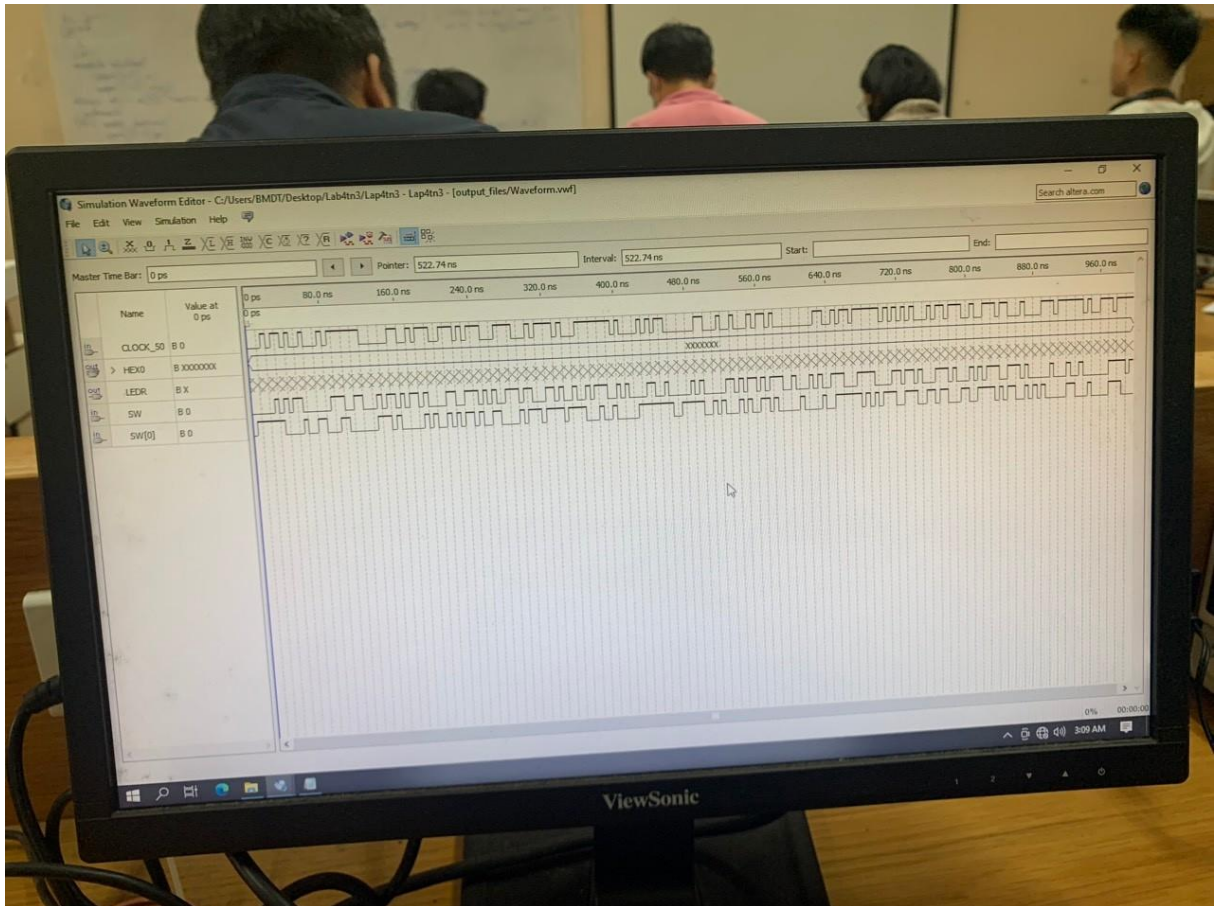
constrained for setup requirements

constrained for hold requirements

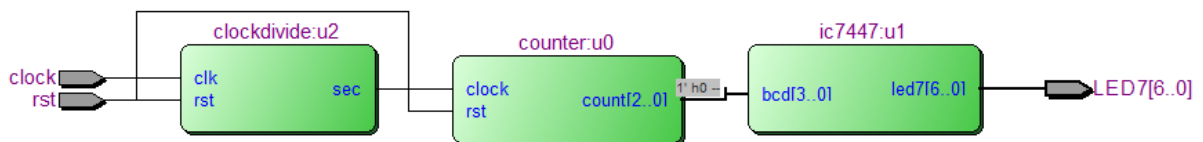
seQuest Timing Analyzer was successful. 0 errors, 4 warnings

ilation was successful. 0 errors, 430 warnings

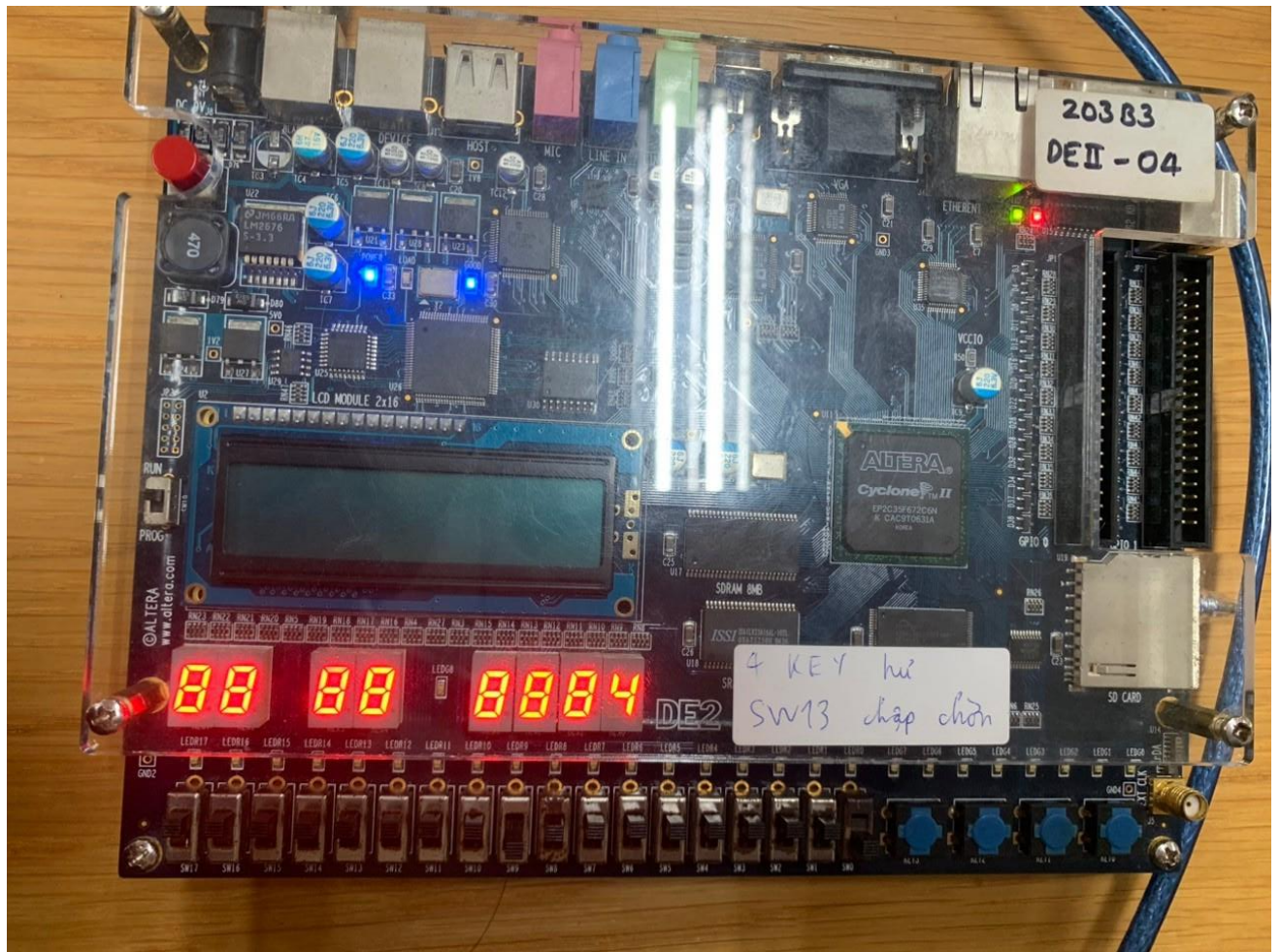
- Kết quả mô phỏng dạng sóng.



- Kết quả RTL viewer.



- Sinh viên thực hiện gắn chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.



THÍ NGHIỆM 4

Mục tiêu: Hiểu được các thức mô tả mạch đếm đầy đủ sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

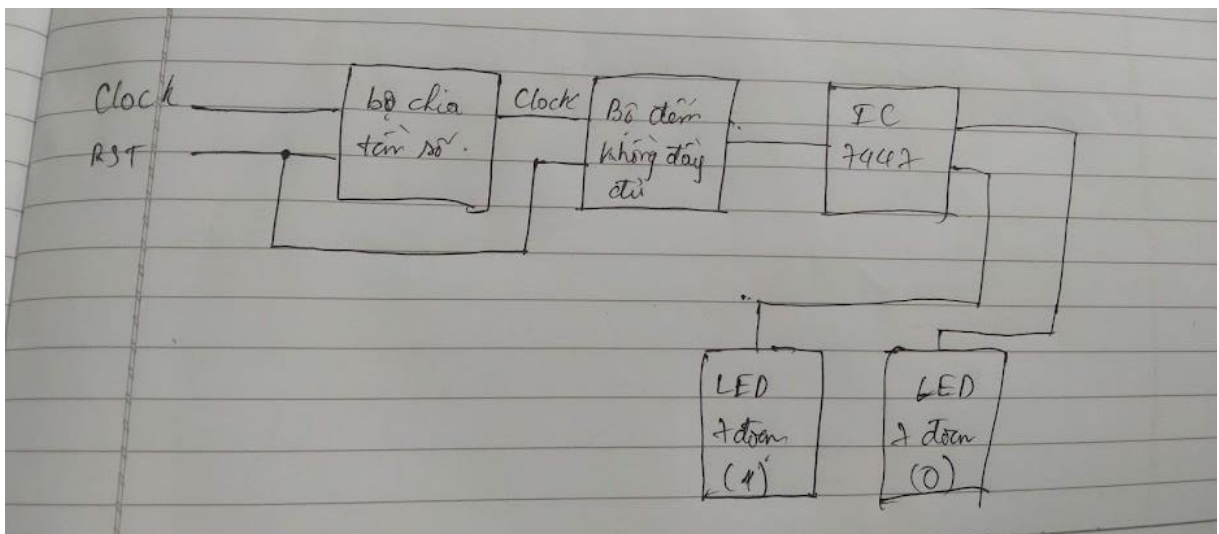
Yêu cầu: Sinh viên thực hiện thiết kế mô tả mạch **đếm lên 4 bit từ 5 đến 14** sử dụng ngôn ngữ system verilog. Giá trị đếm thay đổi sau mỗi 1s. Ngõ ra 4 bit được kết nối với 2 LED 7 đoạn loại anode chung. Ngoài ra, bộ đếm còn có chân RST (tích cực cao) dùng để reset trạng thái bộ đếm về 0.

Gợi ý:

- Tín hiệu clock được tạo từ bộ chia tần số từ 50MHz sang 1s.
- Sinh viên sử dụng chương trình chuyển từ mã BCD sang LED 7 đoạn trong PRELAB, kết nối ngõ ra của bộ đếm với ngõ vào của bộ chuyển đổi.
- Sinh viên cần viết thêm bộ chuyển đổi từ số 4 bit sang số BCD.

Kiểm tra:

- Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối và/hoặc diễn giải để giáo viên hiểu được ý tưởng của mình)



➤ Chương trình mô tả hoạt động của thiết kế.

```
1 module Lab4tn4
2 (
3   input clk,
4   input rst,
5   output reg[6:0] seg_0,
6   output reg[6:0] seg_1);
7   integer i = 0;
8   logic out;
9   logic[3:0] cnt;
10  logic clock;
11  always_ff@(posedge clk) begin
12    i = i + 1;
13    if(i==25000000) begin
14      clock = ~clock;
15      i=0;
16    end
17  end
18  always @(posedge clock) begin
19    if(rst==1)
20      cnt<=4'b0000;
21    else
22      cnt <= cnt +1;
23  end
24 endmodule
```

Design Units IP < > <<Search>>

Warning (116) /

case minimum pulse width slack is -1.380
selected device family is not supported by the report_metastability command.
design is not fully constrained for setup requirements
design is not fully constrained for hold requirements
Status II 64-Bit TimeQuest Timing Analyzer was successful. 0 errors, 4 warnings
Status III Full Compilation was successful. 0 errors, 432 warnings

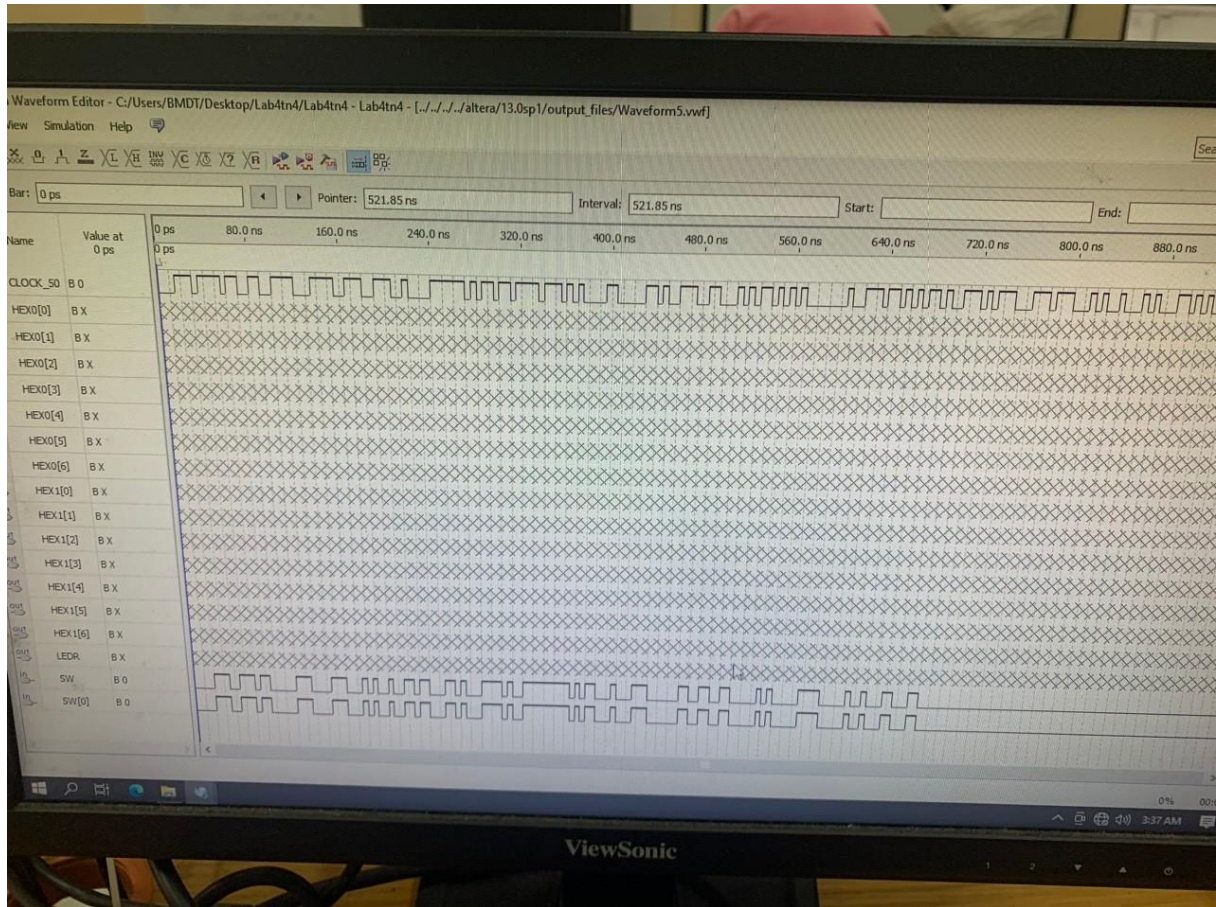
```
19 if(rst==1)
20   cnt<=4'b0000;
21 else
22   cnt <= cnt +1;
23 end
24 always@(*) begin
25   case(cnt)
26     4'b0000: seg_0<=7'b0010010;
27     4'b0001: seg_0<=7'b0000010;
28     4'b0010: seg_0<=7'b11111000;
29     4'b0011: seg_0<=7'b00000000;
30     4'b0100: seg_0<=7'b00100000;
31     4'b0101: seg_0<=7'b10000000;
32     4'b0110: seg_0<=7'b11111001;
33     4'b0111: seg_0<=7'b01001000;
34     4'b1000: seg_0<=7'b01100000;
35     4'b1001: seg_0<=7'b0011001;
36     default: seg_0<=7'b11111111;
37   endcase
38 end
39 endmodule
40
```

Design Units IP < > <<Search>>

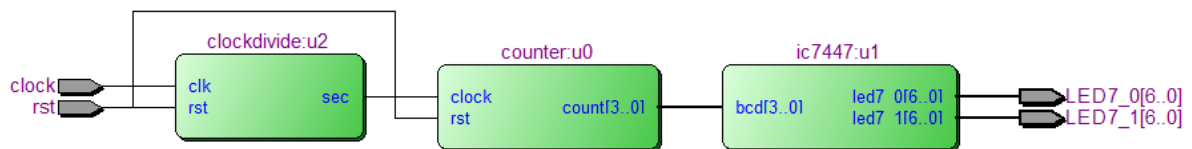
Warning (116) /

case minimum pulse width slack is -1.380
selected device family is not supported by the report_metastability command

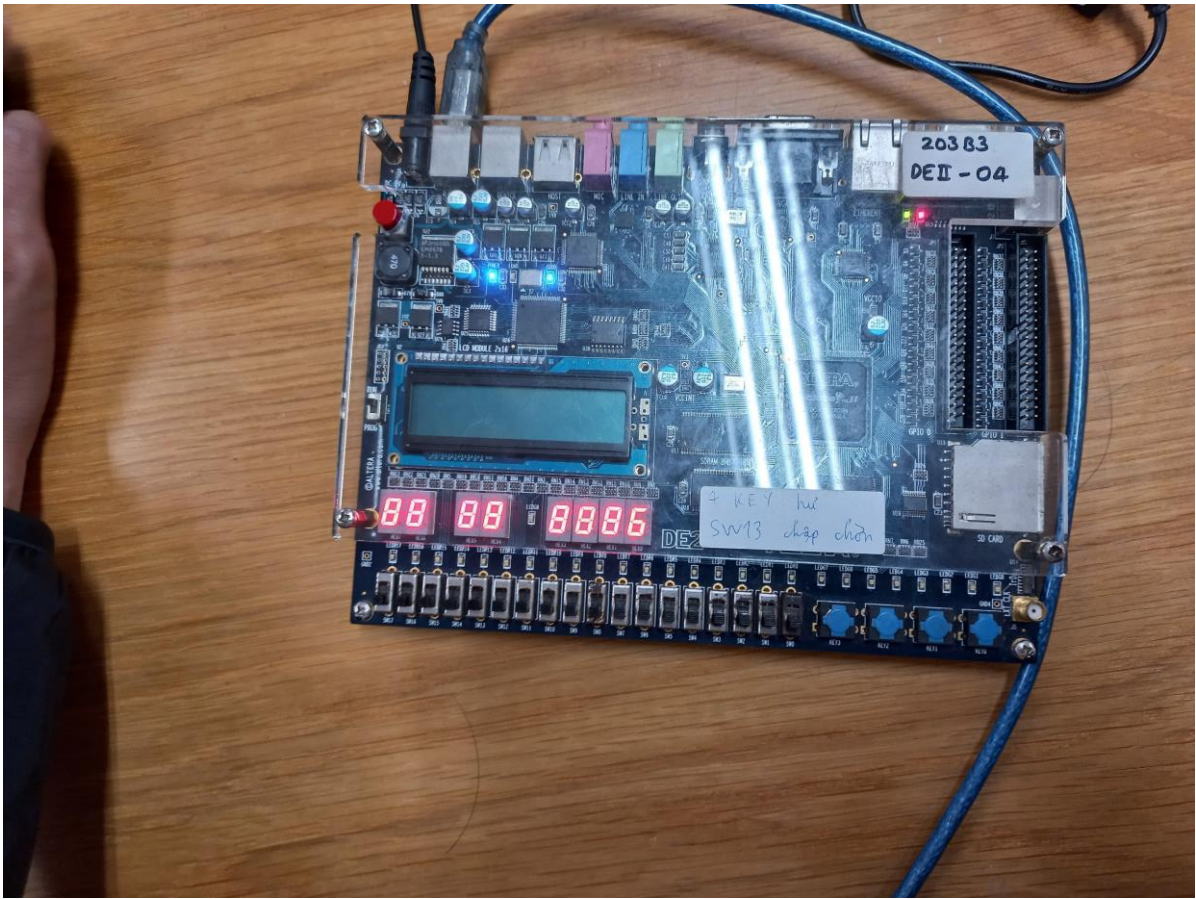
➤ Kết quả mô phỏng dạng sóng.



➤ Kết quả RTL viewer.



➤ Sinh viên thực hiện gắn chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.



THÍ NGHIỆM 5

Mục tiêu: Nắm được các thức mô tả máy trạng thái sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

Yêu cầu: Sinh viên tiến hành mô tả hệ tuần tự sau bằng VHDL sau đó nạp chương trình xuống kit DE2 để kiểm tra hoạt động:

Hệ tuần tự có 1 ngõ vào (X) và 1 ngõ ra (Z). Ngõ ra $Z = 1$ nếu tổng số bit 1 nhận được chia hết cho 3 (quy ước 0, 3, 6, 9, ... là các số chia hết cho 3) và tổng số bit 0 nhận được là 1 số chẵn (lớn hơn 0).

Ghi chú: Sinh viên có thể lựa chọn thiết kế theo máy trạng thái kiểu Mealy hoặc Moore.

Gán chân theo mẫu sau:

Ngõ vào X được nối với SW0.

Tín hiệu CLK được nối với xung clock 1Hz (Trong bài PRELAB).

Ngõ ra Z được nối với LED0.

Kiểm tra:

- Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối (máy trạng thái) và/hoặc diễn giải để giáo viên hiểu được ý tưởng của mình)
- Chương trình mô tả hoạt động của thiết kế.
- Kết quả mô phỏng dạng sóng.
- Kết quả RTL viewer.
- Sinh viên thực hiện gán chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

Lưu ý: Sinh viên nên nối clock 1Hz ra 1 LED để dễ quan sát tín hiệu clock.

THÍ NGHIỆM 6

Mục tiêu: Nắm được các thức mô tả máy trạng thái sử dụng ngôn ngữ systemverilog và thực hiện kiểm tra hoạt động trên kit FPGA.

Yêu cầu: Sinh viên tiến hành mô tả hệ tuần tự sau bằng VHDL sau đó nạp chương trình xuống kit DE2 để kiểm tra hoạt động:

Một hệ thống cung cấp thức ăn và nước uống tự động cho thú cưng gồm 2 ngõ vào là 2 nút nhấn

RED, BLUE; và 2 ngõ ra là tín hiệu FOOD, WATER để kích hoạt máy cung cấp thức ăn và nước uống

- Nút RED (tín hiệu R; khi nhấn nút R=1, ngược lại R=0): khi con vật đói muốn ăn thì cần nhấn nút RED 3 lần liên tiếp. Khi đó tín hiệu F (FOOD) = 1 để kích hoạt máy cung cấp thức

ăn.

- Nút BLUE (tín hiệu B; khi nhấn nút B=1, ngược lại B=0): khi con vật khát muốn uống thì cần nhấn nút BLUE 2 lần liên tiếp. Khi đó tín hiệu W (WATER) = 1 để kích hoạt máy cung cấp nước uống.

Chú ý:

- Khi tín hiệu kích hoạt F hay W bằng 1, nếu nhấn 1 nút bất kỳ hệ thống sẽ trở lại trạng thái reset.

- Ở mỗi thời điểm, chỉ có 1 nút nhấn.

- Các nút nhấn cần phải được tác động liên tiếp, nếu có 1 nút sai trình tự, máy trạng thái sẽ quay trở về trạng thái ban đầu. (ví dụ: khi các nút nhấn được tác động theo trình tự (RED, RED, BLUE), máy trạng thái quay về trạng thái đầu reset).

Ghi chú: Sinh viên có thể lựa chọn thiết kế theo máy trạng thái kiểu Mealy hoặc Moore.

Gán chân theo mẫu sau:

Ngõ vào RED và BLUE lần lượt được nối với SW0 và SW1.

Tín hiệu CLK được nối với xung clock 1Hz (Trong bài PRELAB).

Ngõ ra FOOD và WATER lần lượt được nối với LED0 và LED1.

Kiểm tra:

- Sinh viên trình bày ý tưởng của thiết kế. (Sinh viên có thể vẽ sơ đồ khối (máy trạng thái) và/hoặc diễn giải để giáo viên hiểu được ý tưởng của mình)

MOORE		Trạng thái kế tiếp		Ngõ ra	
Date	No	Nút nhấn (BR)		F	W
Trạng thái hiện tại		10	01		
Chú ý: (00) S0		S1	S2	0	0
(X1 10) S1		S3	S2	0	0
(X1 01) S2		S1	S4	0	0
(X2 10) S3		S0	S0	0	1
(X2 01) S4		S4	S5	0	0
(X3 01) S5		S0	S0	1	0

- Chương trình mô tả hoạt động của thiết kế.
-
- Kết quả mô phỏng dạng sóng.
- Kết quả RTL viewer.
- Sinh viên thực hiện gắn chân theo yêu cầu và sau đó đổ lên kit FPGA DE2. Sau đó ghi nhận kết quả.

Lưu ý: Sinh viên nên nối clock 1Hz ra 1 LED để dễ quan sát tín hiệu clock.