

VIETNAM NATIONAL UNIVERSITY HO CHI MINH CITY  
HO CHI MINH UNIVERSITY OF TECHNOLOGY



**ASSIGNMENT REPORT IC DESIGN – EE3165**

**LAB 5 : INTRODUCTION TO MEMORY CIRCUIT DESIGN**

*CLASS L04 – GROUP 14*

**TUTOR : NGUYỄN PHAN THIỀN PHÚC**

STUDENTS	ID	EMAIL	CONTRIBUTION
Bùi Khánh Hoàng	2113392	<i>hoang.bui060703@hcmut.edu.vn</i>	100%
Lê Đức Lan	2111634	<i>lan.le050203@hcmut.edu.vn</i>	100%
Lê Duy Thúc	2110184	<i>hoang.nguyen16032003@hcmut.edu.vn</i>	100%

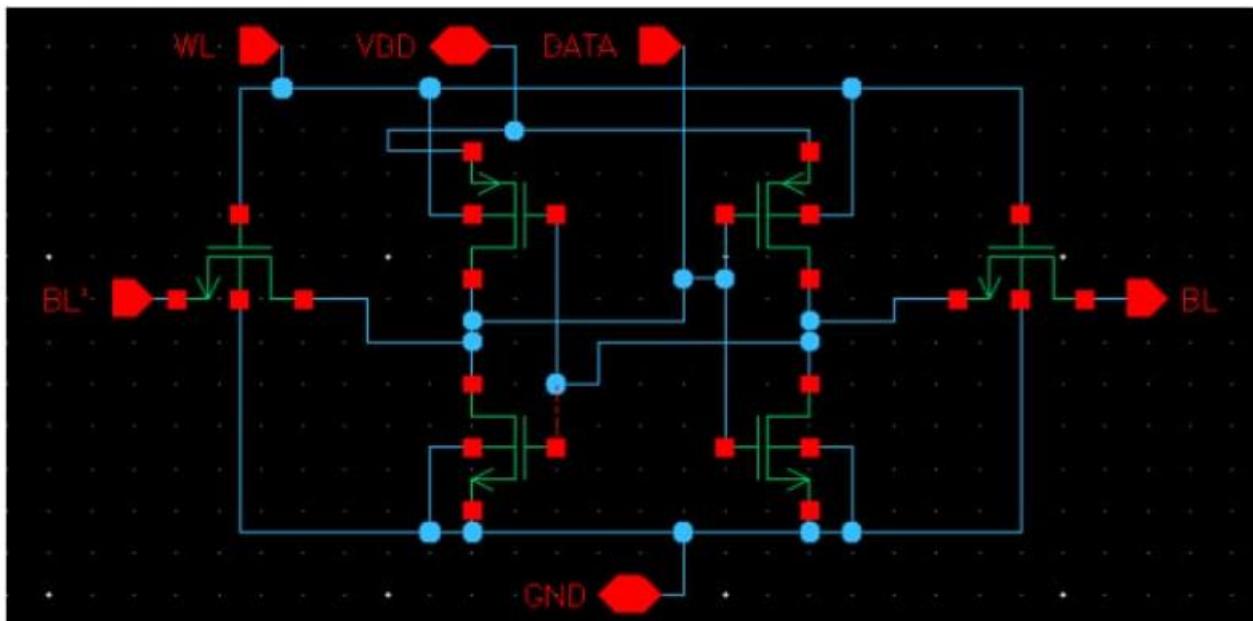
*Ho Chi Minh City, May 2024*

## LABORATORY 5 : INTRODUCTION TO MEMORY CIRCUIT DESIGN

### OBJECTIVES

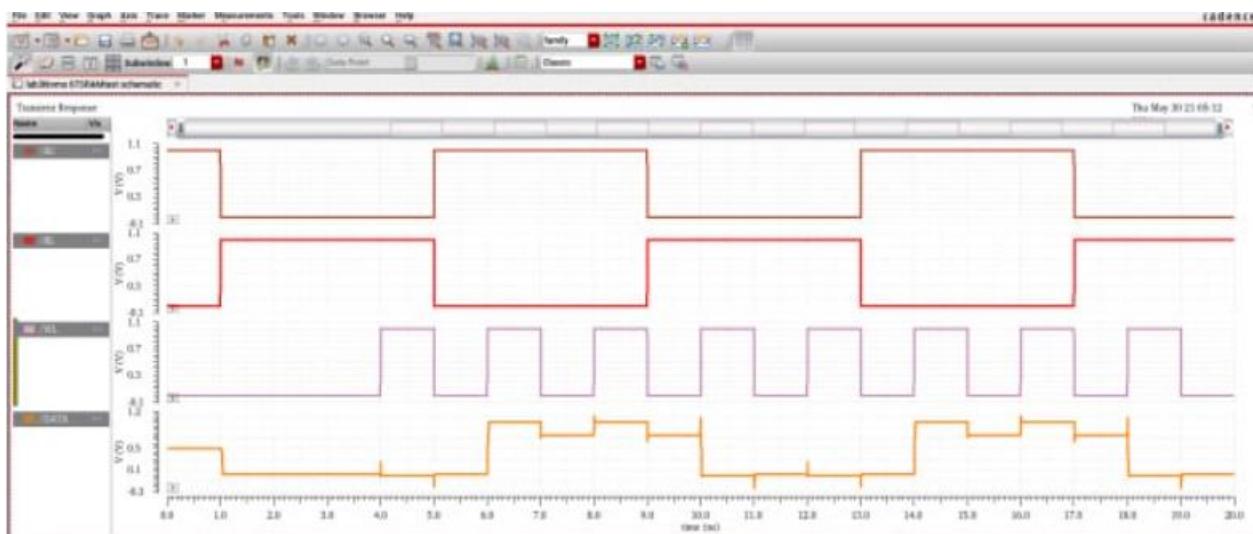
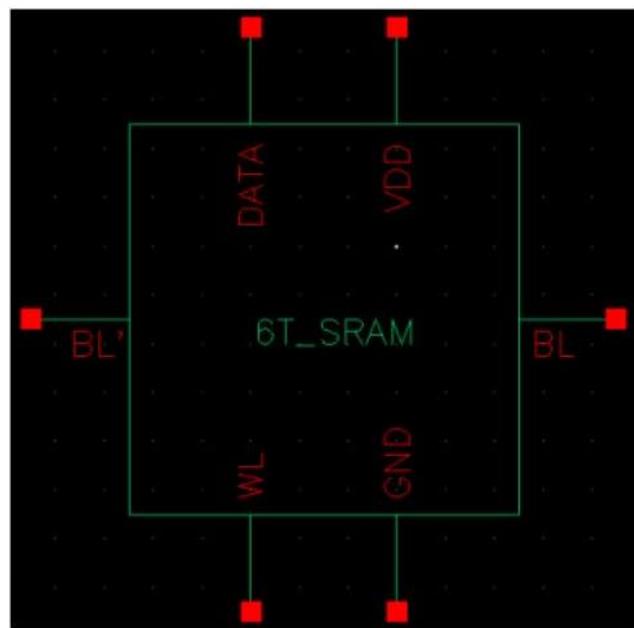
No.	Objectives	Requirements
1	Characterize the operation of SRAM – Static Random Access Memory.	<ul style="list-style-type: none"><li>▪ Simulate Read and Write operations.</li><li>▪ Apply Sense Amplifier to speed up the Read cycle.</li><li>▪ Simulate an array of SRAM sized <math>8 \times 8</math>.</li></ul>
2	Characterize the operation of TCAM – Ternary Content Addressable Memory.	<ul style="list-style-type: none"><li>▪ Simulate Writing and Compare operations.</li><li>▪ Simulate an array of TCAM sized <math>8 \times 8</math>.</li></ul>

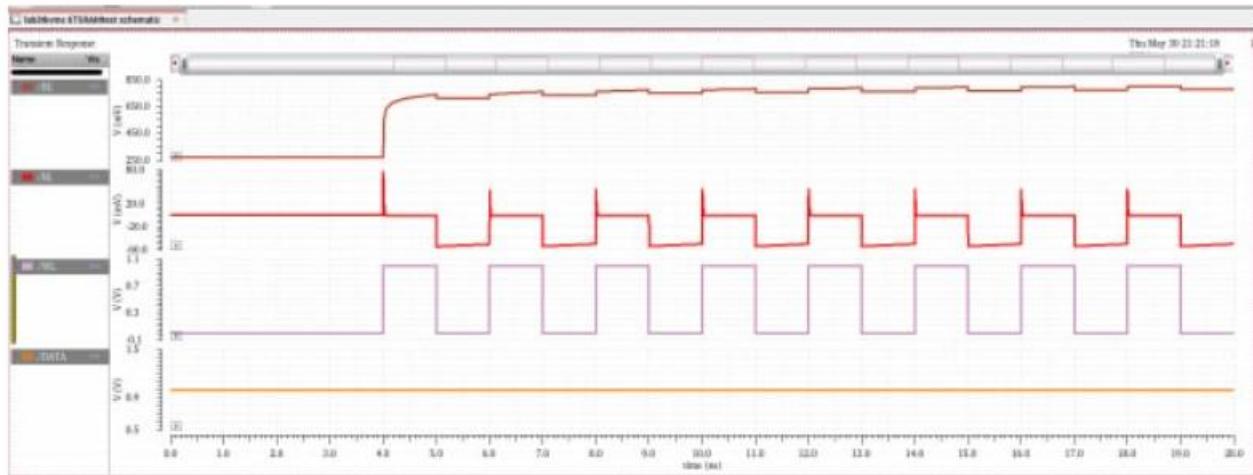
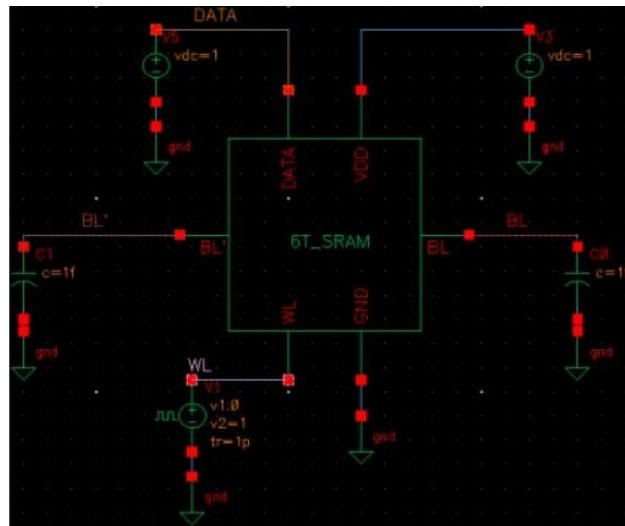
### THÍ NGHIỆM 1 :



*Schematics*

### 5.1.2. Symbol





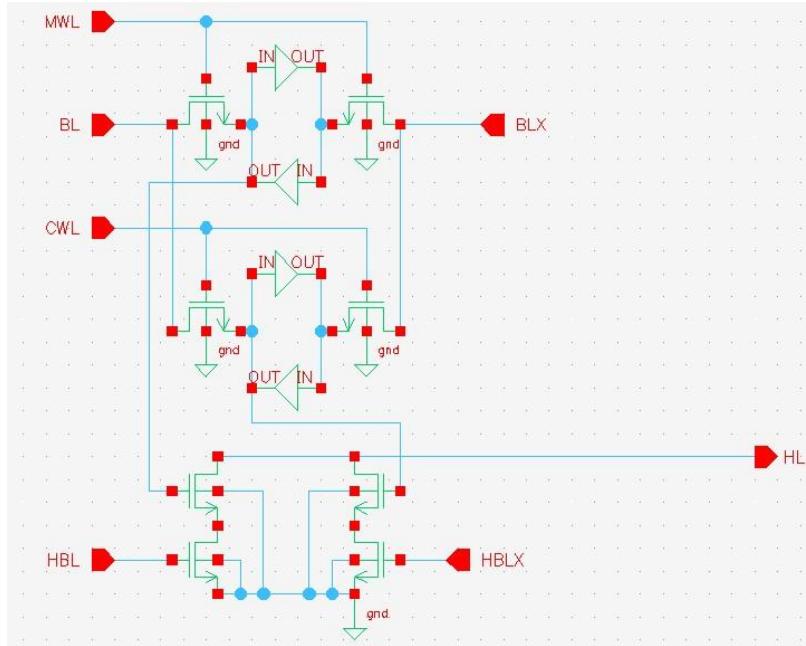
## THÍ NGHIỆM 2 :

**Nội dung chính:** Biết về kiến trúc cụ thể của CAM (Content Addressable Memory).

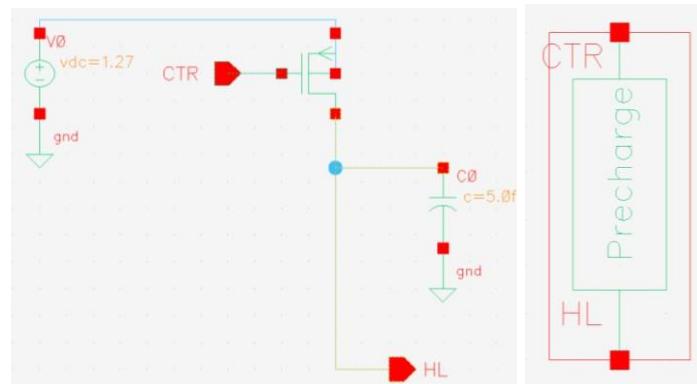
- Mô phỏng chế độ ghi (Writing mode) và chế độ so sánh (Compare mode). Trong chế độ so sánh mô phỏng cả bốn trường hợp MATCH, ALWAYS MATCH, MISS, ALWAYS MISS của TCAM cell

- Mô phỏng một ma trận TCAM 8 x 8 trong chế độ ghi và chế độ so sánh. Mô tả quá trình ghi dữ liệu vào ma trận TCAM và so sánh với một dữ liệu tìm kiếm bất kỳ, giả sử mỗi hàng sử dụng chung một chân HL.

### 1) Mô phỏng chế độ ghi (Writing mode) và chế độ so sánh (Compare mode):



Hình ...: Sơ đồ nguyên lý TCAM cell



Hình ...: Sơ đồ nguyên lý mạch và ký hiệu mạch Precharge

Nguyên lý của TCAM cell hoạt động theo trình tự thời gian:

- Trong chế độ ghi (Writing mode):

**Bước 1:** Chân MWL được nạp mức logic 1 cho phép Mask Cell ghi giá trị từ BL và BLX.

**Bước 2:** Chân MWL được nạp mức logic 0 Mask Cell dừng ghi tín hiệu, CWL được nạp mức logic 1 cho phép Core Cell ghi trị từ BL và BLX cũng là giá trị mà TCAM cell cần lưu trữ.

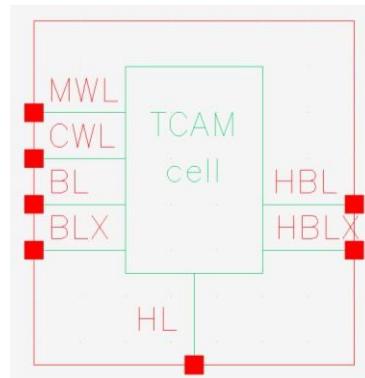
- **Trong chế độ so sánh (Compare mode): Mạch precharge được gán với ngõ ra của TCAM cell.**

**Bước 1:** Chân CTR được nạp mức logic 0, tụ precharge được nạp.

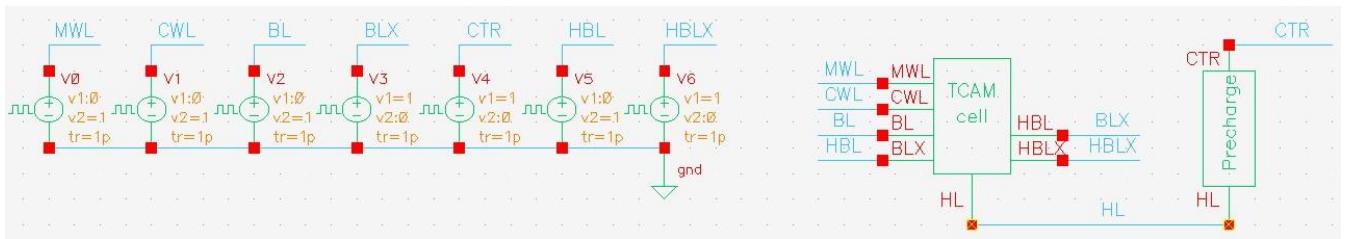
**Bước 2:** Chân CTR được nạp mức logic 1, tụ precharge xả, các chân HBL và HBLX được nạp giá trị để so sánh với tín hiệu được lưu trong TCAM cell. Nếu giá trị của chân HBL trùng với mức tín hiệu được lưu trong Core Cell thì ngõ ra HL ở mức logic 1 (MATCH) ngược lại HL ở mức logic 0 (MISS).

**\*Đặc biệt:** Nếu các giá trị logic được lưu trong Mask Cell và Core Cell đều ở mức 0 thì mạch ở chế độ Always Match với ngõ ra HL luôn bằng 1. Ngược lại nếu các giá trị logic được lưu trong Mask Cell và Core Cell đều ở mức 1 thì mạch ở chế độ Always Miss với ngõ ra HL luôn bằng 0. Hai chế độ trên thường ít được sử dụng.

Để thuận tiện trong việc khảo sát hoạt động của TCAM cell nhóm chúng em tạo ký hiệu và sơ đồ khảo sát như các hình dưới đây.

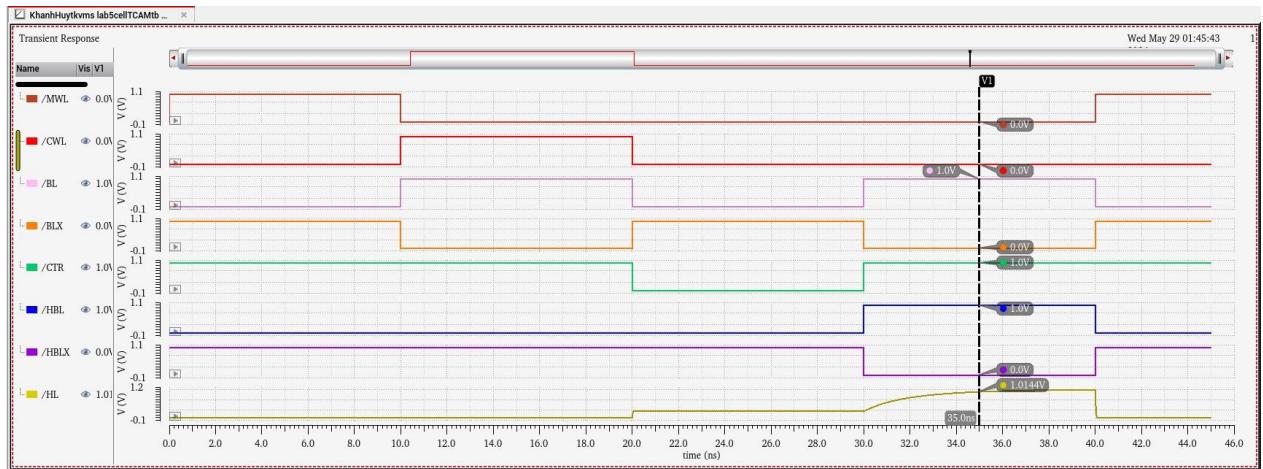


Hình ...: Ký hiệu TCAM cell



Hình ...: Sơ đồ khảo sát TCAM cell

### - Trường hợp MATCH:



Hình ...: Biểu đồ hoạt động TCAM cell ở trường hợp MATCH

Các tín hiệu được thiết lập như sau:

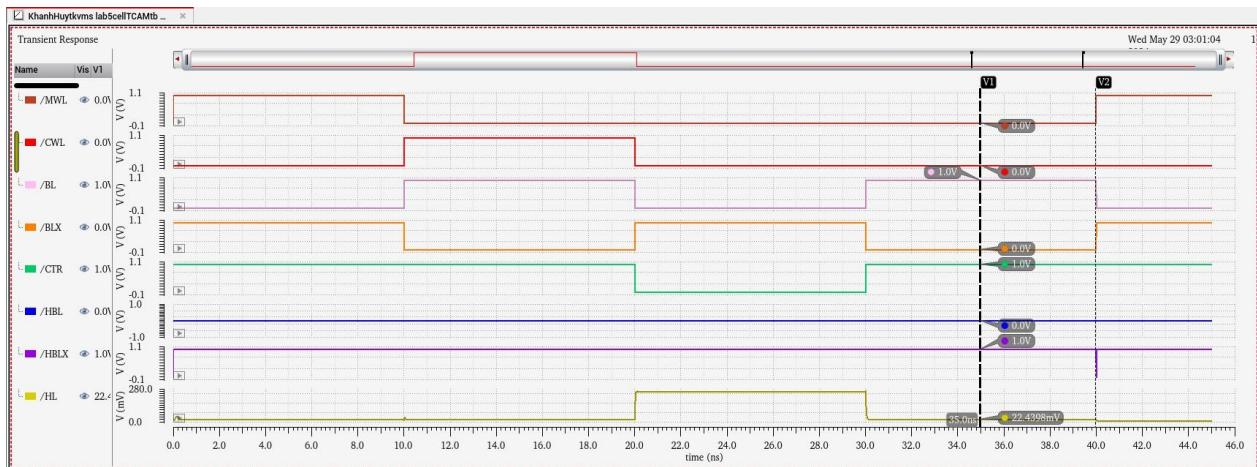
Thời gian /Chân tín hiệu	0.0 – 10.0 ns	10.0 – 20.0 ns	20.0 – 30.0 ns	30.0 – 40.0 ns
MWL (1)	1	0	0	0
CWL (2)	0	1	0	0
BL (3)	0	1	x	x
BLX (4)	1	0	x	x

CTR (5)	1	1	0	1
HBL (6)	x	x	x	1
HBLX (7)	x	x	x	0
<b>HL (kết quả)</b>	<b>x</b>	<b>x</b>	<b>x</b>	<b>1</b>
<b>Chức năng</b>	Mask cell ghi giá trị	Core cell ghi giá trị	Nạp tụ precharge	Xả tụ và so sánh

Bảng ...: Bảng giá trị các chân tín hiệu theo thời gian (trường hợp MATCH)

⇒ Giá trị logic được lưu trong TCAM Cell là 1, giá trị so sánh trong chân HBL là 1 khớp nhau nên kết quả HL ở mức logic 1.

### - Trường hợp MISS:



Hình ...: Biểu đồ hoạt động của TCAM cell ở trường hợp MISS

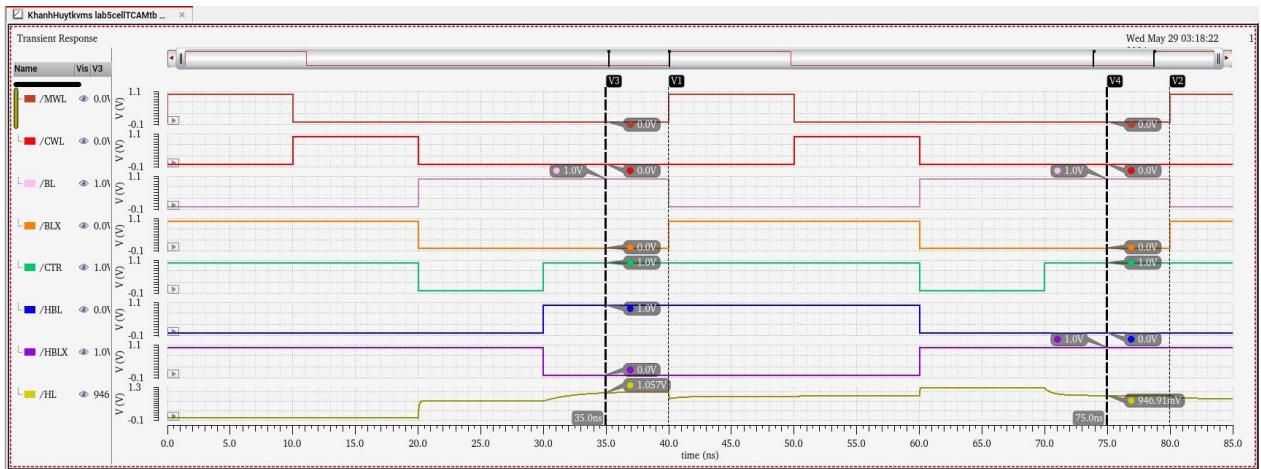
Các tín hiệu được thiết lập như sau:

<b>Thời gian /Chân tín hiệu</b>	0.0 – 10.0 ns	10.0 – 20.0 ns	20.0 – 30.0 ns	30.0 – 40.0 ns
MWL (1)	1	0	0	0
CWL (2)	0	1	0	0
BL (3)	0	1	x	x
BLX (4)	1	0	x	x
CTR (5)	1	1	0	1
HBL (6)	x	x	x	1
HBLX (7)	x	x	x	0
<b>HL (kết quả)</b>	<b>x</b>	<b>x</b>	<b>x</b>	<b>0</b>
<b>Chức năng</b>	Mask cell ghi giá trị	Core cell ghi giá trị	Nạp tụ precharge	Xả tụ và so sánh

Bảng ....: Bảng giá trị các chân tín hiệu theo thời gian (trường hợp MISS)

⇒ Giá trị logic được lưu trữ trong TCAM Cell là 1, giá trị so sánh trong chân HBL ở mức logic 0 nên không khớp nên ngõ ra HL ở mức logic 0 lúc so sánh.

- Trường hợp ALWAYS MATCH:



Hình ...: Biểu đồ hoạt động của TCAM cell ở trường hợp ALWAYS MATCH

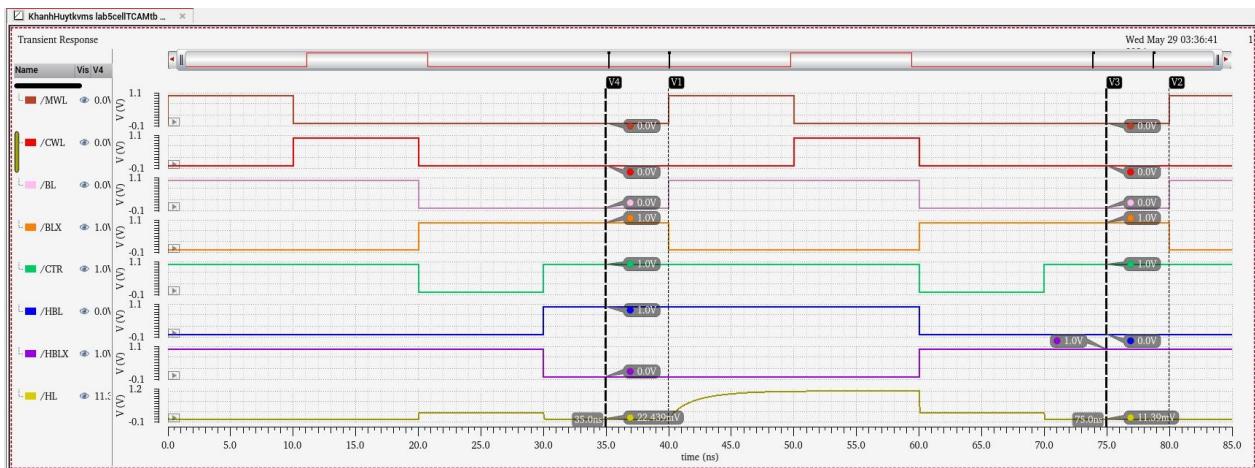
Các tín hiệu được thiết lập như sau:

Thời gian /Chân tín hiệu	0.0 – 10.0 ns	10.0 – 20.0 ns	20.0 – 30.0 ns	30.0 – 40.0 ns
MWL (1)	1	0	0	0
CWL (2)	0	1	0	0
BL (3)	0	0	x	x
BLX (4)	1	1	x	x
CTR (5)	1	1	0	1
HBL (6)	x	x	x	x
HBLX (7)	x	x	x	x
<b>HL (kết quả)</b>	<b>x</b>	<b>x</b>	<b>x</b>	<b>1</b>
<b>Chức năng</b>	Mask cell ghi giá trị	Core cell ghi giá trị	Nạp tụ precharge	Xả tụ và so sánh

Bảng ...: Bảng giá trị các chân tín hiệu theo thời gian (trường hợp ALWAYS MATCH)

- ⇒ Giá trị logic được lưu trữ trong Mask Cell và Core Cell đều là 0 nên ở bất kỳ giá trị HBL và HBLX nào thì HL cũng ở mức tín hiệu 1 lúc so sánh.

### - Trường hợp ALWAYS MISS:



Hình ....: Biểu đồ hoạt động của TCAM cell ở trường hợp ALWAYS MISS

Các tín hiệu được thiết lập như sau:

Thời gian /Chân tín hiệu	0.0 – 10.0 ns	10.0 – 20.0 ns	20.0 – 30.0 ns	30.0 – 40.0 ns
MWL (1)	1	0	0	0
CWL (2)	0	1	0	0
BL (3)	1	1	x	x
BLX (4)	0	0	x	x
CTR (5)	1	1	0	1
HBL (6)	x	x	x	x

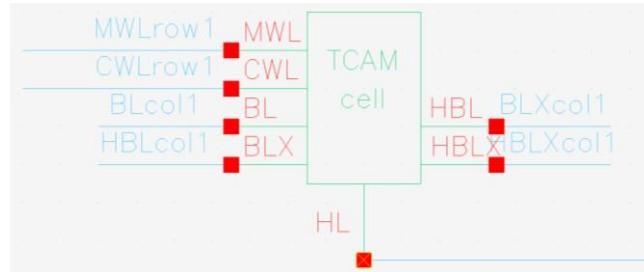
HBLX (7)	x	x	x	x
<b>HL (kết quả)</b>	<b>x</b>	<b>x</b>	<b>x</b>	<b>0</b>
<b>Chức năng</b>	Mask cell ghi giá trị	Core cell ghi giá trị	Nạp tụ precharge	Xả tụ và so sánh

Bảng ...: Bảng giá trị các chân tín hiệu theo thời gian (trường hợp *ALWAYS MATCH*)

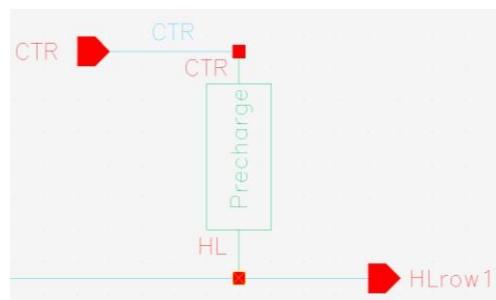
⇒ Giá trị được lưu trữ trong Mask cell và Core cell đều là 1 nên ở bất kỳ giá trị HBL và HBLX nào thì HL cũng ở mức tín hiệu 0 lúc so sánh.

## 2) Mô phỏng ma trận TCAM Array 8 x 8 trong chế độ ghi (Writing mode) và So sánh (Compare mode).

Ma trận TCAM Array 8x8 được tạo thành bằng cách ghép các thành phần sau:



Hình ...: Sơ đồ biểu thị kết nối các chân tín hiệu TCAM Cell

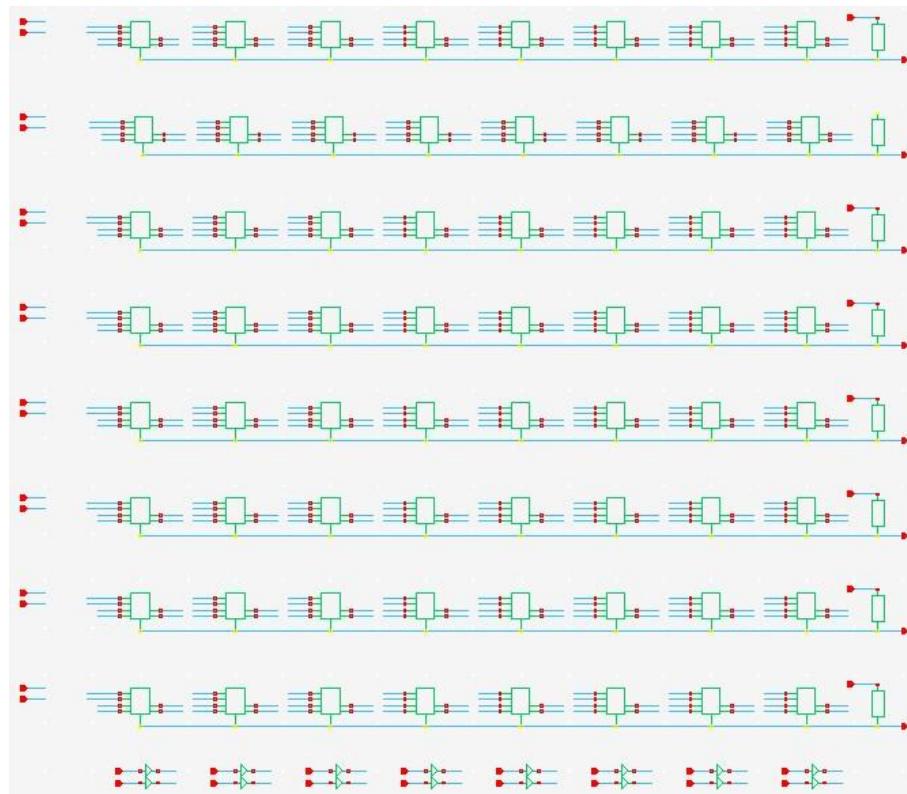


Hình ...: Sơ đồ biểu thị kết nối các chân tín hiệu mạch precharge

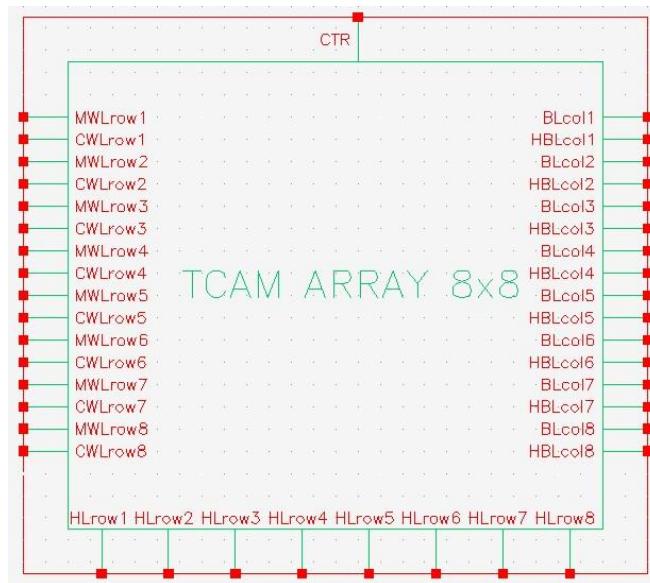


Hình ...: Sơ đồ biểu thị kết nối BL - BLX, HBL - HBLX

Do mức logic của BLX luôn đối nghịch với mức logic của BL và HBLX luôn đối nghịch với mức logic của HBL nên nhóm chúng em kết nối như hình trên để mô phỏng được thuận tiện hơn.

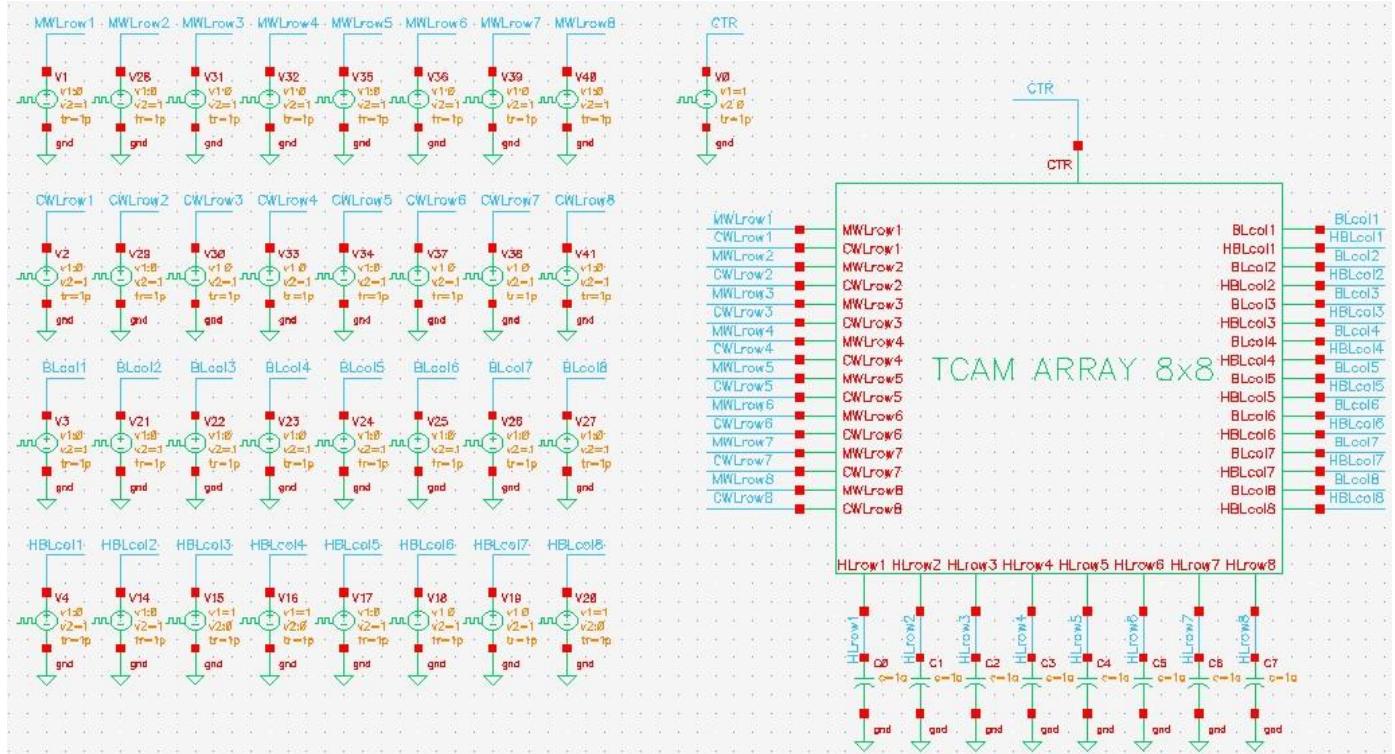


Hình ...: Sơ đồ nguyên lý TCAM Array 8x8



Hình ...: Ký hiệu TCAM Array 8x8

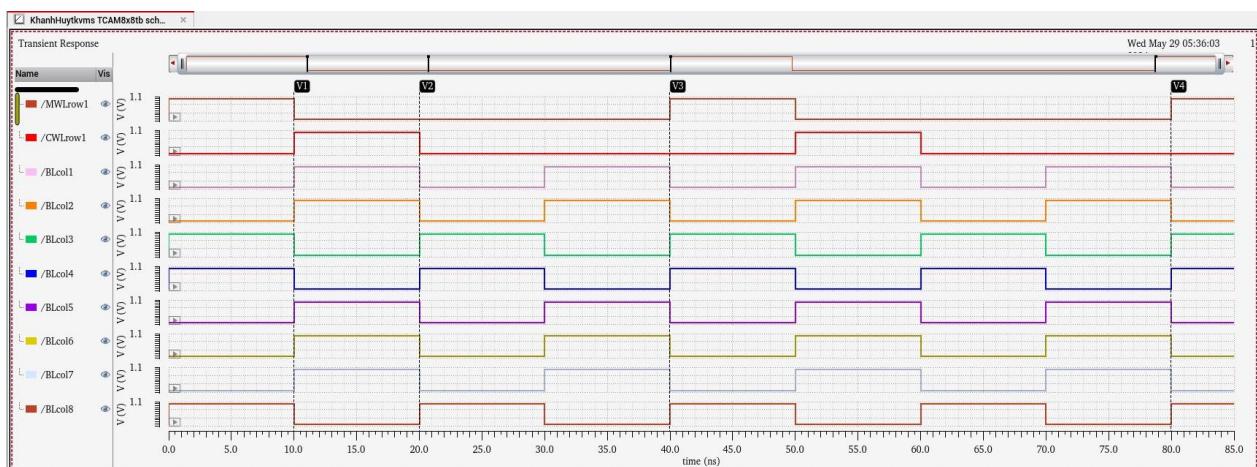
Để thuận tiện trong quá trình khảo sát nhóm mô phỏng sơ đồ khảo sát như hình ảnh dưới đây:



Hình ...: Sơ đồ khảo sát TCAM Array 8x8 \*Hàng

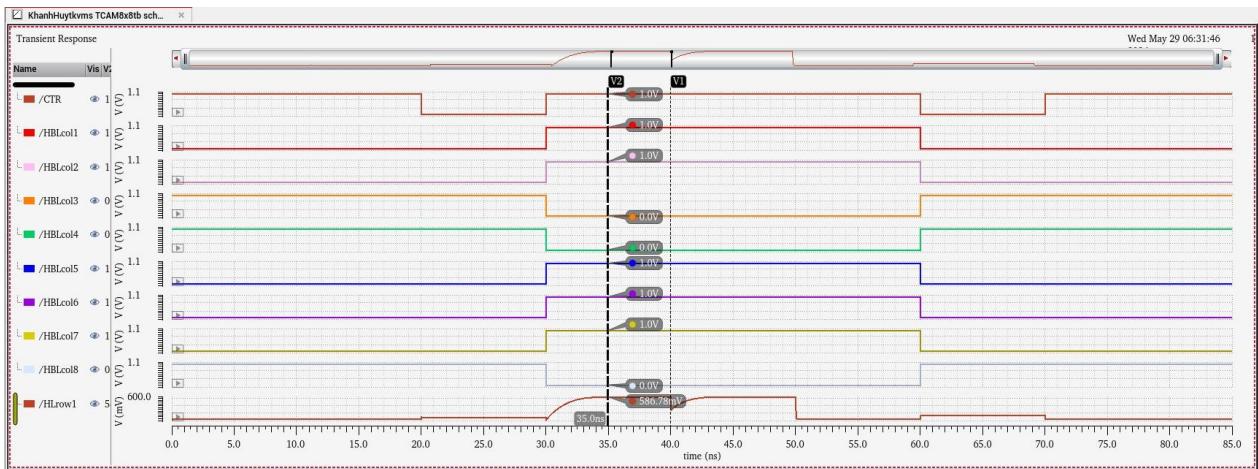
## 1 TCAM Array 8x8:

Trước tiên, nhóm khảo sát hàng 1 của ma trận như sau:



Hình ...: Biểu đồ hoạt động hàng 1 TCAM Array 8x8 ở chế độ ghi (Writting mode)

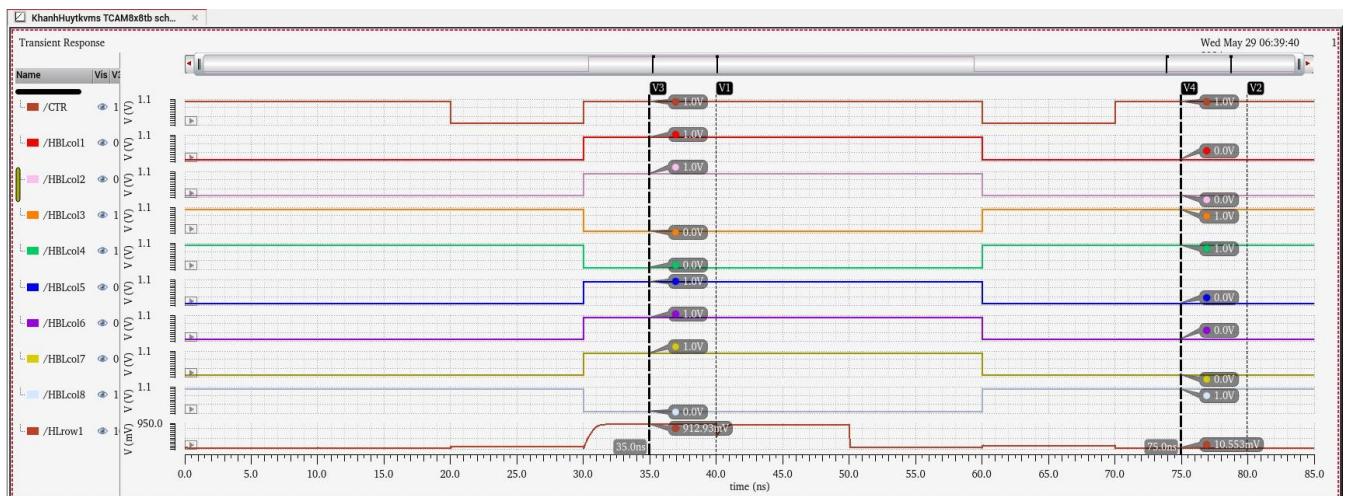
Dữ liệu giả định ghi vào hàng 1 TCAM Array 8x8 (Core Cell) là 11001110 (10.0ns – 20.0ns)



Hình ...: Biểu đồ hoạt động hàng 1 TCAM Array 8x8 ở chế độ so sánh (Compare mode)

Mặc dù đã xuất hiện các mức logic khác nhau, tuy nhiên mức logic 1 của ngõ ra trong biểu đồ hoạt động tương đối thấp (<600mV) để tăng độ chính xác của tín hiệu ngõ ra nhóm chúng em tăng điện áp cung cấp của mạch Precharge từ 1,27V (như sơ đồ nguyên lý precharge ở phần trước) thành 1,4V.

Sau khi thay đổi điện áp cung cấp của mạch nạp kết quả được cải thiện như hình ảnh dưới đây:



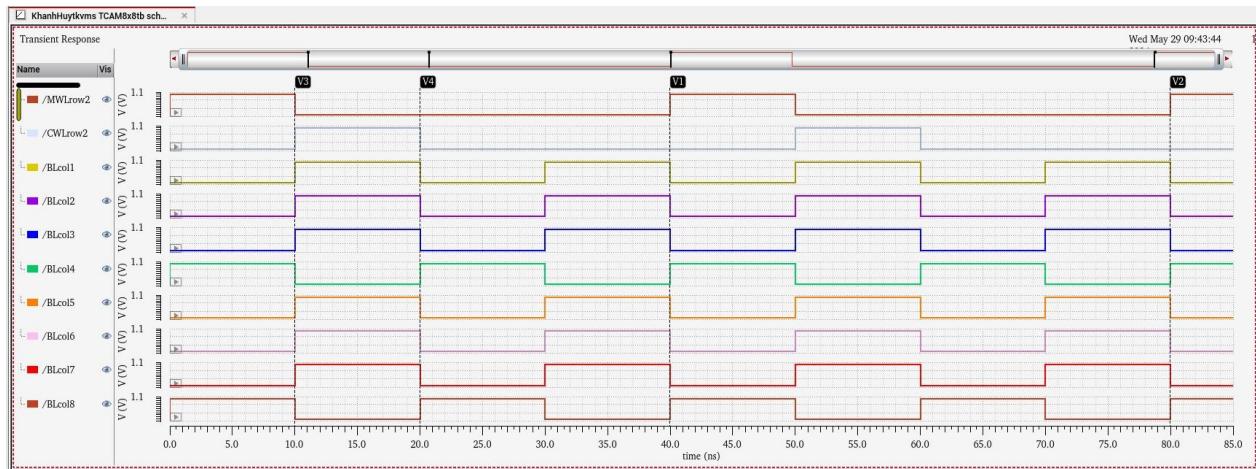
*Hình ...: Biểu đồ hoạt động của TCAM Array 8x8 ở chế độ so sánh có cải thiện điện áp logic*

Dữ liệu so sánh bao gồm hai trường hợp:

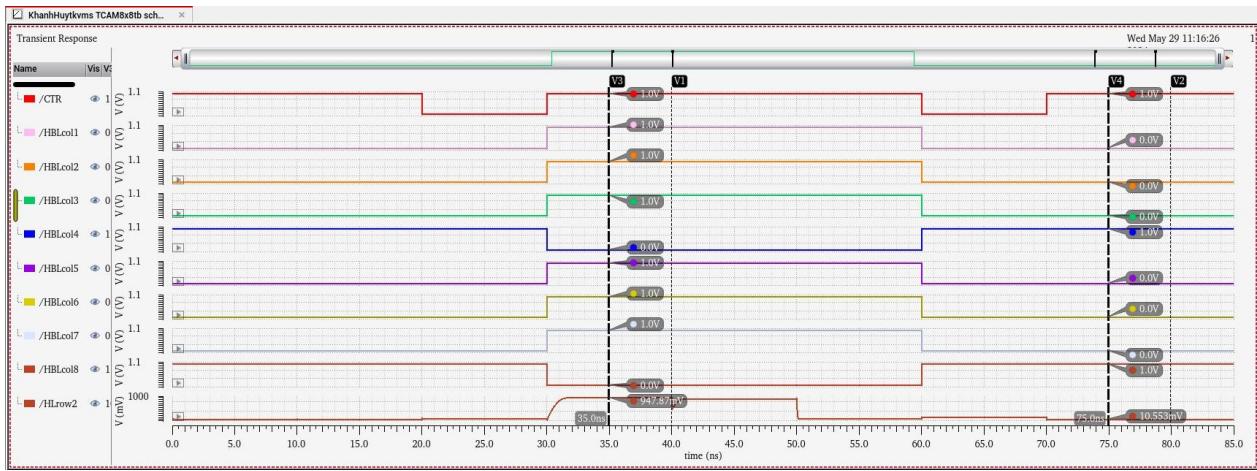
- Từ 30ns – 40ns dữ liệu so sánh là 11001110 giống với dữ liệu được lưu trữ nên logic ngõ ra HWrow1 là 1.
- Từ 70ns – 80ns dữ liệu so sánh là 00110001 khác với dữ liệu được lưu trữ nên logic ngõ ra HWrow1 là 0.

Ở các hàng TCAM Cell còn lại có nguyên lý tương tự, nhóm chúng em mô phỏng kiểm tra hoạt động như các hình dưới đây.

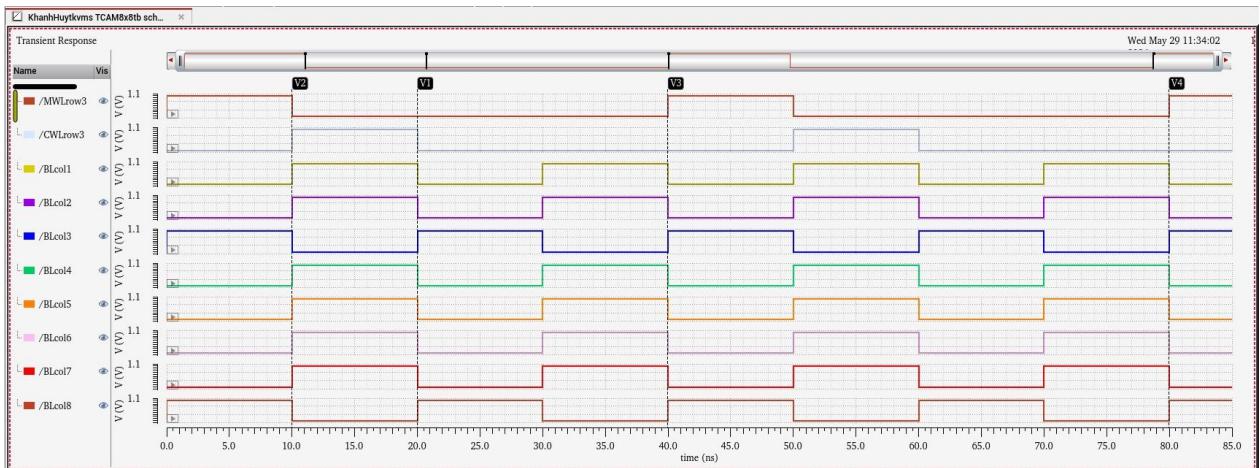
### \*Hàng 2 TCAM Array 8x8



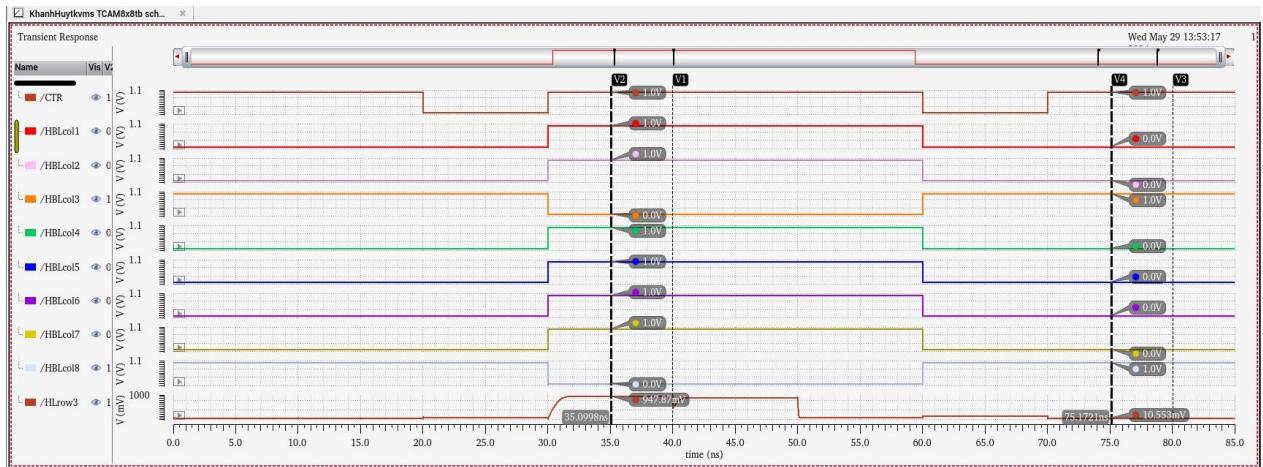
*Hình ...: Biểu đồ hoạt động hàng 2 TCAM Array 8x8 ở chế độ ghi (Writting mode) Dữ liệu giả định ghi vào hàng 2 TCAM Array 8x8 (Core Cell) là 11101110.*



Hình ...: Biểu đồ hoạt động hàng 2 TCAM Array 8x8 ở chế độ so sánh (Compare mode) Dữ liệu giả định so sánh từ 30ns – 40ns là 11101110 nên HLrow2 có mức logic là 1.  
Dữ liệu giả định so sánh từ 70ns – 80ns là 00010001 nên HLrow2 có mức logic là 0. \***Hàng 3 TCAM Array 8x8**

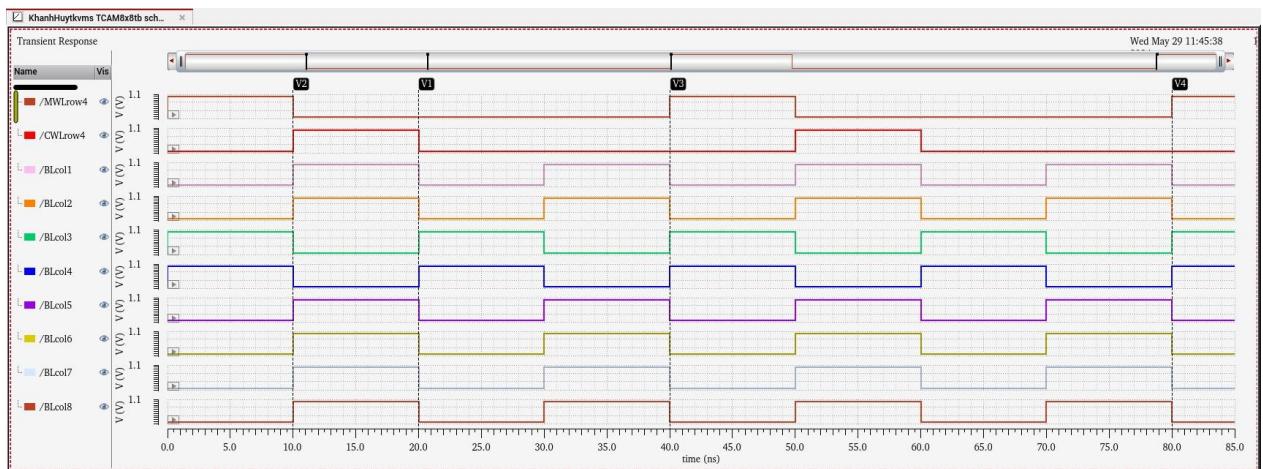


Hình ...: Biểu đồ hoạt động hàng 3 TCAM Array 8x8 chế độ ghi (Writing mode) Dữ liệu giả định ghi vào hàng 3 TCAM Array 8x8 (Core Cell) là 11011110.

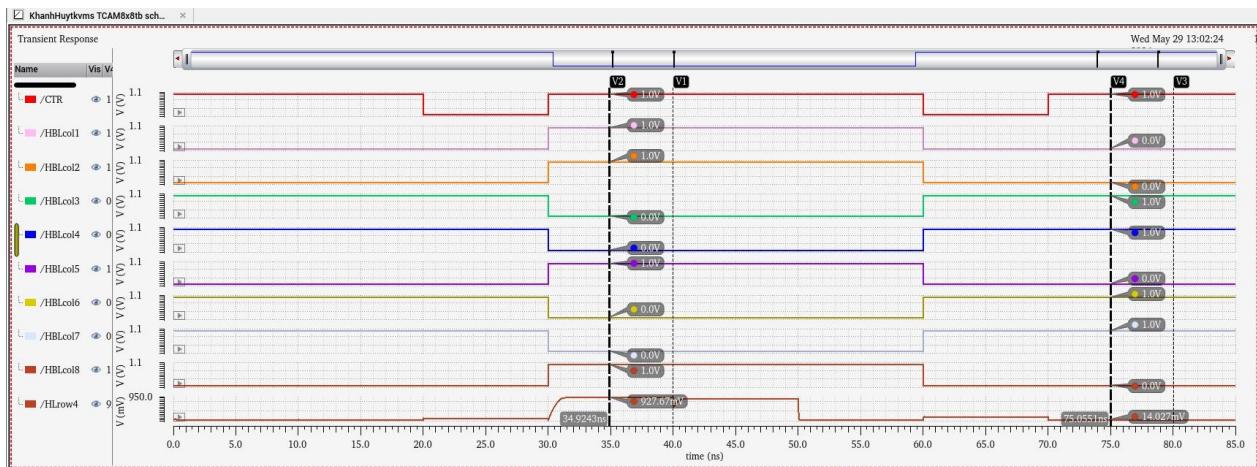


Dữ liệu giả định so sánh từ 30ns – 40ns là 11011110 nên HLrow3 có mức logic là 1. Dữ liệu giả định so sánh từ 70ns – 80ns là 00100001 nên HLrow3 có mức logic là 0.

#### \*Hàng 4 TCAM Array 8x8

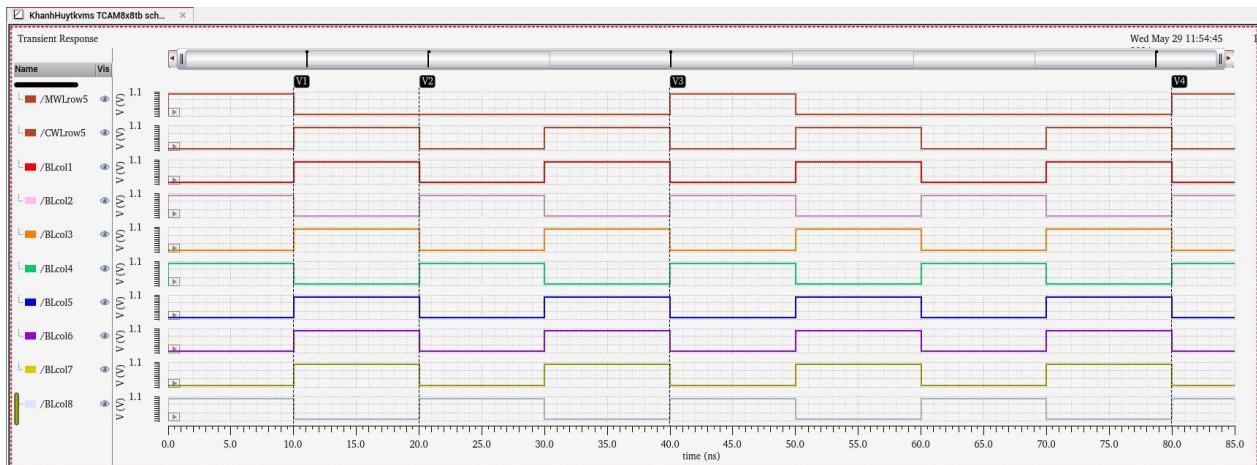


Dữ liệu giả định ghi vào hàng 4 TCAM Array 8x8 (Core Cell) là 11001111.

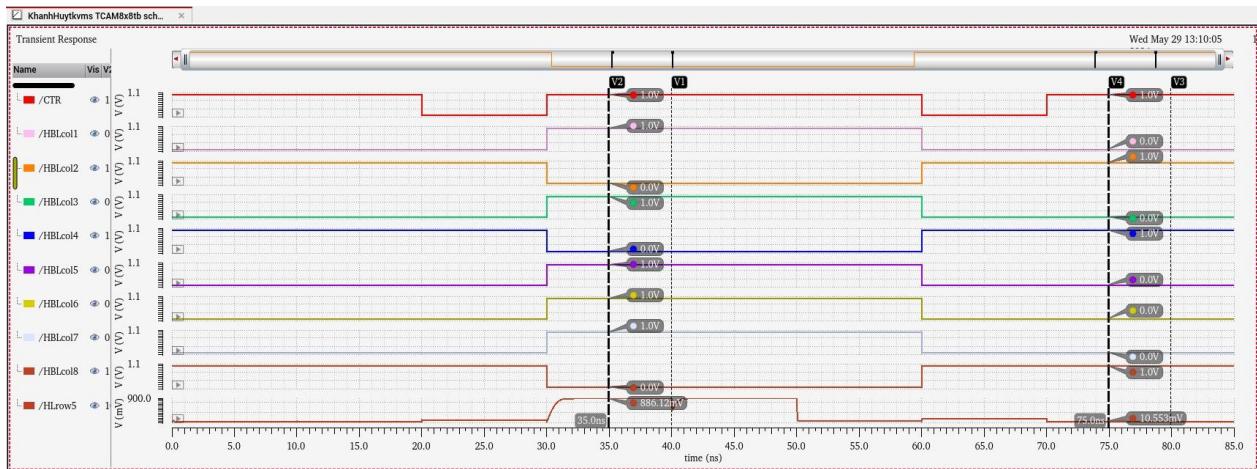


Dữ liệu giả định so sánh từ 30ns – 40ns là 11001111 nên HLrow4 có mức logic là 1. Dữ liệu giả định so sánh từ 70ns – 80ns là 00110000 nên HLrow4 có mức logic là 0.

## \*Hàng 5 TCAM Array 8x8

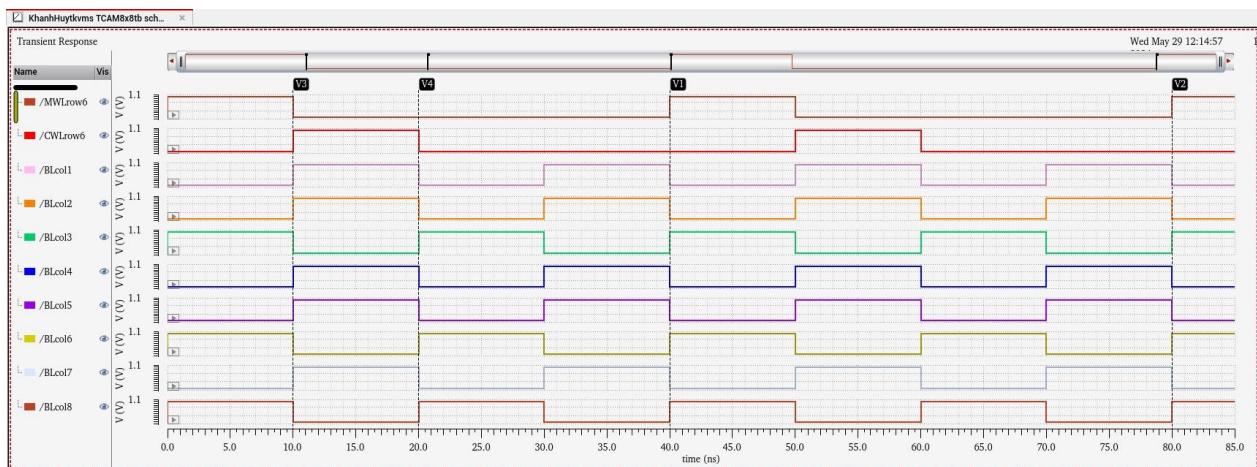


Dữ liệu giả định ghi vào hàng 5 TCAM Array 8x8 (Core Cell) là 10101110.

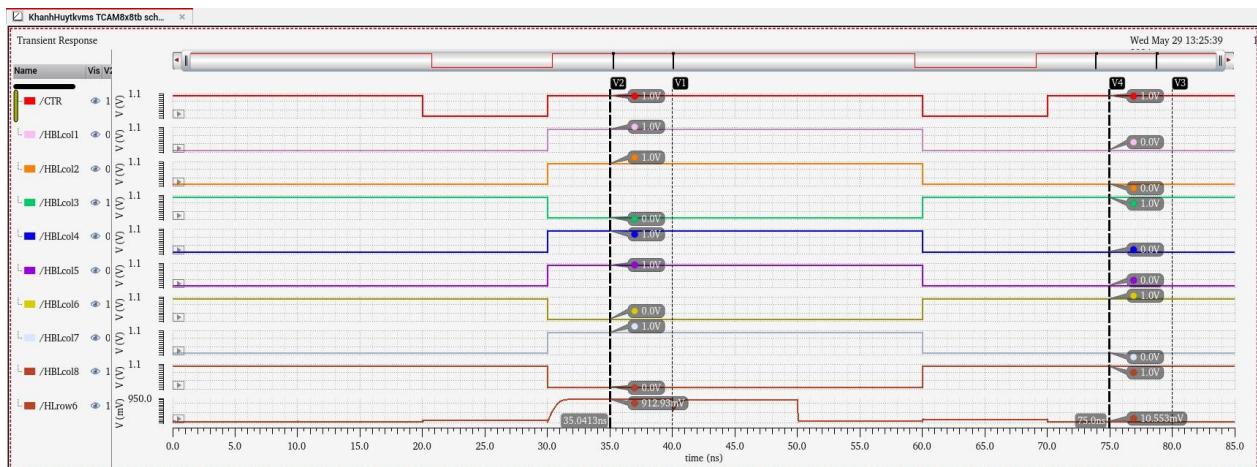


Dữ liệu giả định so sánh từ 30ns – 40ns là 10101110 nên HLrow5 có mức logic là 1. Dữ liệu giả định so sánh từ 70ns – 80ns là 01010001 nên HLrow5 có mức logic là 0.

## \*Hàng 6 TCAM Array 8x8

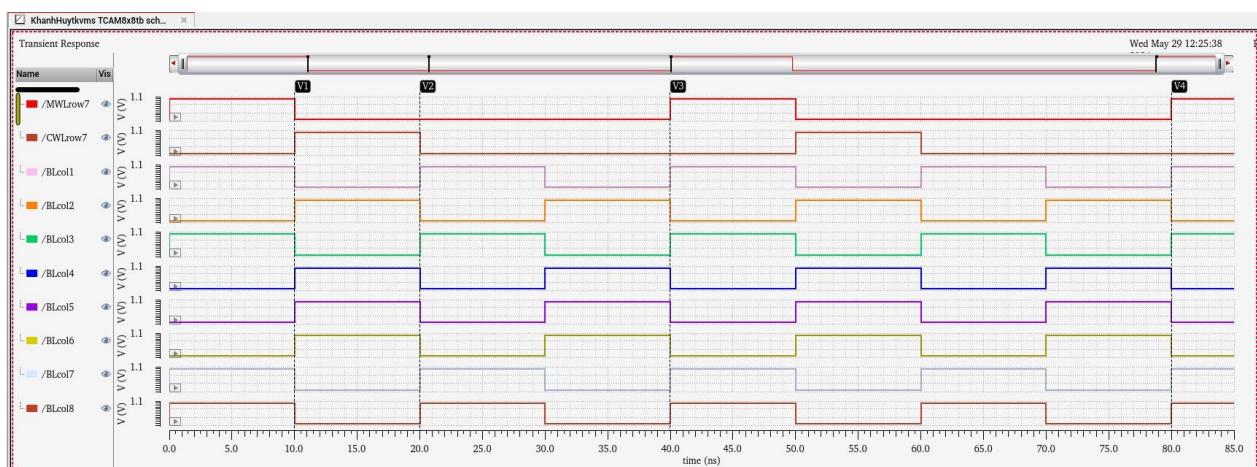


Dữ liệu giả định ghi vào hàng 6 TCAM Array 8x8 (Core Cell) là 11011010.

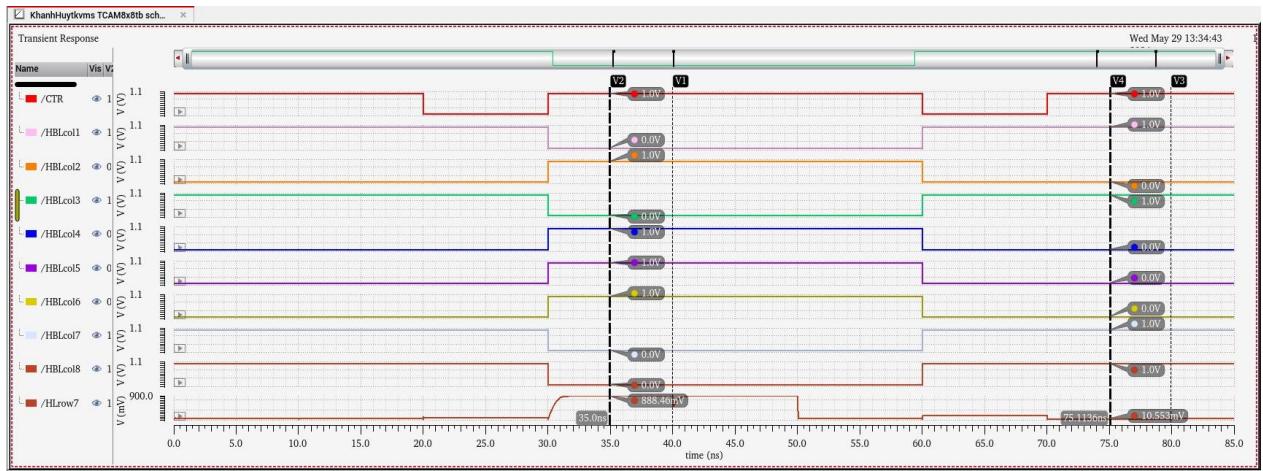


Dữ liệu giả định so sánh từ 30ns – 40ns là 11011010 nên HLrow6 có mức logic là 1.

Dữ liệu giả định so sánh từ 70ns – 80ns là 00100101 nên HLrow6 có mức logic là 0. **\*Hàng 7 TCAM Array 8x8**

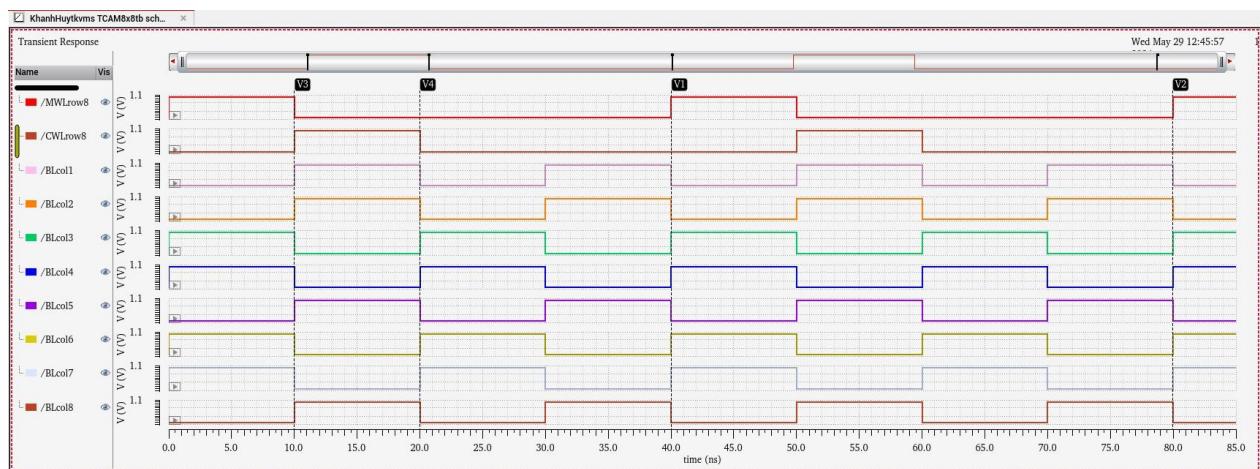


Dữ liệu giả định ghi vào hàng 7 TCAM Array 8x8 (Core Cell) là 01011100.

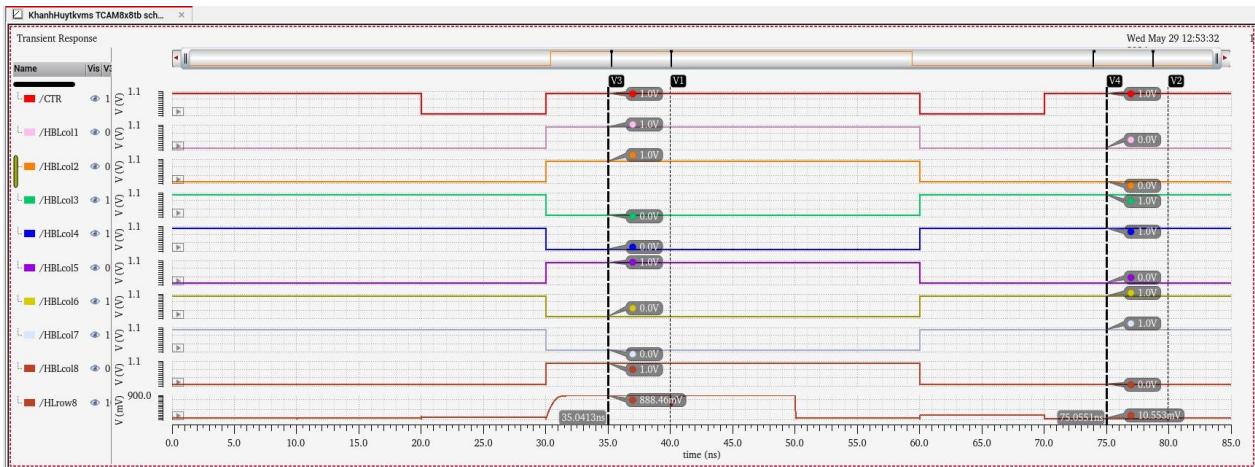


Dữ liệu giả định so sánh từ 30ns – 40ns là 01011100 nên HLrow7 có mức logic là 1.

Dữ liệu giả định so sánh từ 70ns – 80ns là 10100011 nên HLrow7 có mức logic là 0. **\*Hàng 8 TCAM Array 8x8**



Dữ liệu giả định ghi vào hàng 8 TCAM Array 8x8 (Core Cell) là 11001001.



Dữ liệu giả định so sánh từ 30ns – 40ns là 11001001 nên HLrow8 có mức logic là 1. Dữ liệu giả định so sánh từ 70ns – 80ns là 00110110 nên HLrow8 có mức logic là 0.

⇒ Các hàng của TCAM Arrage 8x8 hoạt động đúng với chế độ ghi và so sánh đã nêu.