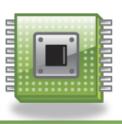


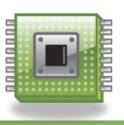
群組期末專題



分組

最少2人,最多3人

- 選出隊長
- 以組為單位
 - 往後的課堂討論
 - 專題實作
 - 專題進度報告
 - 專題期末報告



專題主題

- 實作一16 bit* 16 bit之有號整數(signed)乘 法器,並使用邏輯合成軟體搭配0.13um製程 完成合成後驗證
- 評分依據:
 - 合成前後功能正確性 (不同數值之正負號數) 我們會提供open test cases及hidden test cases
 - 合成後電路面積*完成乘法運算時間,乘積愈小愈 高分
 - 取各組乘積數值平均當作評分基準



關鍵因素

■ 選用乘法器之演算法及電路架構

乘法器內所用之加法器演算法及電路架構

■ 乘法器如何整合相同或不同之加法器

Verilog coding style



其他有助於縮小電路面積與運算時間的做法

■ 管線化設計 (pipeline)

■硬體共用

■ 設定邏輯合成軟體constraints



值得參考之乘法器種類

- Array multiplier
- Sequential Add-shift Multiplier
- Booth multiplier
 (http://140.134.131.145/upload/paper_uni/952pd f/VHDL%E5%AF%A6%E4%BD%9C%E4%B9%988
 8%E6%B3%95%E5%99%A8%E6%9E%B6%E6%A7%8B%E4%B9%8B%E7%A0%94%E7%A9%B
- 其他,例如Tree multiplier (http://cocdig.com/docs/show-post-43191.html or google)

6%E8%88%87%E6%AF%94%E8%BC%83.pdf)



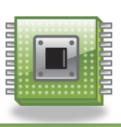
時程規劃

■ 5/23 (三): 確認分組名單及各組隊長

■ 6/6 (三): 設計構想 presentation

■ 6/20 (三): 期中進度presentation

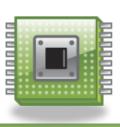
 7/2 (一)9AM: 繳交書面報告及設計相關 檔案(合成前後verilog code, testbench, 以及合成後 timing檔案)



設計構想 presentation

- 第一頁: 團隊名稱與成員(請列出組長名字)
- 第二頁: 作品規格 (預計電路面積、乘法運算時間)
- 第三頁: 作品實現方法 (預計採用之乘法器演算法)
- 第四頁: 作品系統架構 (預計採用之乘法器電路及其包含之加法器電路架構)
- 第五頁: 作品已知與待學習之議題
- 第六頁: 作品待完成之工作項目與組員分工
- 第七頁: 作品工作時程 (建議以甘特圖形式表示)
- 第八頁: 作品可能遭遇之問題與預計解決方法

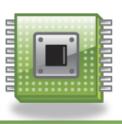
每組最多報告8分鐘,請特別注意控制報告時間。



期中進度presentation

- 第一頁: 團隊名稱與成員(請列出組長名字)
- 第二頁: 作品規格 (預計電路面積、乘法運算時間)
- 第三頁: 作品實現方法 (預計採用之乘法器演算法)
- 第四頁: 作品系統架構 (預計採用之乘法器電路及其包含之加法器電路架構)
- 第五頁: 作品已知與待學習之議題
- 第六~八頁: 作品進度(已完成與待完成之工作項目,重點項目) 與組員分工
- 第九頁: 作品工作時程 (建議以甘特圖形式表示)
- 第十頁: 作品遭遇之問題與預計解決方法

每組最多報告8分鐘,請特別注意控制報告時間。



書面報告內容

- 組長及組員姓名
- 分工情況與貢獻百分比(報告封面上需有每位 組員簽名確認報告內容與貢獻百分比皆正確)
- 實現之乘法器演算法與架構說明
- 驗證流程說明
- 邏輯合成與驗證結果與說明
 - 電路面積 (附圖證明)
 - 完成乘法運算時間 (附圖證明)
 - 電路面積*完成乘法運算時間
- 心得與討論 (每位組員各需交一份)