

# 實用數位系統設計—HW3

學號：B035020026

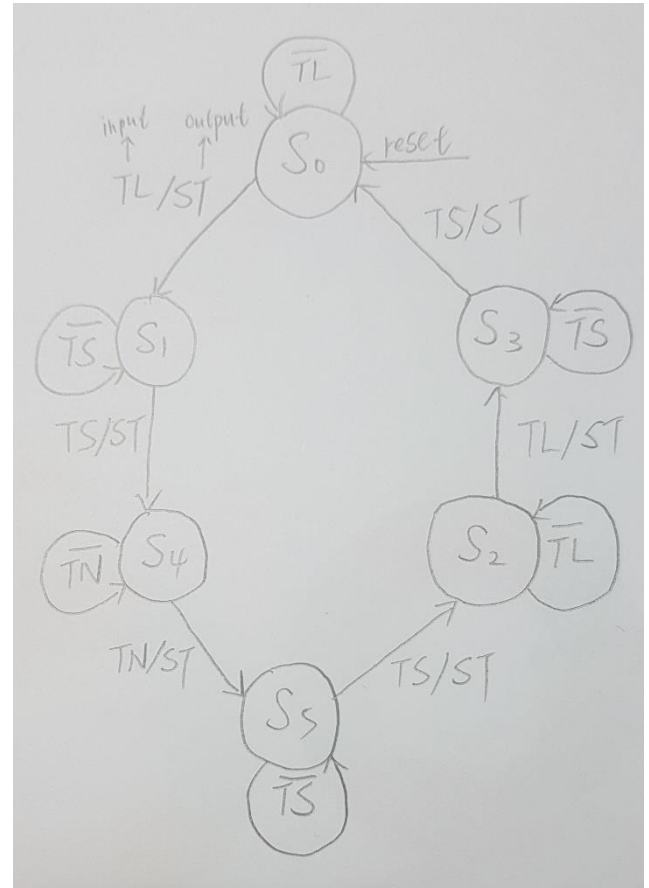
姓名：李冠霖

設計原理：

此紅綠燈設計沿用講義中的 S0~S4 狀態，考慮到主幹道在多線道的狀況下，左轉車輛幾乎沒辦法直接行進，因此修改了 S0 的狀態為僅直行和右轉，而在 S1 後接著轉換到 S4(紅燈但可左轉，此時農路仍然為紅燈)，之後進入黃燈狀態(S5)後才轉為農路綠燈(S2)。並新增了新的秒數間格(共有 Long=7，Normal=5，Short=3)。

簡表如下：

狀態	幹道燈號	農路燈號	秒數(週期)
S0	直行+ 右轉綠燈	紅燈	Long
S1	黃燈	紅燈	Short
S2	紅燈	綠燈	Long
S3	紅燈	黃燈	Short
S4	紅燈+ 左轉綠燈	紅燈	Normal
S5	紅燈+黃燈	紅燈	Short



I/O specification:

Input: clock(clk), reset(reset)

Output: 各種燈號(HGS, HGL, HGR, HY, HR, FG, FY, FR)

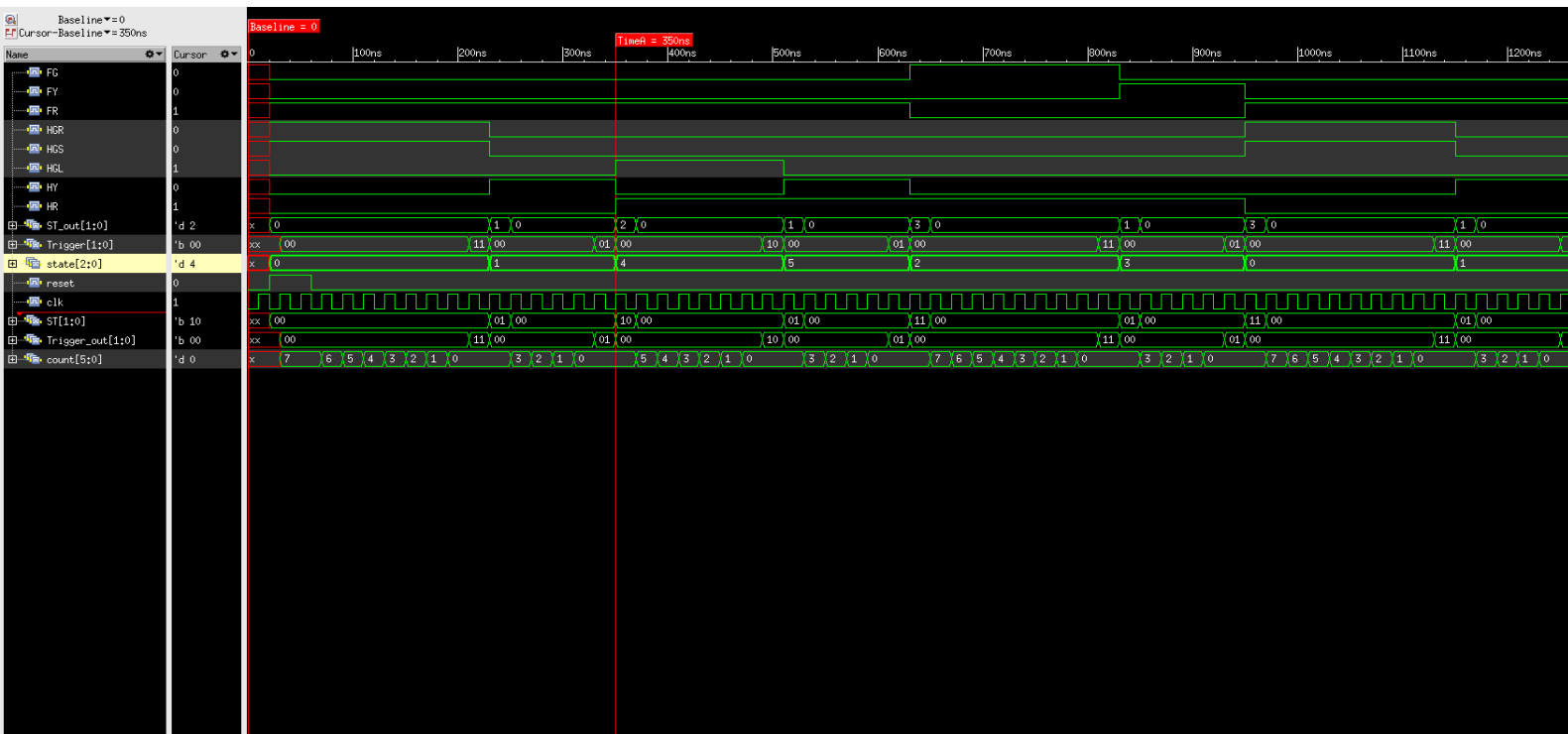
HGS=幹道直行綠燈	FG=農路綠燈
HGL=幹道左轉綠燈	FY=農路黃燈
HGR=幹道右轉綠燈	FR=農路紅燈
HY=幹道黃燈	
HR=幹道紅燈	

Synthesis procedure:

- 加入 remove\_unconnected\_ports -blast\_buses [get\_cells \* -hier] 指令，可以移除空的接腳位，為了避免錯誤而加入此指令，若沒使用到則不會改變設計結果。
- 加入 change\_names -rules verilog -hierarchy 指令，解決 Verilog 'assign' or 'tran' statements are written out. (VO-4)問題
- clock 設定對應到 clk，period=20 (rising=10, falling=20)，並勾選 don't touch network 和 fix hold
- 產生 sdf 的部分使用 write\_sdf -version 1.0 -context verilog XX.sdf 指令，在 2.1 版本的狀況會有 **warning 導致 annotation 失敗**。
- 將製程和 sdf 檔案引入 testbench 中

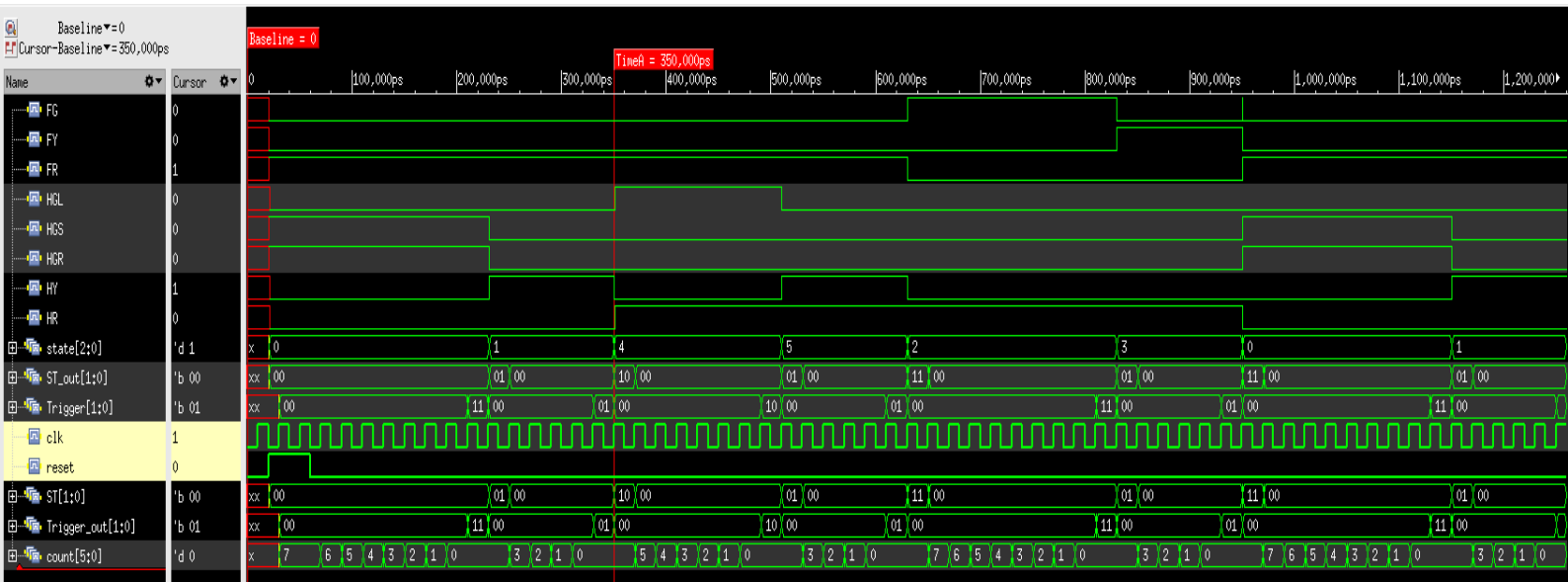
## 結果分析：

### 合成前



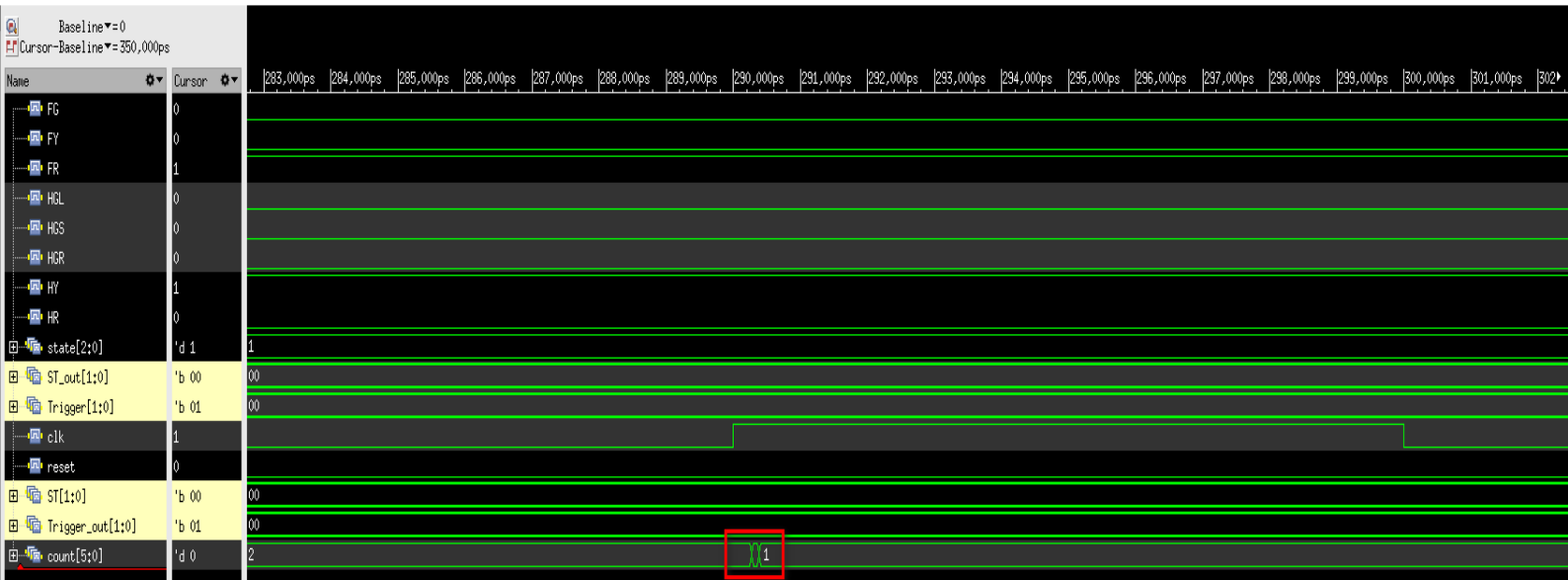
output 燈號的輸出可參考前頁的簡表，皆正確顯示，狀態(state)的轉移也正確，ST\_out 和 Trigger 分別對應到 ST 和 Trigger\_out，用來作為 Controller 跟 Counter 溝通的介面，reset 後兩邊狀態都為 S0，並同時初始化 counter 開始倒數。從波型圖中可以看出，counter 會先送出 trigger 後，controller 變換 state 後才回送 ST 訊號，當 counter 到達 0 時送出 Trigger 訊號告訴 controller 要進入下個 state，controller 轉移 state 後送出 ST(start timer)訊號告訴 counter 要設定新的數值，ST 訊號包含三種內容(TL, TN, TS)，讓 timer 設定秒數。在倒數期間，controller 持續送出 ST=0，counter 持續送出 trigger=0。另外 count=0 後會自動停止，直到收到新的 ST(不為 0)訊號後才會重新設定並開始倒數。

合成後：



合成後大致上與合成前無異，同時也驗證了輸出的正確性，而在狀態轉換以及 count 倒數可以發現有細小的延遲，證明已經成功加入製程，產生了 delay。

放到後可以觀察到明顯的間隔。



```

Number of ports:                30
Number of nets:                 101
Number of cells:                75
Number of combinational cells:  53
Number of sequential cells:     20
Number of macros/black boxes:   0
Number of buf/inv:              12
Number of references:            2

Combinational area:             342.874797
Buf/Inv area:                   40.737599
Noncombinational area:          538.075802
Macro/Black Box area:           0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                 880.950599
Total area:                     undefined

```

此次合成採用 .13nm 的製程，因此 gate count 為

$$\frac{880.95 \text{ } \mu\text{m} \times \mu\text{m}}{5 \text{ } \mu\text{m} \times \mu\text{m}} \approx 177 \text{ gates}$$



Critical Path 如上圖 (詳見檔案 Critical\_Path.png)，

$$\text{delay} = 5(\text{REG: clk} \rightarrow \text{Q}) + 3 + 3 + 4 + 3 + 1 + 5 + 5(\text{REG: D} \rightarrow \text{Q}) = 29\Delta$$

```

Operating Conditions: slow    Library: slow
Wire Load Model Mode: top

```

```

Global Operating Voltage = 1.08
Power-specific unit information :
  Voltage Units = 1V
  Capacitance Units = 1.0000000pf
  Time Units = 1ns
  Dynamic Power Units = 1mW      (derived from V,C,T units)
  Leakage Power Units = 1pW

```

```

Cell Internal Power   = 15.4419 uW    (97%)
Net Switching Power  = 422.9491 nW    (3%)
-----
Total Dynamic Power   = 15.8648 uW    (100%)
Cell Leakage Power    = 673.2729 nW

```

Dynamic Power = 15.8648 uW

Static Power = 673.2729 nW

## 心得討論：

這次是第一次嘗試撰寫兩個 module 互相溝通的電路，起初想到的方法是利用 testbench 作為溝通媒介，確實在合成前完美的實現了功能，但是後來想一想發現 testbench 並不會作為合成電路，因此新增了一個 module 把兩個要溝通的 module 包起來，然後使用 wire 連接要溝通的 port。同時這也是第一次設計需要使用 clock 的電路，設計過程中一直遇到波形跟預期的結果不同的狀況，比較要注意的是 always 最好不要寫太多個，盡量使用 clock 作為觸發條件，沒使用到 clock 的部分就會變成 combination 電路，還有 reg 不可以用 assign 不然會出問題，要注意的是”=”和”<=”不可以對同一個變數混用。