

實用數位系統設計—HW1-2

學號：B035020026

姓名：李冠霖

設計原理(合成步驟說明)：

- Gate Level 設計部分：

- 加入 `current_design HW1_1` 指令，讓合成器正確的選擇 Top module。
- 加入 `set_fix_multiple_port_nets -all -buffer_constants` 指令，可以加入 buffer，**避免輸出直接接入輸入**導致合成器辨識產生錯誤。不過本次設計並沒有使用到此狀況，因此加入後和原始設計相同(不影響結果)。
- 加入 `remove_unconnected_ports -blast_buses [get_cells * -hier]` 指令，可以**移除空的接腳位**，為了避免錯誤而加入此指令，若沒使用到則不會改變設計結果。
- 產生 sdf 的部分使用 `write_sdf -version 1.0 -context verilog XX.sdf` 指令，在 **2.1 版本的狀況會有 warning 導致 annotation 失敗**。
- 之後將製程引入 testbench 中。
- 在產生的 syn.v 檔案中加入 timescale 與 testbench 一致(原本生成的檔案沒有)。
- 修改 sdf 中的 DESIGN 為 xxx_syn (原始生成為 xxx)
修改 sdf 中的 CELLTYPE 為 xxx_syn (原始生成為 xxx)
為了讓原始的設計(合成前=xxx)和合成後的設計(xxx_syn)同時出現在同一個 testbench 中，以便比較。

```
`include /data/software/PROCESS/CBDK_IC_Contest_v2.1/Verilog/tsmc13.v"
```

- RTL 設計部分：

- 因為 RTL 只有一個 module，因此不需要選擇 Top module
- 加入 buf 跟去除空的接腳位都是必要的，因為不知道 RTL 合成後的電路圖長什麼樣子。若成功執行了某些動作則會顯示：

```
design_vision> remove_unconnected_ports -blast_buses [get_cells * -hier]
Removing port 'A[8]' from design 'HW1_1_RTL_DW01_addsub_0'
Removing port 'B[8]' from design 'HW1_1_RTL_DW01_addsub_0'
Removing port 'CI' from design 'HW1_1_RTL_DW01_addsub_0'
Removing port 'CO' from design 'HW1_1_RTL_DW01_addsub_0'
1
```

若什麼都沒做，就會只回傳一個 1。

其餘部分同 gate level。

結果分析：

● Gate Level 設計部分：

Information: Updating design information... (UID-85)

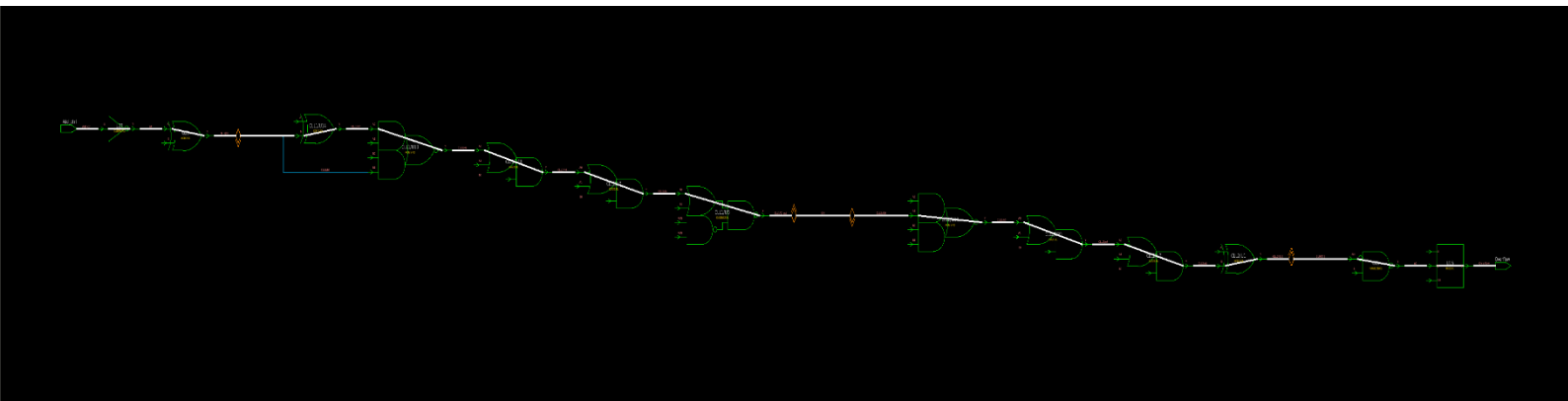
Library(s) Used:

slow (File: /data/software/PROCESS/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Number of ports:	55
Number of nets:	86
Number of cells:	43
Number of combinational cells:	41
Number of sequential cells:	0
Number of macros/black boxes:	0
Number of buf/inv:	1
Number of references:	6
Combinational area:	400.586392
Buf/Inv area:	3.394800
Noncombinational area:	0.000000
Macro/Black Box area:	0.000000
Net Interconnect area:	undefined (No wire load specified)
Total cell area:	400.586392
Total area:	undefined

此次合成採用 .13nm 的製程，因此 gate count 為

$$\frac{400.59 \text{ um} \times \text{um}}{5 \text{ um} \times \text{um}} \approx 81 \text{ gates}$$



Critical Path 如上圖(詳見檔案 Critical_Path.png)，

$$\text{delay} = 1 + 4 + 4 + 5 + 4 + 4 + 5 + 5 + 4 + 4 + 4 + 4 + 4(\text{MUX: } B \rightarrow Y) = 52\Delta$$

Library(s) Used:

slow (File: /data/software/PROCESS/CBDK_IC_Context_v2.1/SynopsysDC/db/slow.db)

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
 Voltage Units = 1V
 Capacitance Units = 1.000000pf
 Time Units = 1ns
 Dynamic Power Units = 1mW (derived from V,C,T units)
 Leakage Power Units = 1pW

 Cell Internal Power = 50.9887 uW (72%)
 Net Switching Power = 19.5925 uW (28%)

Total Dynamic Power = 70.5812 uW (100%)

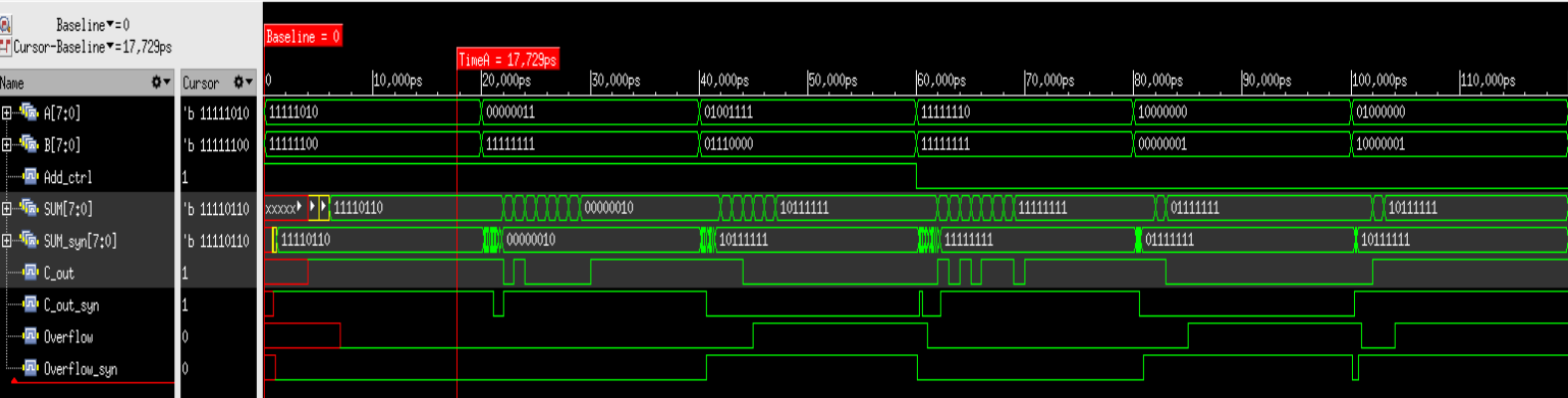
Cell Leakage Power = 459.5190 nW

Information: report_power power group summary does not include estimated clock tree power. (PWR-789)

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	0.0000	0.0000	0.0000	0.0000	(0.00%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	5.0989e-02	1.9592e-02	4.5952e+05	7.1041e-02	(100.00%)	
Total	5.0989e-02 mW	1.9592e-02 mW	4.5952e+05 pW	7.1041e-02 mW		

Dynamic Power = 70.5812 uW
Static Power = 459.5190 nW

波形圖比較：



比較合成前和合成後的波形，圖中 xxx_syn 為合成後的波形，可以發現原本設定的 delay 時間過長，實際上的 delay 只有幾 ns，就結果來說，合成前和合成後的波形可以說是一模一樣(只有 delay 不同)，也就是說合成後的電路也是正確的，合成前的電路已經在之前成功驗證了。

● RTL 設計部分：

```
Information: Updating design information... (UID-85)
Library(s) Used:

slow (File: /data/software/PROCESS/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

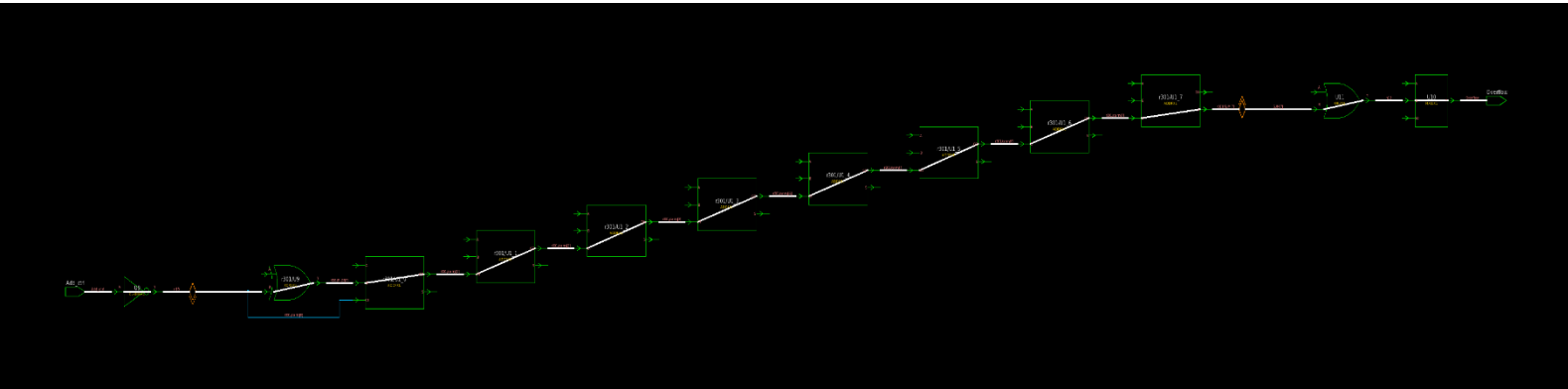
Number of ports:                57
Number of nets:                 74
Number of cells:                24
Number of combinational cells:  22
Number of sequential cells:     1
Number of macros/black boxes:   0
Number of buf/inv:              1
Number of references:           6

Combinational area:             417.560411
Buf/Inv area:                   3.394800
Noncombinational area:          0.000000
Macro/Black Box area:           0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                417.560411
Total area:                     undefined
```

此次合成採用.13nm 的製程，因此 gate count 為

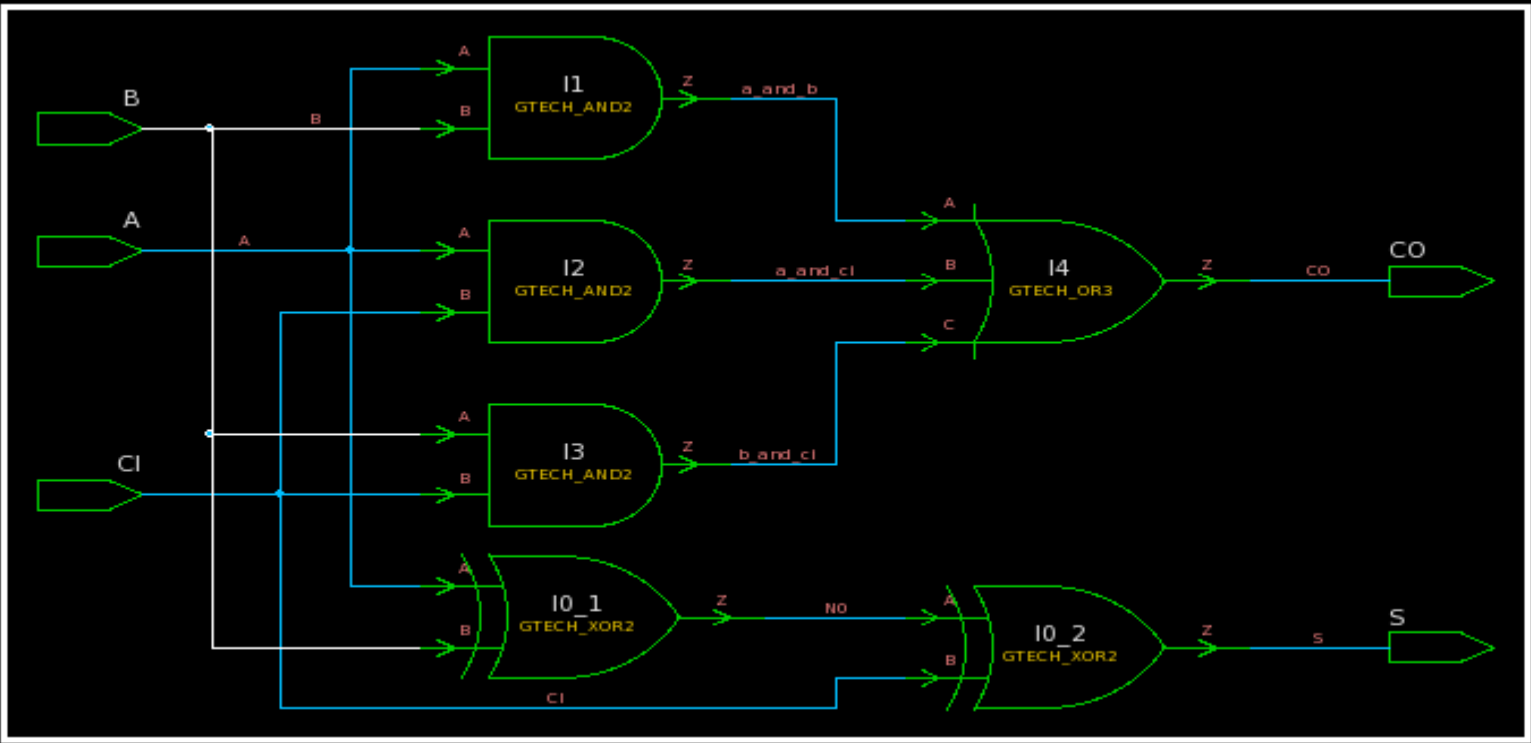
$$\frac{417.56 \text{ um} \times \text{um}}{5 \text{ um} \times \text{um}} \approx 84 \text{ gates}$$



Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: Add_ctrl (input port)
Endpoint: Overflow (output port)
Path Group: (none)
Path Type: max

Point	Incr	Path
-----	-----	-----
input external delay	0.00	0.00 r
Add_ctrl (in)	0.00	0.00 r
U9/Y (CLKINVX1)	0.18	0.18 f
r301/ADD_SUB (HW1_1_RTL_DW01_addsub_0)	0.00	0.18 f
r301/U9/Y (XOR2X1)	0.21	0.39 f
r301/U1_0/CO (ADDFXL)	0.63	1.02 f
r301/U1_1/CO (ADDFXL)	0.38	1.40 f
r301/U1_2/CO (ADDFXL)	0.38	1.77 f
r301/U1_3/CO (ADDFXL)	0.38	2.15 f
r301/U1_4/CO (ADDFXL)	0.38	2.52 f
r301/U1_5/CO (ADDFXL)	0.38	2.90 f
r301/U1_6/CO (ADDFXL)	0.38	3.28 f
r301/U1_7/S (ADDFXL)	0.28	3.56 f
r301/SUM[7] (HW1_1_RTL_DW01_addsub_0)	0.00	3.56 f
U11/Y (OR2X1)	0.26	3.82 f
U10/Y (MXI2X1)	0.10	3.92 r
Overflow (out)	0.00	3.92 r
data arrival time		3.92
-----	-----	-----
(Path is unconstrained)		



Critical Path 如第一張圖(詳見檔案 Critical_Path_RTL.png)，另外因為本次合成使用到集成電路 ADDFXL，因此特別將 tsmc13.v 的 ADDFXL 抽出來單獨合成，gate level 如上圖，推算 delay 為

$$1 + 4 + 4(\text{ADDFXL: } B \rightarrow \text{CO}) + 4 \times 6(\text{ADDFXL: } CI \rightarrow \text{CO}) + 4(\text{ADDFXL: } CI \rightarrow S) + 2 + 4(\text{MUX: } B \rightarrow Y)$$

= 43Δ

Library(s) Used:

slow (File: /data/software/PROCESS/CBDK_IC_Contest_v2.1/SynopsysDC/db/slow.db)

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Global Operating Voltage = 1.08
Power-specific unit information :
Voltage Units = 1V
Capacitance Units = 1.000000pf
Time Units = 1ns
Dynamic Power Units = 1mW (derived from V,C,T units)
Leakage Power Units = 1pW

Cell Internal Power = 55.2488 uW (87%)
Net Switching Power = 8.5365 uW (13%)
Total Dynamic Power = 63.7853 uW (100%)
Cell Leakage Power = 500.3820 nW

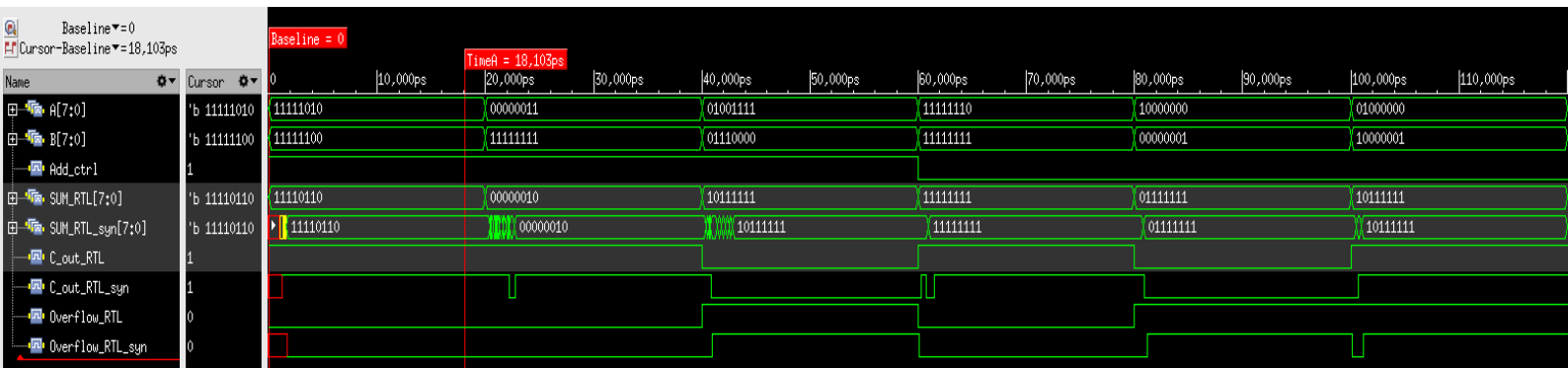
Information: report_power power group summary does not include estimated clock tree power. (PWR-789)

Power Group	Internal Power	Switching Power	Leakage Power	Total Power	(%)	Attrs
io_pad	0.0000	0.0000	0.0000	0.0000	(0.00%)	
memory	0.0000	0.0000	0.0000	0.0000	(0.00%)	
black_box	0.0000	0.0000	0.0000	0.0000	(0.00%)	
clock_network	0.0000	0.0000	0.0000	0.0000	(0.00%)	
register	0.0000	0.0000	0.0000	0.0000	(0.00%)	
sequential	0.0000	0.0000	0.0000	0.0000	(0.00%)	
combinational	5.5249e-02	8.5365e-03	5.0038e+05	6.4286e-02	(100.00%)	
Total	5.5249e-02 mW	8.5365e-03 mW	5.0038e+05 pW	6.4286e-02 mW		

Dynamic Power = **63.7853 uW**

Static Power = **500.3820 nW**

波形圖比較：



上圖為 RTL 版本合成前和合成後的波形圖比較，合成前沒有加入任何 delay，因此所有訊號在輸入的瞬間就輸出結果。引入製程後，產生 delay，從 C_out 就可以看出和原本的波形有明顯的不同。有了 delay 之後，波形就趨近實際運行的狀況，一樣除了 delay 的產生，結果都和原本的一樣，驗證了正確性(上回驗證了原始設計的正確性)。

心得討論：

本次作業除了熟悉了另一套軟體，用來合成電路之外，同時還認識了設計電路的一些重點，面積、電源消耗、延遲，三個關鍵因素影響著電路設計的成效。操作過程中，主要是對於合成軟體陌生，加上觀念剛建立，對於步驟不夠熟悉，也因此出現各種奇特的錯誤訊息。

這邊有另一個收穫是，我嘗試把 sdf 打開瞬間恍然大悟 Annotation 到底是在做什麼的，也因此成功自行 debug 了自己產生的問題，原本照著投影片的步驟就這樣過去了，什麼都不知道，但是現在發現只要試著摸索自己產生出來的物件和檔案，其實是熟練整個過程很好的途徑。波形圖也是我直接手動修改 sdf 和生成的 syn.v 檔，讓合成前後的波形可以同時出現在同一個 testbench 裡面。