實用數位系統設計－HW1-2

學號：B035020026 姓名：李冠霖

設計原理(合成步驟說明)：

* Gate Level設計部分：
  + 加入 current\_design HW1\_1 指令，讓合成器正確的選擇Top module。
  + 加入set\_fix\_multiple\_port\_nets -all -buffer\_constants指令，可以加入buffer，避免輸出直接接入輸入導致合成器辨識產生錯誤。不過本次設計並沒有使用到此狀況，因此加入後和原始設計相同(不影響結果)。
  + 加入remove\_unconnected\_ports -blast\_buses [get\_cells \* -hier] 指令，可以移除空的接腳位，為了避免錯誤而加入此指令，若沒使用到則不會改變設計結果。
  + 產生sdf的部分使用write\_sdf -version 1.0 -context verilog XX.sdf 指令，在2.1版本的狀況會有warning導致annotation失敗。
  + 之後將製程引入testbench中。
  + 在產生的syn.v檔案中加入timescale與testbench一致(原本生成的檔案沒有)。
  + 修改sdf中的DESIGN為 xxx\_syn (原始生成為xxx)

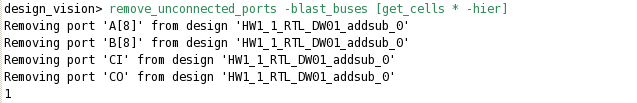
修改sdf中的CELLTYPE為 xxx\_syn (原始生成為xxx)

為了讓原始的設計(合成前=xxx)和合成後的設計(xxx\_syn)同時出現在同一個testbench中，以便比較。

`include /data/software/PROCESS/CBDK\_IC\_Contest\_v2.1/Verilog/tsmc13.v"

* RTL設計部分：
  + 因為RTL只有一個module，因此不需要選擇Top module
  + 加入buf跟去除空的接腳位都是必要的，因為不知道RTL合成後的電路圖長什麼樣子。

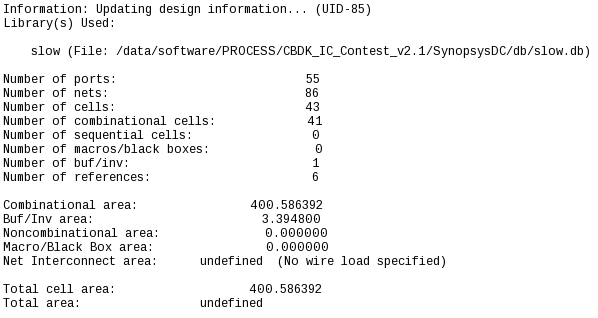
若成功執行了某些動作則會顯示：

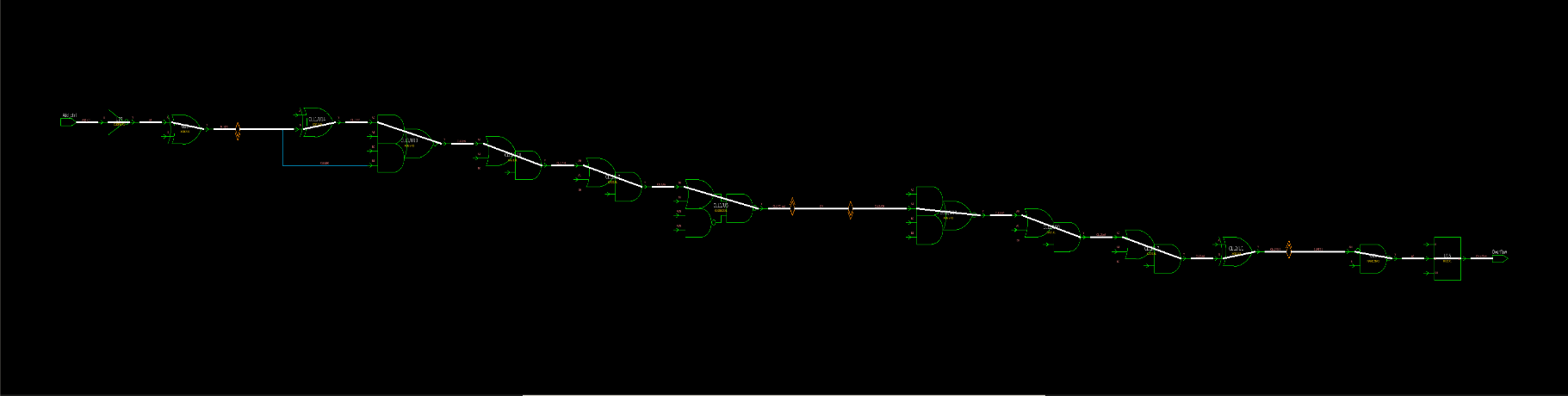


若什麼都沒做，就會只回傳一個1。

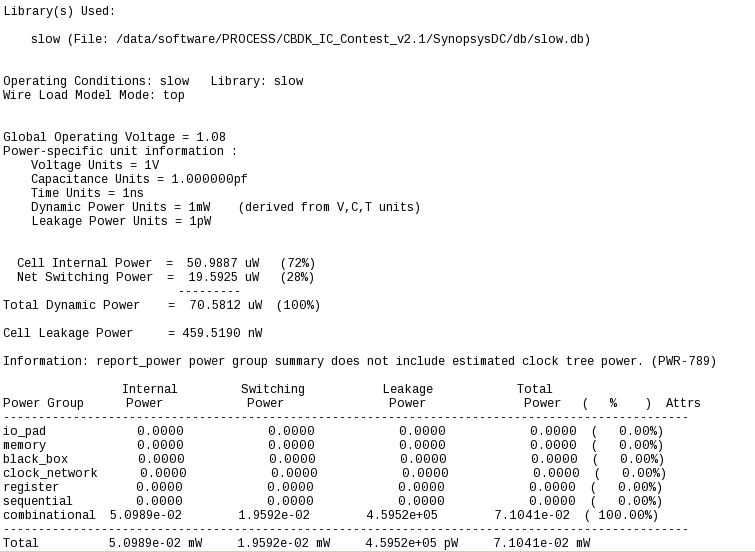
其餘部分同gate level。

結果分析：

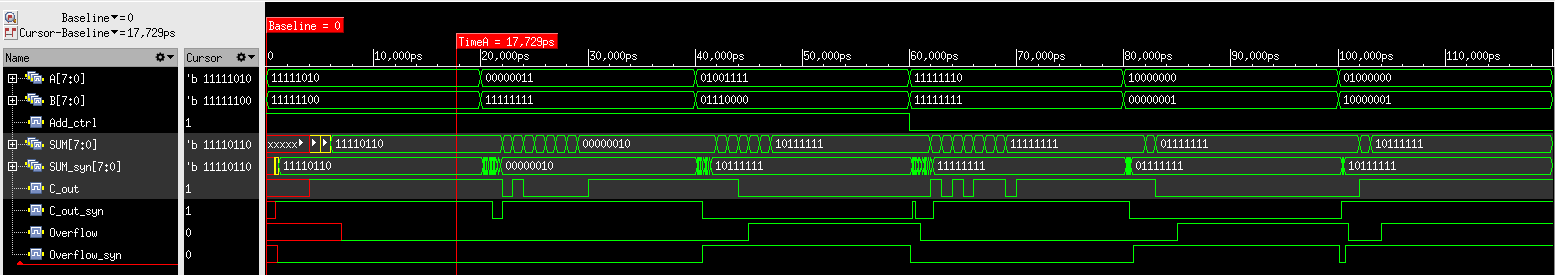
* Gate Level設計部分：

此次合成採用.13nm的製程，因此gate count為

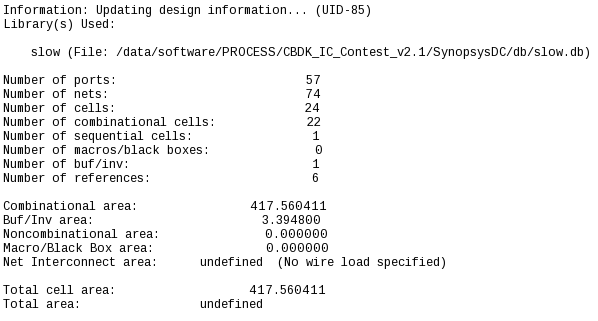
Critical Path如上圖(詳見檔案Critical\_Path.png)，

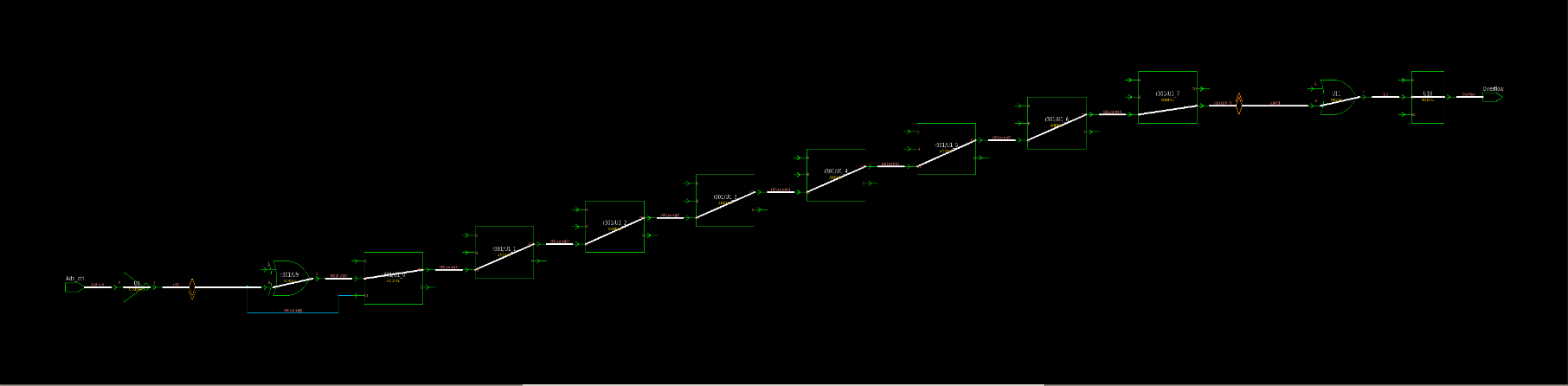
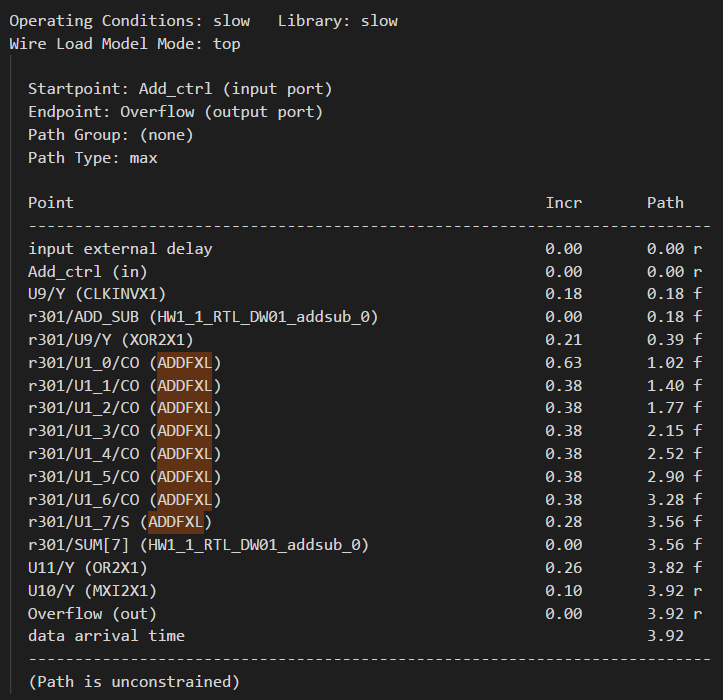
Dynamic Power = 70.5812 uW

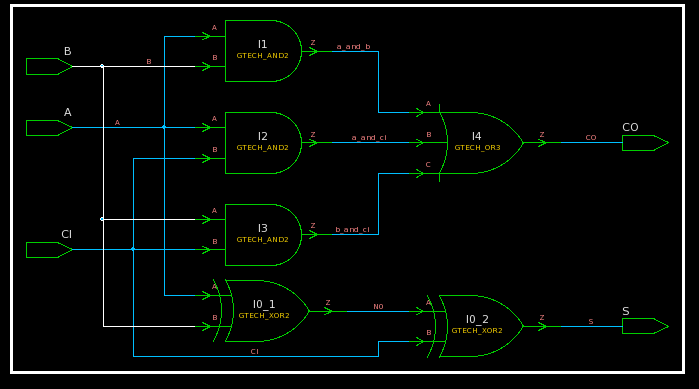
Static Power = 459.5190 nW

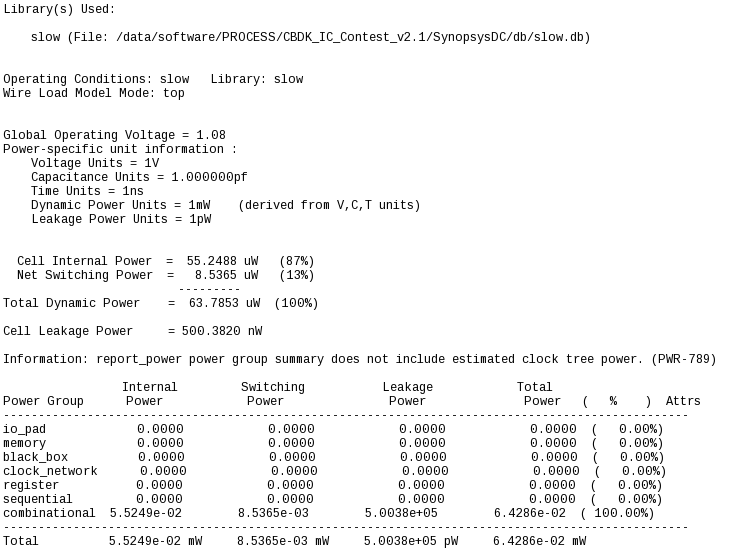
波形圖比較：

比較合成前和合成後的波形，圖中xxx\_syn為合成後的波形，可以發現原本設定的delay時間過長，實際上的delay只有幾ns，就結果來說，合成前和合成後的波形可以說是一模一樣(只有delay不同)，也就是說合成後的電路也是正確的，合成前的電路已經在之前成功驗證了。

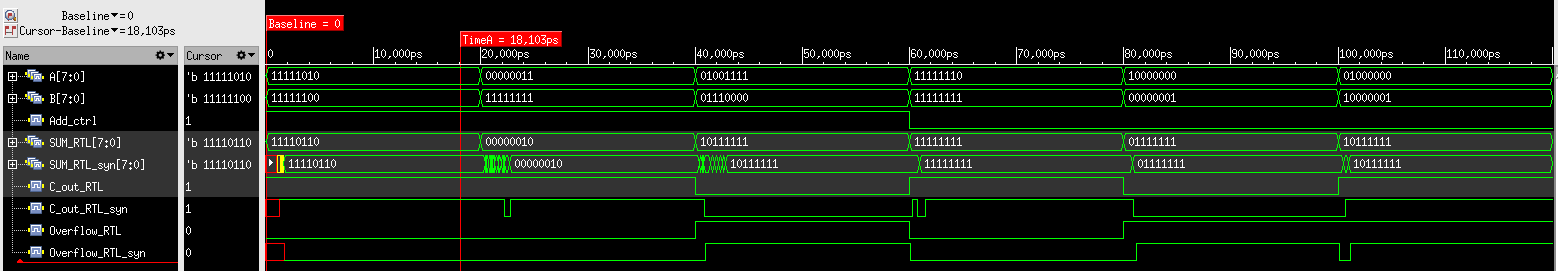
* RTL設計部分：

此次合成採用.13nm的製程，因此gate count為

Critical Path如第一張圖(詳見檔案Critical\_Path\_RTL.png)，另外因為本次合成使用到集成電路**ADDFXL**，因此特別將tsmc13.v的ADDFXL抽出來單獨合成，gate level如上圖，推算delay為

Dynamic Power = 63.7853 uW

Static Power = 500.3820 nW

波形圖比較：

上圖為RTL版本合成前和合成後的波形圖比較，合成前沒有加入任何delay，因此所有訊號在輸入的瞬間就輸出結果。引入製程後，產生delay，從C\_out就可以看出和原本的波形有明顯的不同。有了delay之後，波形就趨近實際運行的狀況，一樣除了delay的產生，結果都和原本的一樣，驗證了正確性(上回驗證了原始設計的正確性)。

心得討論：

本次作業除了熟悉了另一套軟體，用來合成電路之外，同時還認識了設計電路的一些重點，面積、電源消耗、延遲，三個關鍵因素影響著電路設計的成效。操作過程中，主要是對於合成軟體陌生，加上觀念剛建立，對於步驟不夠熟悉，也因此出現各種奇特的錯誤訊息。

這邊有另一個收穫是，我嘗試把sdf打開瞬間恍然大悟Annotation到底是在做什麼的，也因此成功自行debug了自己產生的問題，原本照著投影片的步驟就這樣過去了，什麼都不知道，但是現在發現只要試著摸索自己產生出來的物件和檔案，其實是熟練整個過程很好的途徑。波形圖也是我直接手動修改sdf和生成的syn.v檔，讓合成前後的波形可以同時出現在同一個testbench裡面。