

NYCU-ECE DCS-2025

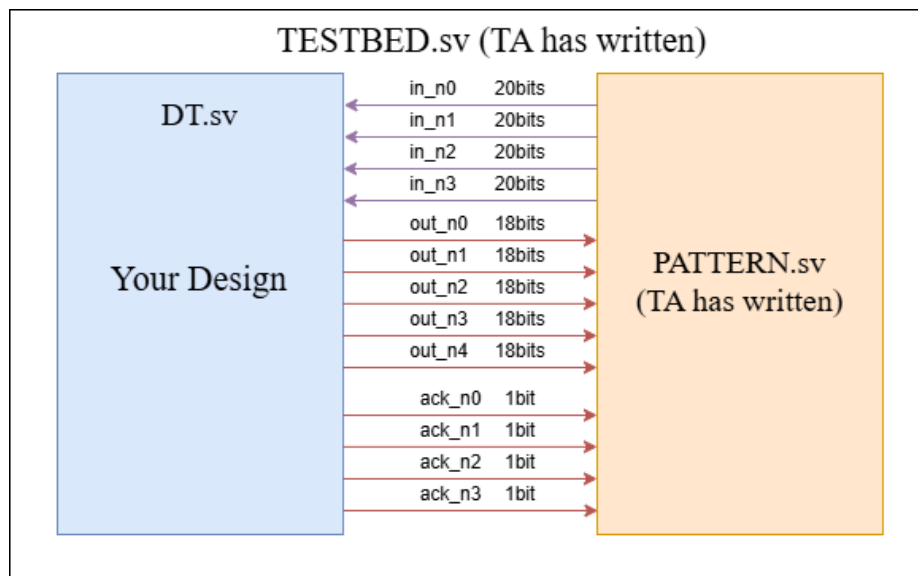
HW01

Design: Simple Data Transfer

Data preparation

1. 從 TA 目錄資料夾解壓縮:
% tar xvf ~dcsTA01/HW01.tar
2. 解壓縮資料夾 HW01 包含以下:
 - a. 00_TESTBED/
 - b. 01_RTL/
 - c. 02_SYN/
 - d. 03_GATE/

Block Diagram

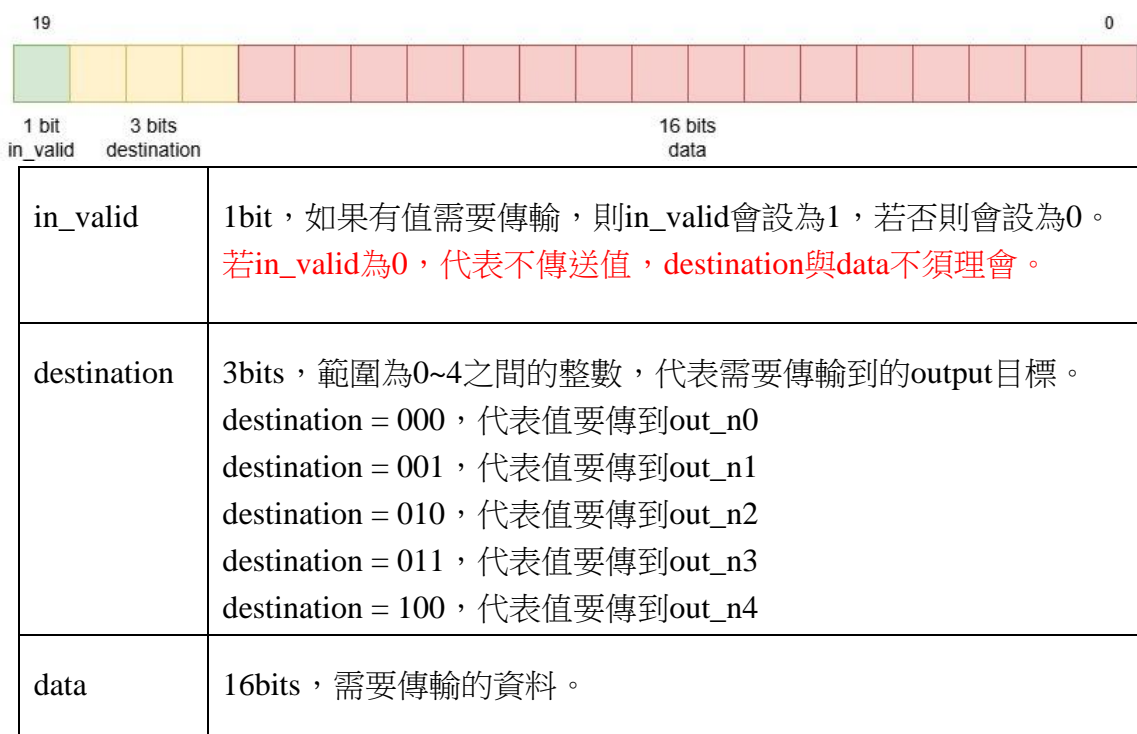


Design Description

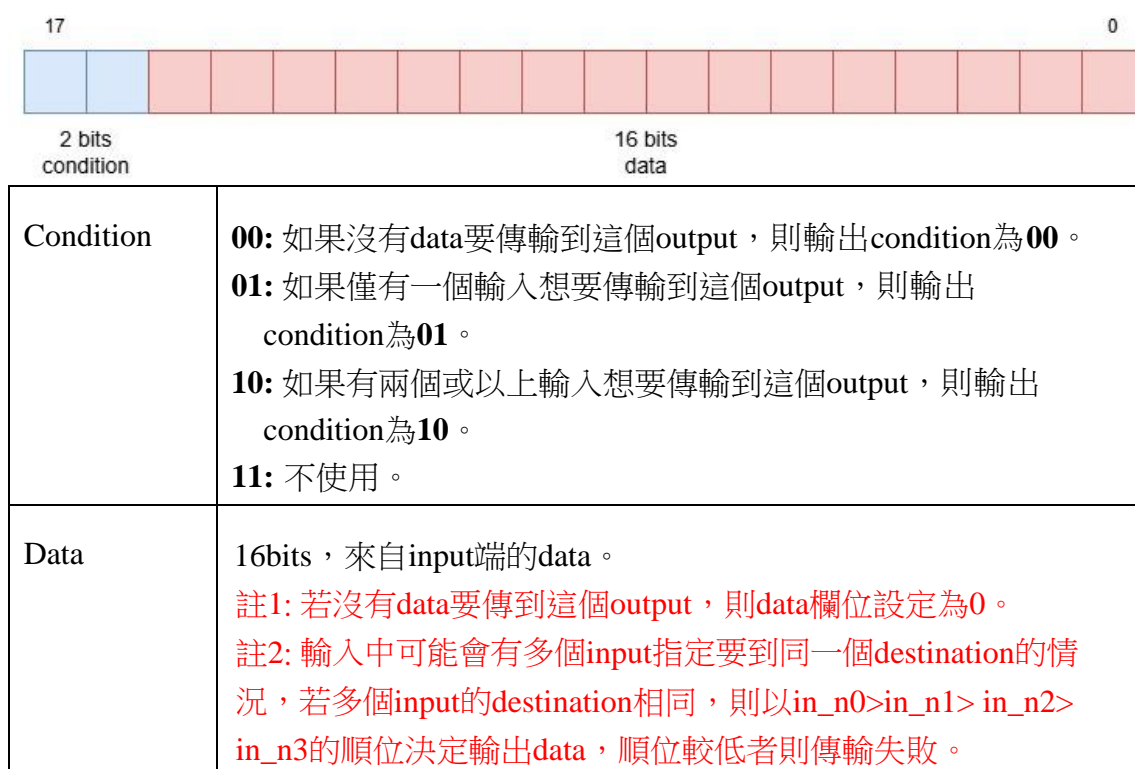
本次作業目標設計多點之間的資料傳輸。

你會接收到來自四個輸入的指令{`in_n0`, `in_n1`, `in_n2`, `in_n3`}，指令內容將在下方內容詳細解釋，你需要將指令解碼並將data傳輸至指定輸出，最後輸出五個輸出指令{`out_n0`, `out_n1`, `out_n2`, `out_n3`, `out_n4`}以及輸出四個ack訊號{`ack_n0`, `ack_n1`, `ack_n2`, `ack_n3`}作為傳輸成功或失敗的確認訊號。

首先收到的四個數字{in_n0, in_n1, in_n2, in_n3}是傳輸的指令，詳細欄位如下圖，其中包含了in_valid(1bit，代表是否有值需要傳輸)，destination(3bits，代表目標output)，以及需要傳輸的data(16bits)等欄位。



output傳輸指令{out_n0, out_n1, out_n2, out_n3, out_n4}詳細欄位則如下圖，其中包含了condition(2bit，資料傳輸狀態)，以及傳輸過來的data(16bits)等欄位。



傳輸結果確認訊號{ack_n0, ack_n1, ack_n2, ack_n3}，因為傳輸端必須確認資料是否有順利傳輸，因此須回傳ack訊號給輸入端做確認，如果資料有順利傳輸，則ack為1，若沒有資料傳輸，或是傳輸失敗(順位較低，如上方說明)，則ack設為0；ack_n0對應in_n0結果，ack_n1對應in_n1結果，以此類推。

最後將會輸出五個18-bit的指令{out_n0, out_n1, out_n2, out_n3, out_n4}以及四個1-bit的ack訊號{ack_n0, ack_n1, ack_n2, ack_n3}，testbench測試pattern將會在下一組測試資進來之前測試這五個18-bit output以及四個ack訊號是否正確。

Examples

- Congestion & not_valid Example

```
in_n0 = 1_001_1010101010101010
in_n1 = 0_000_0101010101010101
in_n2 = 1_001_1100110011001100
in_n3 = 1_010_0011001100110011
```

在這個範例下，in_n0和in_n2在out_n1有congestion出現，因順位in_n0 > in_n2，所以in_n0傳遞成功，in_n2傳遞失敗，in_n1則因為in_valid為0，資料無須傳遞，因此ack_n0~ack_n3分別為1/0/0/1，out則如下所示:

```
out_n0 = 00_0000000000000000 (in_n1的valid為0，沒有資料傳遞)
out_n1 = 10_1010101010101010 (有兩筆輸入，data以順位高為主)
out_n2 = 01_0011001100110011 (一筆輸入，data來自in_n3)
out_n3 = 00_0000000000000000 (沒有輸入)
out_n4 = 00_0000000000000000 (沒有輸入)
```

Inputs

Signal name	Number of bit	Description
in_n0	20 bits	input指令 包含in_valid, destination, data等欄位 詳細請見上方敘述
in_n1	20 bits	
in_n2	20 bits	
in_n3	20 bits	

Outputs

Signal name	Number of bit	Description
out_n0	18 bits	output指令 包含condition, data等欄位 詳細請見上方敘述
out_n1	18 bits	
out_n2	18 bits	
out_n3	18 bits	
out_n4	18 bits	

ack_n0	1 bit	回傳資料傳輸結果給input端確認。
ack_n1	1 bit	
ack_n2	1 bit	
ack_n3	1 bit	

Specifications

1. Top module name: **DT**(File name : **DT.sv**)
2. 請用 **Systemverilog** 完成你的作業。
3. 請用 **combinational circuit** 完成你的作業。
4. 01_RTL & 03_GATE 模擬必須通過
5. 02_SYN result 不能有 **error** 且不能有任何 **latch**，同時**timing**必須是**MET**。
6. Delay time 固定為 **6ns**，請不要自行修改。

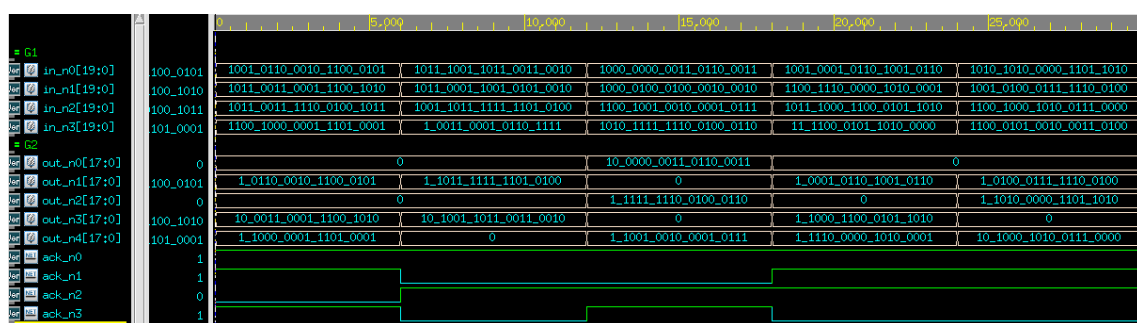


(01_RTL & 03_GATE Pass)

Point	Incr	Path
input external delay	0.00	0.00 f
in_n0[18] (in)	0.00	0.00 f
U524/Y (INVX1)	0.10	0.10 r
U518/Y (NAND2X1)	0.13	0.23 f
U509/Y (NOR3X1)	0.94	1.16 r
U492/Y (INVX1)	0.11	1.27 f
U482/Y (NAND2X1)	0.19	1.45 r
U468/Y (INVX1)	0.09	1.54 f
U465/Y (NAND2X1)	0.12	1.66 r
U544/Y (INVXL)	0.10	1.76 f
U441/Y (OAI222X1)	0.82	2.57 r
U385/Y (AOI21X1)	0.58	3.16 f
out_n2[16] (out)	0.00	3.16 f
data arrival time		3.16
max_delay	6.00	6.00
output external delay	0.00	6.00
data required time		6.00
data required time		6.00
data arrival time		-3.16
slack (MET)		2.84

(02_SYN MET)

Example waveform



若要訊號以binary顯示，選取訊號後選擇Waveform > Set Radix > Binary。

File Upload

1. 需要繳交的檔案: SystemVerilog Code, Report，共兩個檔案，請上傳至new E3。
2. Code檔名: DT_dcsxxx.sv, xxx is your server account.。
3. Report檔名: report_dcsxxx.pdf, xxx is your server account.。
4. 1de請在 3/12 23:59 之前上傳 / 2de 請在 3/19 23:59 之前上傳。

5. 2de分數*0.7計算

6. 檔名錯誤扣5分。

Grading policy

1. Pass the RTL, Synthesis, and GATE level simulation. 70%
2. Area 20%
3. Report 10%

Note

Template folders and reference commands:

1. 01_RTL/ (RTL simulation) → **./01_run**
2. 02_SYN/ (synthesis) → **./01_run_dc**
3. 03_GATE/ (GATE simulation) → **./01_run**

Report

報告請簡單且重點撰寫，不超過兩頁A4，並包括以下內容:

1. 描述你的設計方法，包含但不限於如何加速(減少critical path)或降低面積。
2. 基於以上，畫出你的架構圖(Block diagram)
3. 心得報告，不侷限於此次作業，對於作業或上課內容都可以