

NYCU-EE DCS-2025

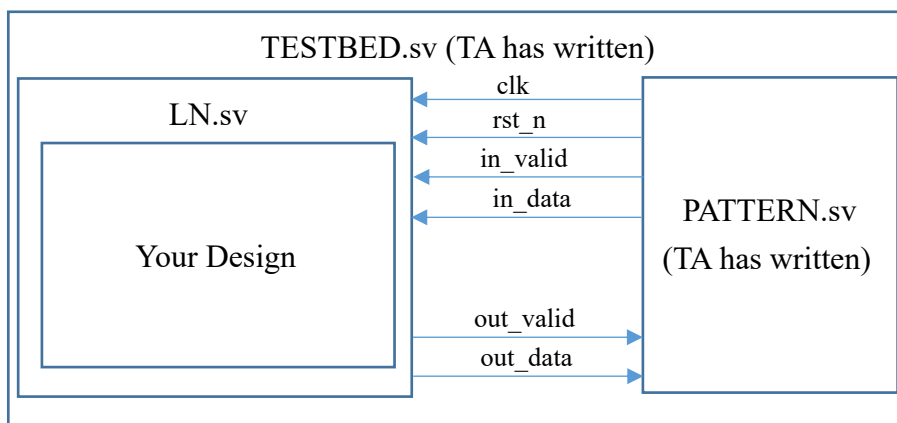
Online Test

Design: Layer Normalization

資料準備

1. 從 TA 目錄資料夾解壓縮：
`% tar -xvf ~dcsTA01/OT.tar`
2. 解壓縮資料夾 OT 包含以下：
 - a. 00_TESTBED/
 - b. 01_RTL/
 - c. 02_SYN/
 - d. 03_GATE/

Block Diagram



設計描述

Layer Normalization 是深度學習中的一個重要技術，特別是在如ChatGPT等基於Transformer架構的模型。這種技術通過對每一層的輸入進行正規化處理，有效提高模型的穩定性和訓練速度。

本次考試要大家設計一個Layer Normalization模組，該模組的目標是對連續接收的8筆8-bit signed int輸入進行簡化版的正規化處理。傳統的Layer Normalization通過對每層輸入計算均值和標準差來進行正規化，由於標準差的計算需要開根，無法在本次考試中實現，為了簡化問題，本題要求使用替代方法來計算標準差，即先計算每個輸入與均值的差的絕對值，再將這些差值的平均作為標準差進行後續的正規化處理。

簡化版 Layer Normalization 的演算法描述如下：

1. **輸入數據：**

每組測資會由in_data連續輸入8筆8-bit signed int，表示為 x_1, x_2, \dots, x_8 ，其中每個 x_i 是有號8位數（範圍從-128到127）。

2. **計算平均值：**

首先，對這8筆輸入數據進行平均值的計算，公式為：

$$\mu = \frac{1}{8} \sum_{i=1}^8 x_i$$

其中， μ 是輸入數據的平均值。

除法結果向零取整數 (e.g. $9/8 \rightarrow 1$, $-18/8 \rightarrow -2$)

3. **計算替代標準差：**

接下來，計算每個輸入數據與平均值的差的絕對值，並將這些絕對值取平均，這個平均值即為替代的標準差，公式為：

$$\sigma_{approx} = \frac{1}{8} \sum_{i=1}^8 |x_i - \mu|$$

σ_{approx} 是替代的標準差，除法結果向零取整數。

4. **Normalization：**

最後，對每個輸入數據進行正規化處理，使用計算出的平均值和替代標準差。正規化後的輸出為：

$$y_i = \frac{x_i - \mu}{\sigma_{approx}}, i = 1, 2, \dots, 8$$

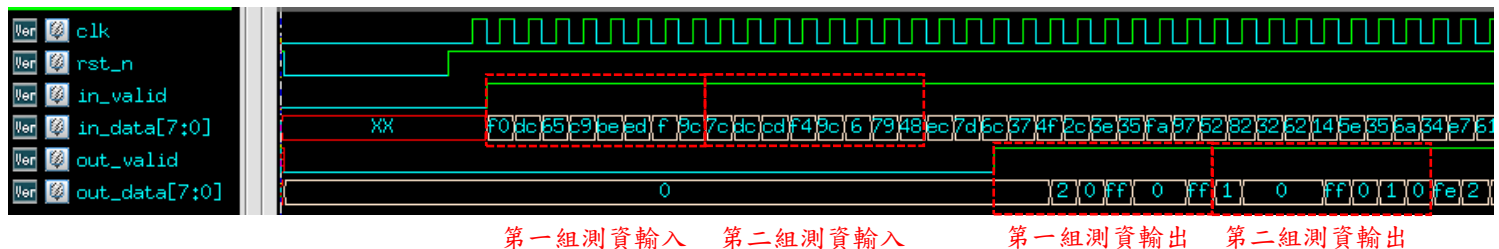
y_i 是每個正規化後的數據，除法結果向零取整數。

計算完成後，out_valid 要拉起，將 $y_1 \sim y_8$ 由 out_data 依序連續輸出。

輸入與輸出

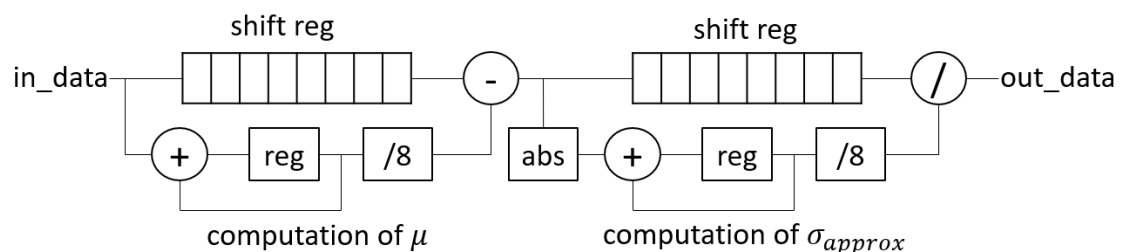
本次Pattern由助教提供，共有1000組測資，每組測資由8筆數據組成。以下描述了輸入與輸出要求：

1. in_valid 拉起後會持續8000 cycles，直到1000組測資輸入完成，期間數據會依序不間斷從 in_data 輸入。
2. 由 in_valid 拉起開始算，cycle 1~8為第一組測資，cycle 9~16為第二組，依此類推。
3. 不同組測資間的平均值標準差彼此獨立，且不會出現標準差為0的情況。
4. 經運算後，out_valid 拉起，結果由 out_data 同步依序連續輸出，持續8000 cycles。



Hint

1. 所有除法，包含除以8，請使用運算子「/」實現，以符合向下取整數
2. 以下提供一個架構供參考。



Inputs

Signal name	Number of bit	Description
clk	1	5ns clock signal
rst_n	1	Asynchronous negedge reset signal
in_valid	1	Pull high during digit input
in_data	8	Signed integer

Outputs

Signal name	Number of bit	Description
out_valid	1	Pulled high during out_data output (reset required)
out_data	8	Signed integer. (reset required)

Specifications

1. Top module name: **LN**(File name : **LN.sv**)
2. 在非同步負準位 reset 後，所有的 output 訊號必須全部歸零。
3. Output 要在 Input 開始後 100 cycles 內輸出。
4. Output 要連續輸出，不可中斷。
5. Output 輸出完後必須將 out_valid 和 out_data 歸零。
6. 02_SYN result 不行有 **error** 且不能有任何 **latch**。
7. Timing report 的 slack 必須為 non-negative 且 result 為 **MET**。
8. Gate level simulation 不能有 timing violation。
9. Clock period 5 ns。
10. Input delay = 0.5 * clock period; Output delay = 0.5 * clock period
11. 請勿使用 ***error***, ***latch***, ***congratulation*** or ***fail*** 當作 logic / wire / reg / submodule / parameter 的名稱，否則 demo 結果會是 fail
Note: *****代表在該 word 前後的任何符號，比如: error_test 即為禁止的。
12. 不限制 coding style 以及 for loop 的使用。

上傳檔案

1. 請將LN.sv重新命名後上傳E3。命名規則：LN_dcsxxx.sv 例如：工作站帳號是dcs175的同學須將他的Design LN.sv重新命名為LN_dcs175.sv並上傳E3。
2. 6/3 18:20考試時間結束前上傳E3的OT繳交區
3. 2nd Demo deadline: 6/8 23:59

Grading policy

1. Students who pass 1st Demo yield 100 points.
2. Students who pass 2nd Demo yield 60~80 points, depending on performance.
3. Performance: Latency * Area

Note

Template folders and reference commands:

1. 01_RTL/ (RTL simulation) → **./01_run**
2. 02_SYN/ (synthesis) → **./01_run_dc**
3. 03_GATE/ (gate-level simulation) → **./01_run**