

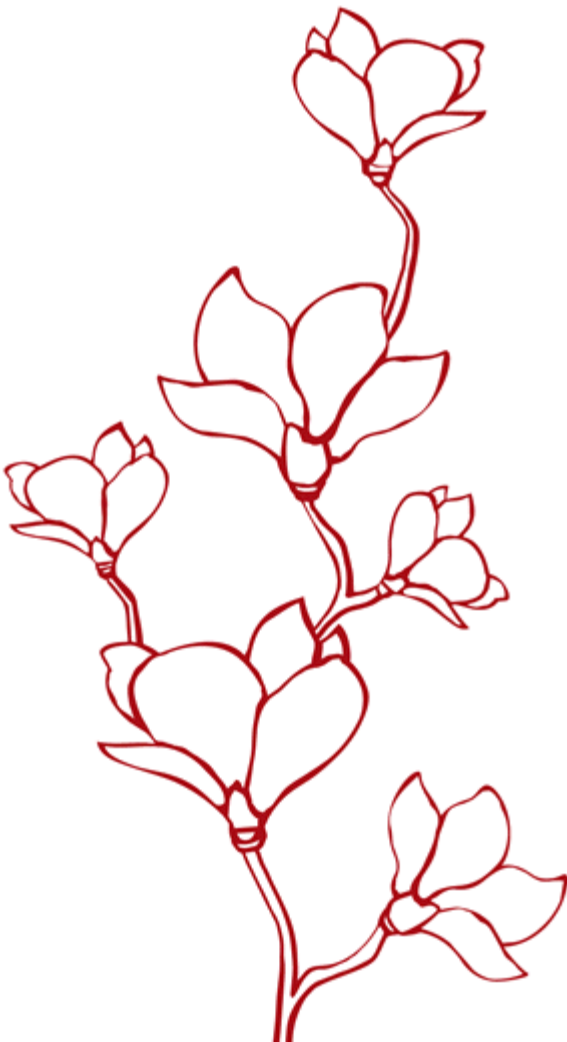
KVL KCL

생체의공실험 (BME20800)

예비 및 결과 보고서



KYUNG HEE
UNIVERSITY



담당 교수	이상민 교수님
담당 조교	오지현 조교님, 한승주 조교님
제출일	2020. 11. 19. 목.
소속	경희대학교 전자정보대학 생체의공학과
학번	2019103877
이름	이규린

1. 실험 주제

KVL KCL

2. 이론

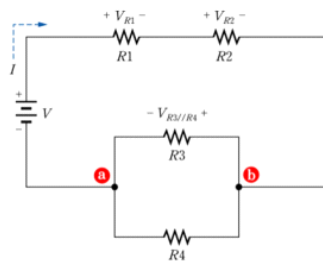
1) Kirchhoff's current law : KCL. 회로의 모든 node에서 node로 흘러들어오는 전류와 흘러나가는 전류의 총합은 0이다. 전하량 보존 법칙을 기반으로 한다.

2) Kirchhoff's voltage law : KVL. 회로의 한 mesh에서 각 소자에 걸리는 전압들의 총합은 0이다. 에너지 보존 법칙을 기반으로 한다.

3. 실험 방법

가. EXPERIMENT #1

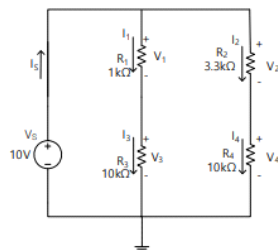
• After configuring the circuit, measure the total resistance, parallel resistance ($R3//R4$), current, and voltage, and fill the results in the table below



V	R_T	$R3//R4$	V_{R1}	V_{R2}	$V_{R3//R4}$	$V_{R1} + V_{R2} + V_{R3//R4}$
5[V]						
10[V]						

나. EXPERIMENT #2-1

- Configure the circuit
- Calculate the total resistance (R_T) and total current (I_S)
- Measure the voltage across each resistor ($V_1 \sim V_4$)
- Calculate $V_S + V_1 + V_3$ & $V_S + V_2 + V_4$, based on the measured results
- Record the above results in the table

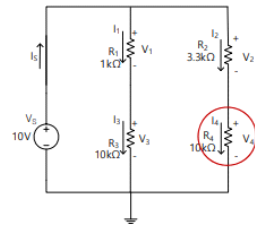


	Result		Result
V'_1		I_S	
V'_2		R_T	
V'_3		$V_S + V'_1 + V'_3$	
V'_4		$V_S + V'_2 + V'_4$	

다. EXPERIMENT #2-2

- Replace R_4 to variable resistor
- Set R_4 to 200 ohm, 500 ohm and 1 kohm
- Calculate the total resistance (R_T) and total current (I_S)
- Measure the voltage across each resistor ($V_1 \sim V_4$)

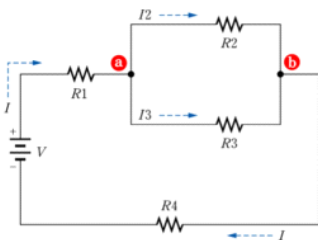
- Calculate $V_S+V_1+V_3$ & $V_S+V_2+V_4$, based on the measured results
- Record the above results in the table



	Result		Result
V_1		I_S	
V_2		R_T	
V_3		$V_S + V_1 + V_3$	
V_4		$V_S + V_2 + V_4$	

라. EXPERIMENT #3

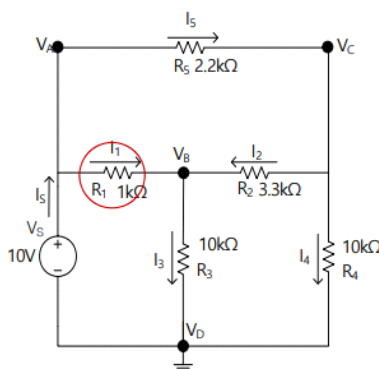
- After configuring the circuit, measure total resistance, total current and branch current and fill the result in table below



V	R_T	I	I_2	I_3	$I_2 + I_3$
5[V]					
10[V]					

마. EXPERIMENT #4-1

- Configure the circuit below
- Calculate the total resistance (R_T) and the total current (I_T)
- Measure the voltage across each node ($V_A \sim V_D$)
- Use Ohm's law to calculate the current ($I_S, I_1 \sim I_4$)
- After removing R_1 , repeat above procedures

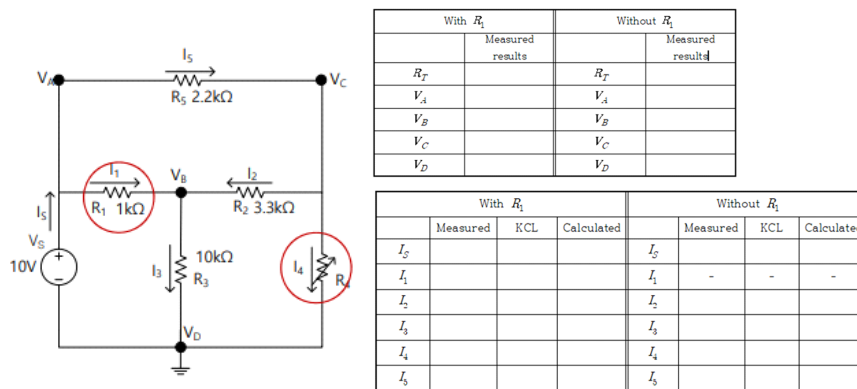


With R_1		Without R_1	
	Measured results		Measured results
R_T		R_T	
V_A		V_A	
V_B		V_B	
V_C		V_C	
V_D		V_D	

With R_1				Without R_1			
	Measured	KCL	Calculated		Measured	KCL	Calculated
I_S				I_S			
I_1				I_1	-	-	-
I_2				I_2			
I_3				I_3			
I_4				I_4			
I_5				I_5			

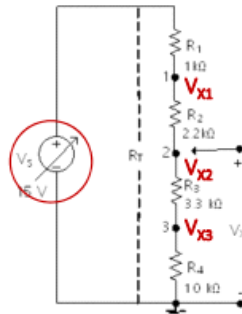
바. EXPERIMENT #4-2

- Replace R_4 to a variable resistor
- Set R_4 to 200 ohm, 500 ohm and 1 k ohm
- Measure total current (I_S) and the voltage across each node ($V_A \sim V_D$)
- Using Ohm's law, calculate the current ($I_S, I_1 \sim I_5$), depending on the magnitude of the resistor
- Remove R_1 , and repeat above



사. EXPERIMENT #5

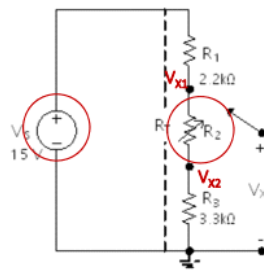
- Voltage divider
- Configure the voltage divider circuit
- Calculate the total resistance (R_T)
- Calculate the total current (I_T)
- Calculate $V_X1 \sim V_X3$ for each node using the voltage division law
- Measure $V_X1 \sim V_X3$ and compare with the calculation result
- Which output stage is the output voltage at about 60% of the voltage source?
- Change the voltage source to 10 V and repeat



아. EXPERIMENT #6

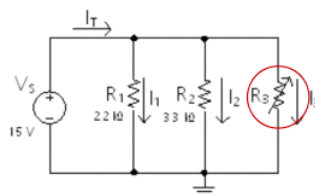
- Voltage divider
- Configure the voltage divider circuit
- R_2 is a variable resistor of 10 kohm
- Output of the voltage divider can be adjusted
- Set the resistance to the minimum value
- Calculate the total resistance (R_T)
- Calculate the total current (I_T)
- Calculate the voltage at each node (V_X1 , V_X2)
- Set the resistance to the maximum value
- Calculate the total resistance (R_T)
- Calculate the total current (I_T)
- Calculate the voltage at each node (V_X1 , V_X2)
- Change the voltage source to 10 V and repeat

- Based on the experimental results, discuss on the role of R_1 and R_3



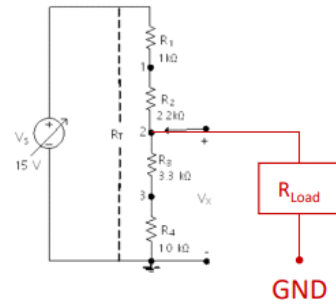
자. EXPERIMENT #7

- Current divider
- Configure the current divider circuit
- R_3 is a variable resistor (10 kohm)
- Set the resistance to the minimum value
- Calculate the total resistance (R_T)
- Calculate the total current (I_T)
- Calculate the current $I_1 \sim I_3$
- Set the resistance to the maximum value
- Calculate the total resistance (R_T)
- Calculate the total current (I_T)
- Calculate the current $I_1 \sim I_3$
- Repeat above while varying the variable resistance, and plot the change in each current
- Choose your own resistance value (two values)



차. Discussion

- Kirchhoff's circuit law
- Based on the circuit theory from the preliminary report, analyze the experiment results
- If the results are inconsistent with what you expected, discuss about the reason and analyze them
- Explain KVL and KCL based on the results of each experiment
- Does the above rule hold even if the circuit breaks or the device breaks down in the circuit used in the experiment? Describe based on the results of the experiment
- Calculate the power consumption and total power consumption for each device in each experiment
- Voltage/current divider
- Explain the output change of the voltage divider when 1 kohm load resistor is connected to the output terminal on circuit in EXP#5
- Show the calculated and simulated results



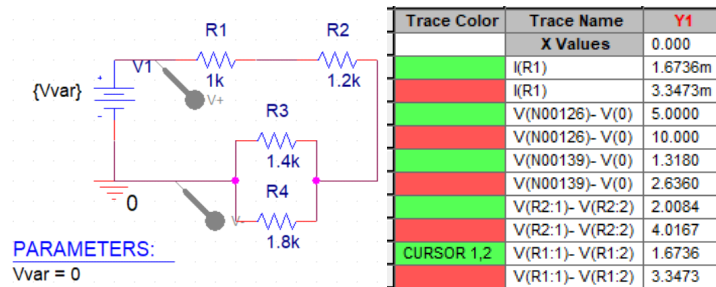
4. 실험 과정, 결과 및 해석

가. EXPERIMENT #1

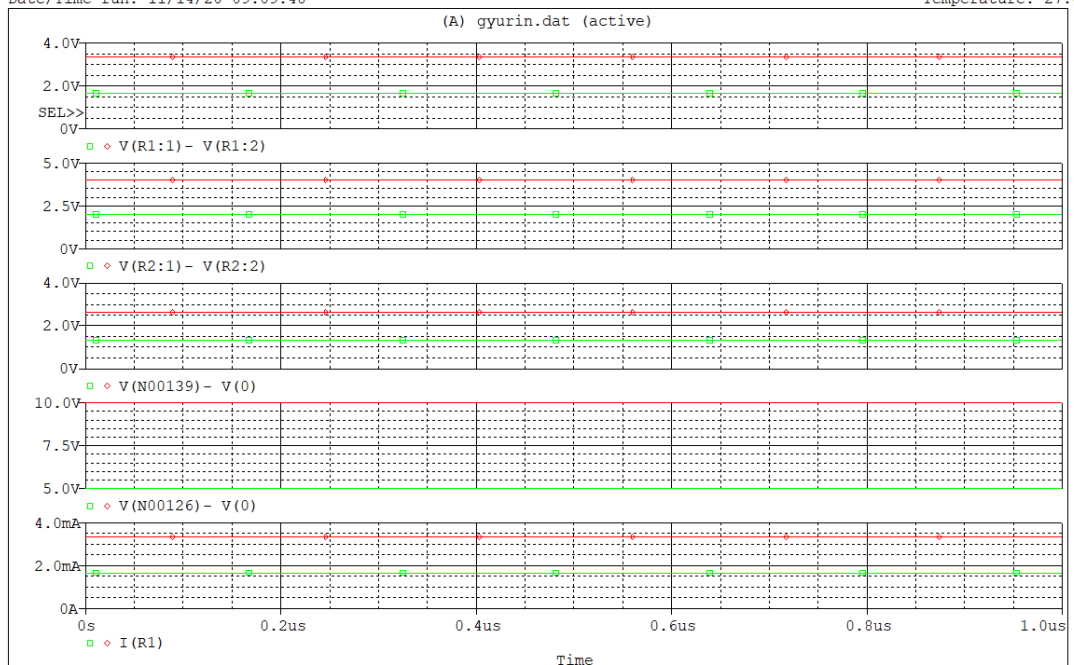
1) 회로 분석

이 실험은 저항 4개와 Vdc 하나로 구성되어 있으며, 그 중 저항 두 개가 병렬 연결되어 있다. R1~R4의 값을 우리가 임의로 설정할 수 있는 실험으로, 우리는 R1부터 차례대로 1k, 1.2k, 1.4k, 1.8k 짜리 Ω 의 저항으로 설정했다. 회로를 설계한 후 $V_{source} = V1 + V2 + V_{R3} || R4$ 인지 확인을 해보도록 하겠다. 이 식이 성립한다는 것은 이 회로가 KVL를 만족한다는 뜻이다.

2) Pspice 회로 구성 및 simulation



** Profile: "SCHEMATIC1-gyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_1-PSpiceFiles\SCHEMATIC1\gyurin.sim
Date/Time run: 11/14/20 09:09:48 Temperature: 27.0



Date: November 14, 2020

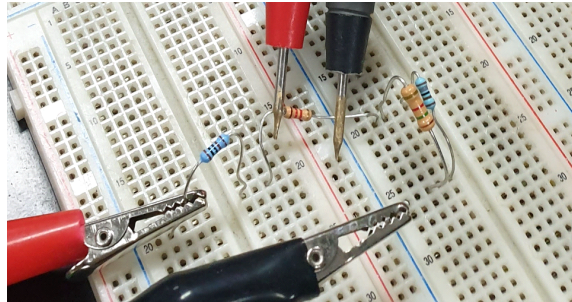
Page 1

Time: 09:11:17

3) 소자 측정

저항 번호	R1	R2	R3	R4
이론값 (단위 Ω)	1k	1.2k	1.4k	1.8k
실제값 (단위 Ω)	0.996k	1.206k	1.442k	1.79k

4) Bread board 회로 구성



5) 이론값

$V_s=5V$ 인 회로에서 $I=1.6736\text{ mA}$, $V_s=10V$ 인 회로에서 $I=3.3473\text{mA}$ 이다.

$V_s[V]$	$R_t[\Omega]$	$R3 R4[\Omega]$	$V_{R1}[V]$	$V_{R2}[V]$	$V(R3 R4)[V]$	$V(\text{전체}R)[V]$
5	2.9875	0.7875	1.6736	2.0084	1.318	5
10	2.9875	0.7875	3.3473	4.0167	2.636	10

6) 실험값

$V_s[V]$	$R_t[\Omega]$	$R3 R4[\Omega]$	$V_{R1}[V]$	$V_{R2}[V]$	$V(R3 R4)[V]$	$V(\text{전체}R)[V]$
5	3.003	0.799	1.658	2.009	1.329	4.998
10	3.003	0.799	3.240	4.017	2.635	10

$V_s[V]$	$P_{R1}[W]$	$P_{R2}[W]$	$P_{(R3 R4)}[W]$	$P(\text{전체}R)[W]$
5	2.760	3.347	2.211	8.318
10	10.540	13.380	8.690	33.300

7) 결과 해석

① KVL 성립 여부

$V_s=5V$ 인 실험에서, $V_{R1}+V_{R2}+V(R3||R4) = 4.987$ 이고, $V(\text{전체}R) = 4.998$ 이다. 이는 약 0.011V의 차이로, 약 0.22%의 오차이므로 KVL이 성립한다는 걸 확인할 수 있다. $V_s=10V$ 일 때에도 $V_{R1}+V_{R2}+V(R3||R4) = 9.892V$ 이고 측정된 $V_s = 10V$ 이므로 약 0.108V의 오차만 있을 뿐, 마찬가지로 KVL이 성립한다는 걸 볼 수 있다.

② 오차

Vs[V]	Rt[%]	R3 R4[%]	VR1[%]	VR2[%]	V(R3 R4)[%]	V(전체R)[%]
5	0.5188	1.4603	0.9321	0.0299	0.8346	0.0400
10	0.5188	1.4603	3.2056	0.0075	0.0379	0.0000

오차율이 약 1% 전후로, 이론값과 실험값이 매우 유사하다.

8) Power consumption and total power consumption

① 이론값

Vs[V]	P_R1[W]	P_R2[W]	P_(R3 R4)[W]	P(전체R)[W]
5	2.801 m	3.361 m	2.206 m	8.368 m
10	11.204 m	13.445 m	8.823 m	33.473 m

$P=VI=V(V/R)=V^2/R$ 로 계산한 power는 다음과 같다.

② 실험값

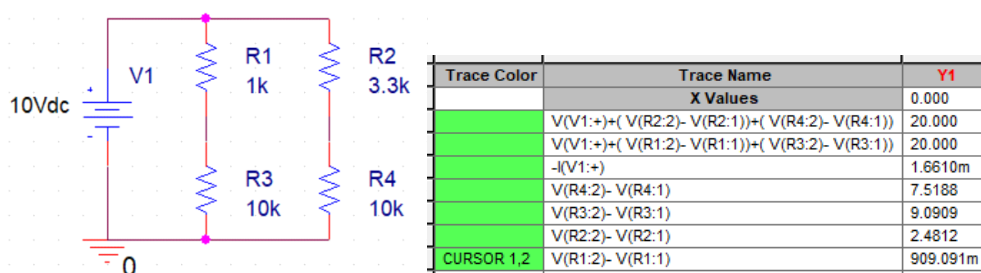
Vs[V]	P_R1[W]	P_R2[W]	P_(R3 R4)[W]	P(전체R)[W]
5	2.760 m	3.347 m	2.211 m	8.318 m
10	10.540 m	13.380 m	8.690 m	33.300 m

나. EXPERIMENT #2-1

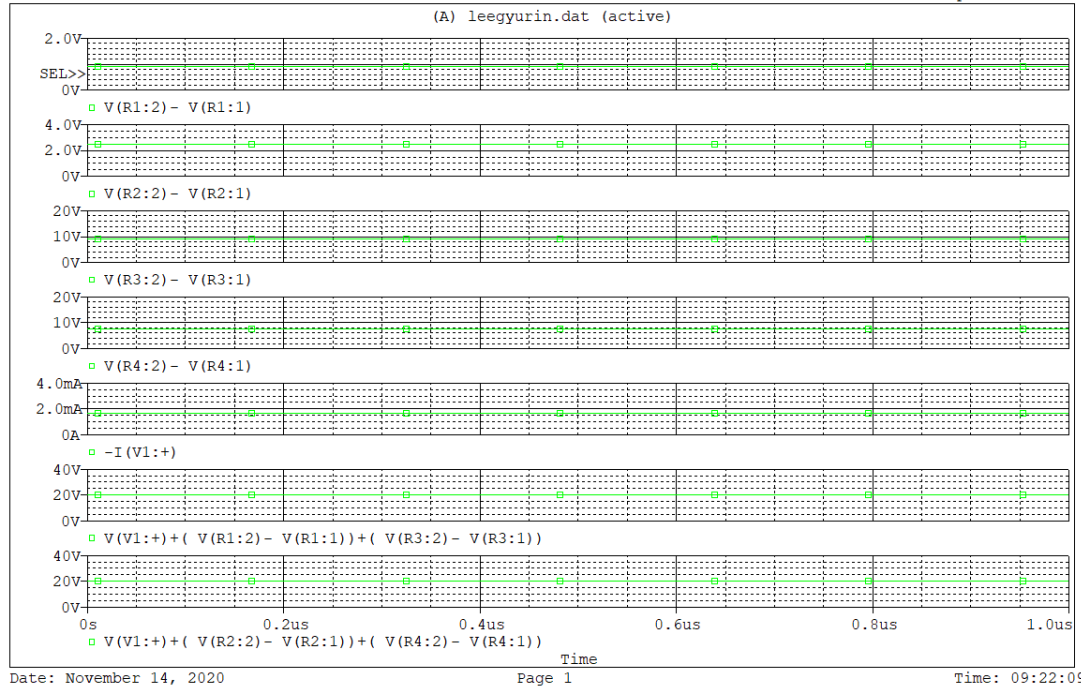
1) 회로 분석

저항 4개와 Vdc 하나로 이루어진 회로이다. 마찬가지로 Vsource = 소자들에 걸리는 V의 총합인지를 확인하기 위해 필요한 값들을 측정해줄 것이다.

2) Pspice 회로 구성 및 simulation



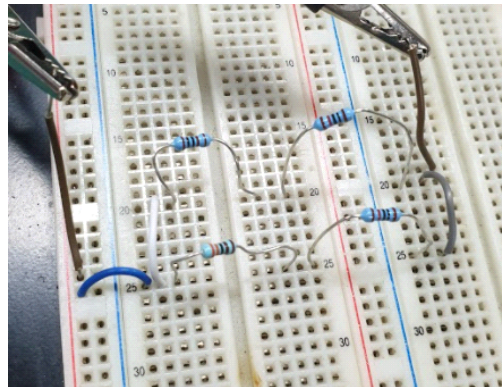
** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
Date/Time run: 11/14/20 09:15:39 Temperature: 27.0



3) 소자 측정

저항 번호	R1	R2	R3	R4
이론값 (단위 Ω)	1k	3.3k	10k	10k
실제값 (단위 Ω)	0.996k	3.287k	9.98k	9.94k

4) Bread board 회로 구성



5) 이론값

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.909	2.481	9.091	7.519	1.661	6.02k	20	20

6) 실험값

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.911	2.477	9.08	7.52	1.669	5.99k	19.991	19.997

7) 결과 해석

① KVL 성립 여부

$V_s+V_1+V_3 = V_s+V_2+V_4$ 이므로 KVL을 만족한다.

② 오차

V1[%]	V2[%]	V3[%]	V4[%]	Is[%]	Rt[%]	Vs+V1+V3 [%]	Vs+V2+V4 [%]
0.2200	0.1612	0.1210	0.0133	0.4816	0.4983	0.0450	0.0150

오차율이 0.05% 미만으로, 굉장히 이론값과 근사하게 나왔다.

8) Power consumption and total power consumption 단위:mW

① 이론값

P1	P2	P3	P4	Pt
0.826	1.865	8.265	5.654	16.611

② 실험값

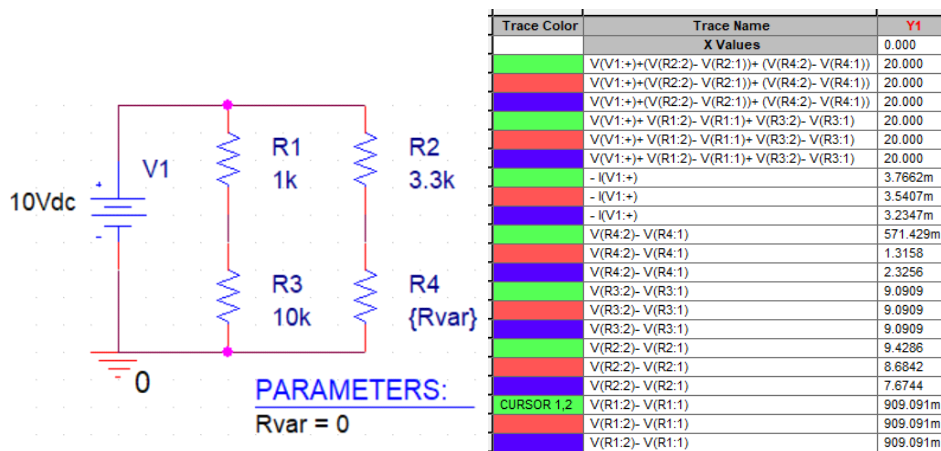
P1	P2	P3	P4	Pt
0.833	1.867	8.261	5.689	16.611

다. EXPERIMENT #2-2

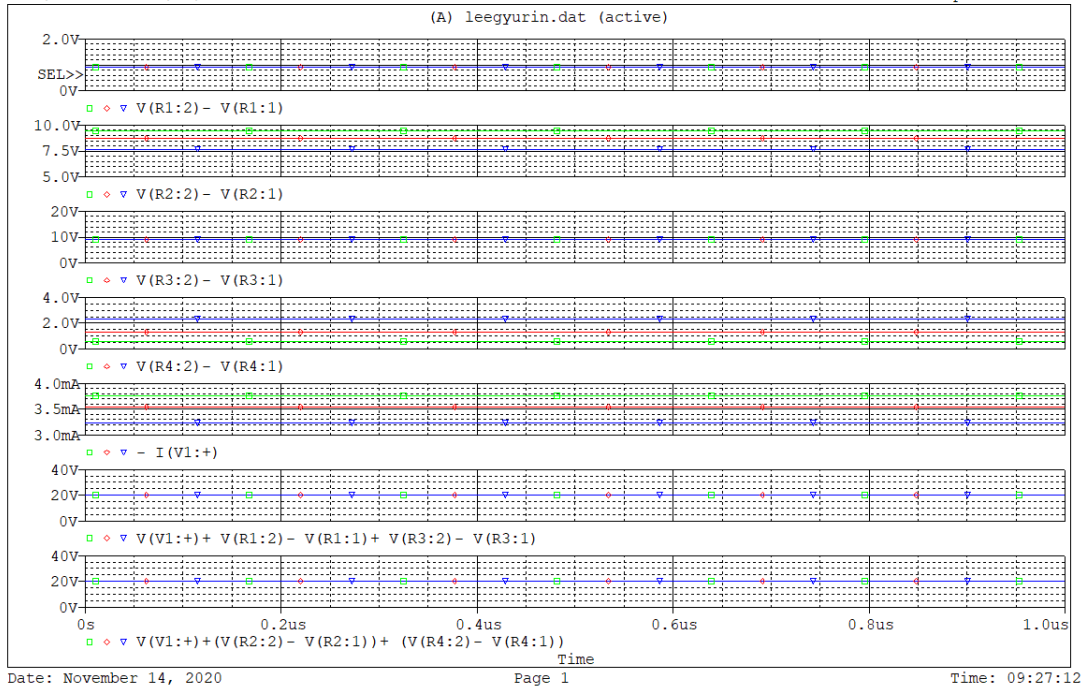
1) 회로 분석

Experiment #2-1의 회로에서 R4를 가변 저항으로 바꾸어 실험해보는 것이다. 우리 실험실에는 가변 저항이 있기는 하지만 조절하기 어렵다는 점 때문에 일반적인 저항으로 우리가 직접 새로운 저항을 breadboard에 꼽아가며 실험을 진행했다. R4의 값을 200Ω, 500Ω, 1kΩ로 바꾸어가며 반복 실험하였다. 이렇게 저항 값이 달라져도 KVL이 성립함은 마찬가지이다.

2) Pspice 회로 구성 및 simulation



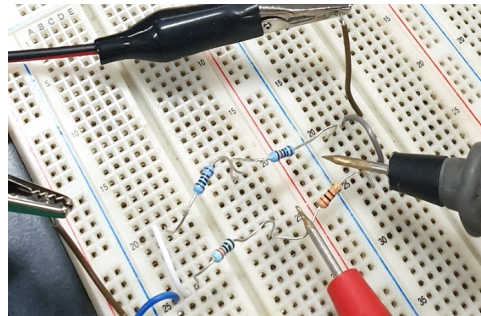
** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
 Date/Time run: 11/14/20 09:24:38 Temperature: 27.0



3) 소자 측정

저항 번호	R1	R2	R3	R4①	R4②	R4③
이론값 (단위 Ω)	1k	3.3k	10k	200	500	1k
실제값 (단위 Ω)	0.996k	3.287k	9.98k	197.4	501.2	0.994k

4) Bread board 회로 구성



5) 이론값

① R4=200Ω

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.909	9.4286	9.091	0.571	3.766	2.655	20	20

② R4=500Ω

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.909	8.864	9.091	1.316	3.541	2.824	20	20

③ R4=1kΩ

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.909	7.764	9.901	2.326	3.235	3.092	20	20

6) 실험값

① R4=200Ω

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.910	9.42	9.08	0.566	3.769	2.653	19.990	19.986

② R4=500Ω

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.910	8.63	9.08	1.321	3.519	2.842	19.990	19.951

③ R4=1kΩ

V1[V]	V2[V]	V3[V]	V4[V]	Is[mA]	Rt[Ω]	Vs+V1+V3 [V]	Vs+V2+V4 [V]
0.910	7.67	9.08	2.319	3.23	3.096	19.990	19.989

7) 결과 해석

① KVL 성립 여부

R4 값에 상관없이 $V_s+V_1+V_3 = V_s+V_2+V_4$ 이므로 KVL은 항상 성립한다는 것을 알 수 있다.

② 오차

(i) R4=200Ω

V1[%]	V2[%]	V3[%]	V4[%]	Is[%]	Rt[%]	Vs+V1+V3 [%]	Vs+V2+V4 [%]
0.11	0.091	0.121	0.876	0.08	0.075	0.05	0.07

(ii) R4=500Ω

V1[%]	V2[%]	V3[%]	V4[%]	Is[%]	Rt[%]	Vs+V1+V3 [%]	Vs+V2+V4 [%]
0.11	2.639	0.121	0.38	0.62	0.637	0.05	0.245

(iii) R4=1kΩ

V1[%]	V2[%]	V3[%]	V4[%]	Is[%]	Rt[%]	Vs+V1+V3 [%]	Vs+V2+V4 [%]
0.11	1.210	8.292	0.301	0.15	0.129	0.05	0.055

오차는 대부분이 1% 미만으로 적게 나왔는데, R4=1kΩ일 때 V3가 약 8% 정도로 살짝 높게 나왔다. 이는 저항 자체의 오차, 그리고 멀티미터로 각 저항 양단에서 측정을 할 때 시간에 따라 값이 계속 살짝씩 변하기 때문에 오차가 약간 발생한 것 같다.

8) Power consumption and total power consumption 단위:mW

① 이론값

(i) $R_4=200\Omega$

P1	P2	P3	P4	Pt
0.826	26.939	8.265	1.630	37.665

(ii) $R_4=500\Omega$

P1	P2	P3	P4	Pt
0.826	23.809	8.265	3.464	35.411

(iii) $R_4=1k\Omega$

P1	P2	P3	P4	Pt
0.826	18.267	9.803	5.410	32.342

② 실험값

(i) $R_4=200\Omega$

P1	P2	P3	P4	Pt
0.828	26.890	8.245	1.602	37.693

(ii) $R_4=500\Omega$

P1	P2	P3	P4	Pt
0.828	22.569	8.245	3.490	35.186

(iii) $R_4=1k\Omega$

P1	P2	P3	P4	Pt
0.828	17.82	8.245	5.378	32.300

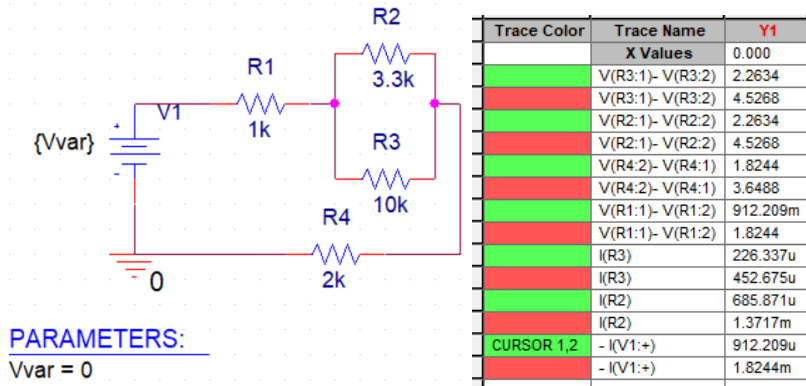
라. EXPERIMENT #3

1) 회로 분석

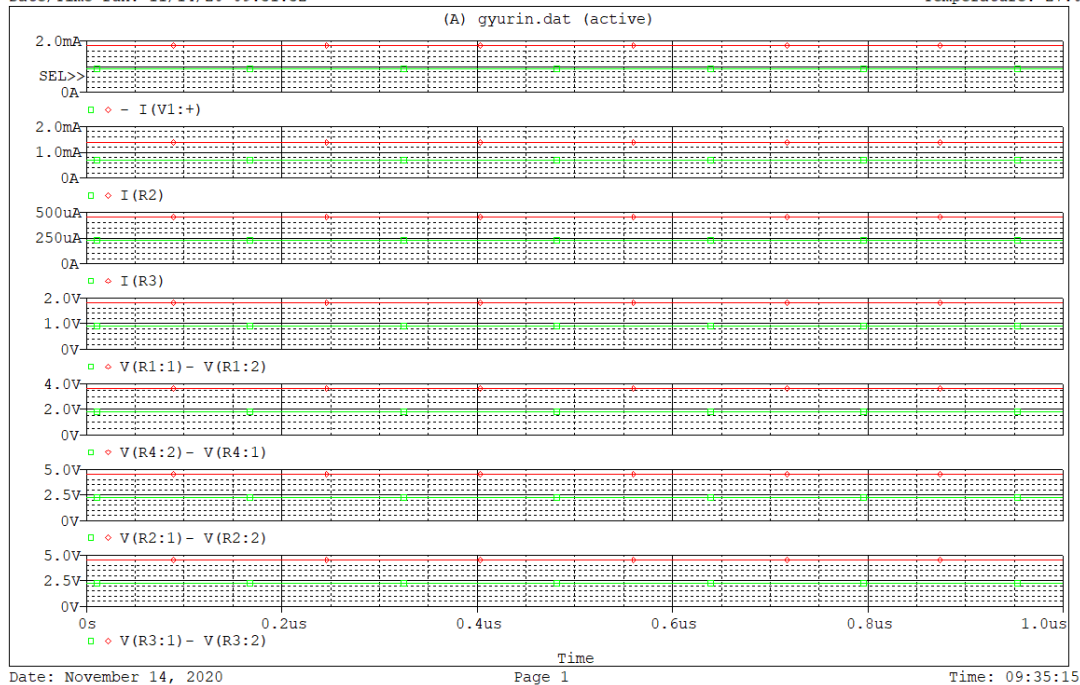
이 실험은 KCL을 만족하는지 알아보는 실험이다. KCL은 current를 측정해서 한 node에 들어오는 전류와 나가는 전류의 총합이 0이 되는지를 살펴보아야 하는데, 우리 실험실에서는 current를 직접 측정하지 않기로 했으므로 V와 R을 측정하여 $V=IR$ 이라는 옴의 법칙을 이용해서 I를 계산해주도록 하겠다. I_1 은 R_1 혹은 R_4 에 흐르는 전류값, I_2 는 R_2 에 흐르는 전류, I_3 는 R_3 에 흐르는 전류라고 이름 붙였다. 만약 이 회로가 KCL을 만족한다면, $I_1 = I_2+I_3$ 일 것이다. 이 실험도 Experiment #1처럼 실험자가 스스로 저항값들을 설정해주는 것이므로, 우리 조에서는 $R_1=1k$, $R_2=3.3k$, $R_3=10k$, $R_4=2k$ 의 Ω 값을 가진 저항 소자들을 사용하였다.

2) Pspice 회로 구성 및 simulation

Vvar은 list of 5V, 10V 이다.



** Profile: "SCHEMATIC1-gyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_1-PSpiceFiles\SCHEMATIC1\gyurin.sim
Date/Time run: 11/14/20 09:31:32 Temperature: 27.0



Date: November 14, 2020

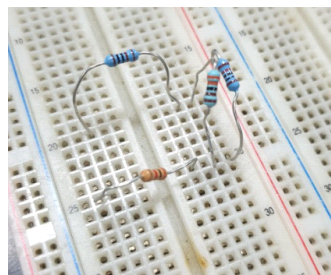
Page 1

Time: 09:35:15

3) 소자 측정

저항 번호	R1	R2	R3	R4
이론값 (단위 Ω)	1k	3.3k	10k	2k
실제값 (단위 Ω)	0.996k	3.287k	9.98k	1.97k

4) Bread board 회로 구성



5) 이론값

V[V]	Rt[Ω]	I[mA]	I2[mA]	I3[mA]	I2+I3[mA]	V1[V]	V4[V]	V2[V]	V3[V]
5	5.4812	0.9122	0.6859	0.2263	0.9122	0.9122	1.8244	2.2634	2.2634
10	5.4812	1.8244	1.3717	0.4527	1.8244	1.8244	3.6488	4.5268	4.5268

6) 실험값

V[V]	Rt[Ω]	I[mA]	I2[mA]	I3[mA]	I2+I3[mA]	V1[V]	V4[V]	V2[V]	V3[V]
5	5.438	0.9197	0.6903	0.2276	0.9179	0.916	1.813	2.269	2.271
10	5.438	1.8384	1.3806	0.4549	1.8355	1.831	3.624	4.538	4.540

7) 결과 해석

① KCL 성립 여부

V_{source}가 5V일 때에도, 10V일 때에도 $I=I_2+I_3$ 를 만족하므로 KCL이 성립함을 확인할 수 있다.

② 오차

V[%]	Rt[%]	I[%]	I2[%]	I3[%]	I2+I3[%]	V1[%]	V4[%]	V2[%]	V3[%]
5	0.7881	0.8222	0.6415	0.5745	0.6249	0.4166	0.6249	0.2474	0.3358
10	0.7881	0.7674	0.6488	0.4860	0.6084	0.3618	0.6797	0.2474	0.2916

오차율이 모두 1% 미만으로, 실험 결과가 잘 나왔음을 확인할 수 있다.

8) Power consumption and total power consumption

① 이론값

V[V]	P1[mW]	P2[mW]	P3[mW]	P4[mW]	Pt[mW]
5	0.832	1.552	0.512	1.664	4.561
10	3.328	6.210	2.049	6.657	18.244

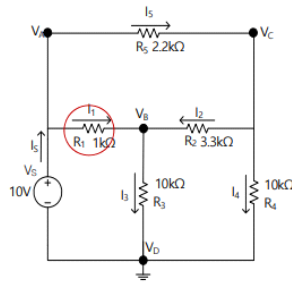
② 실험값

V[V]	P1[mW]	P2[mW]	P3[mW]	P4[mW]	Pt[mW]
5	0.842	1.566	0.517	1.669	4.597
10	3.366	6.265	2.065	6.667	18.389

마. EXPERIMENT #4-1

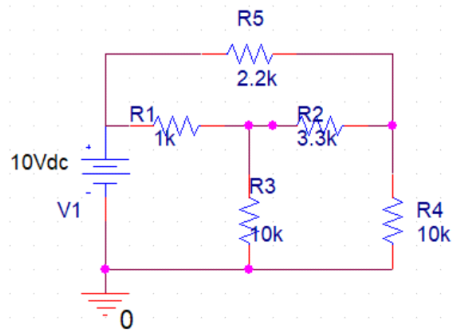
1) 회로 분석

이 실험은 밑의 그림에 표현된 회로에서 R1의 존재 여부에 따라 total Resistance, total Current, 각 node에 걸리는 voltage, 각 소자에 흐르는 current를 조사해 KCL이 만족하는지 확인해보는 것이다. Va를 기점으로 $I_s=I_1+I_5$ 이고, Vc를 기점으로 $I_5=I_2+I_4$ 이고, Vb를 기점으로 $I_1+I_2=I_3$, Vd를 기점으로 $I_3+I_4=I_s$ 를 모두 만족하면 KCL을 만족하는 것이다.



2) Pspice 회로 구성 및 simulation

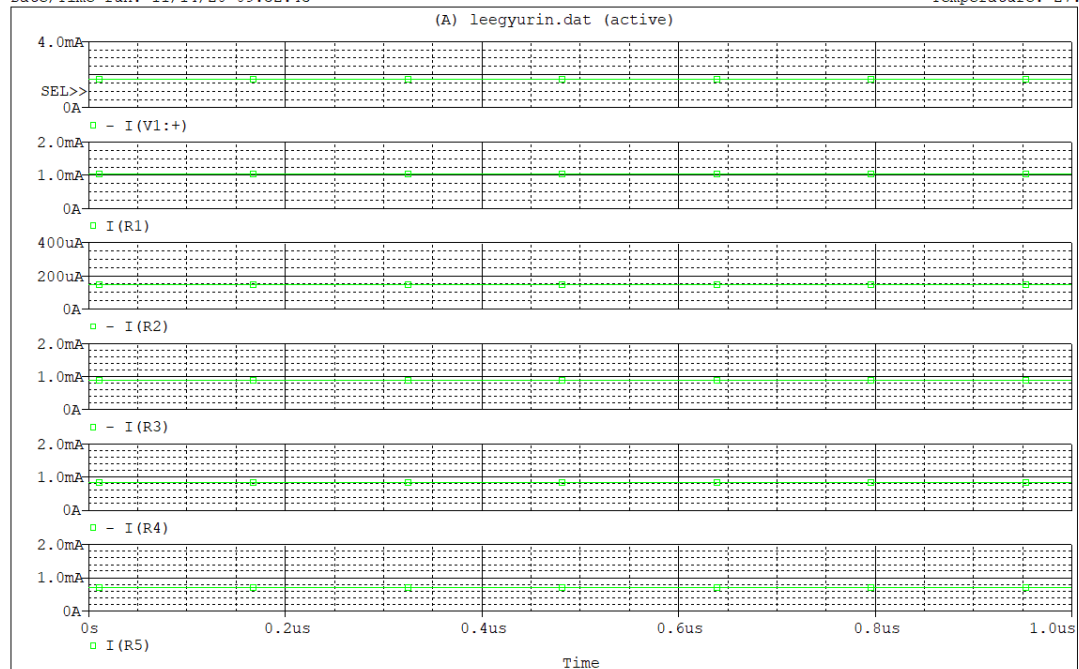
① R1이 있을 때



Trace Color	Trace Name	Y1
	X Values	0.000
	I(R5)	697.767u
	- I(R4)	846.491u
	- I(R3)	895.571u
	- I(R2)	148.725u
	I(R1)	1.0443m
CURSOR 1,2	- I(V1:+))	1.7421m

Trace Color	Trace Name	Y1
	X Values	0.000
CURSOR 1,2	V(N00378)	10.000
	V(N00382)	8.9557
	V(N00398)	8.4649
	V(0)	0.000

** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PspiceFiles\SCHEMATIC1\leegyuri
 Date/Time run: 11/14/20 09:52:43 Temperature: 27.0

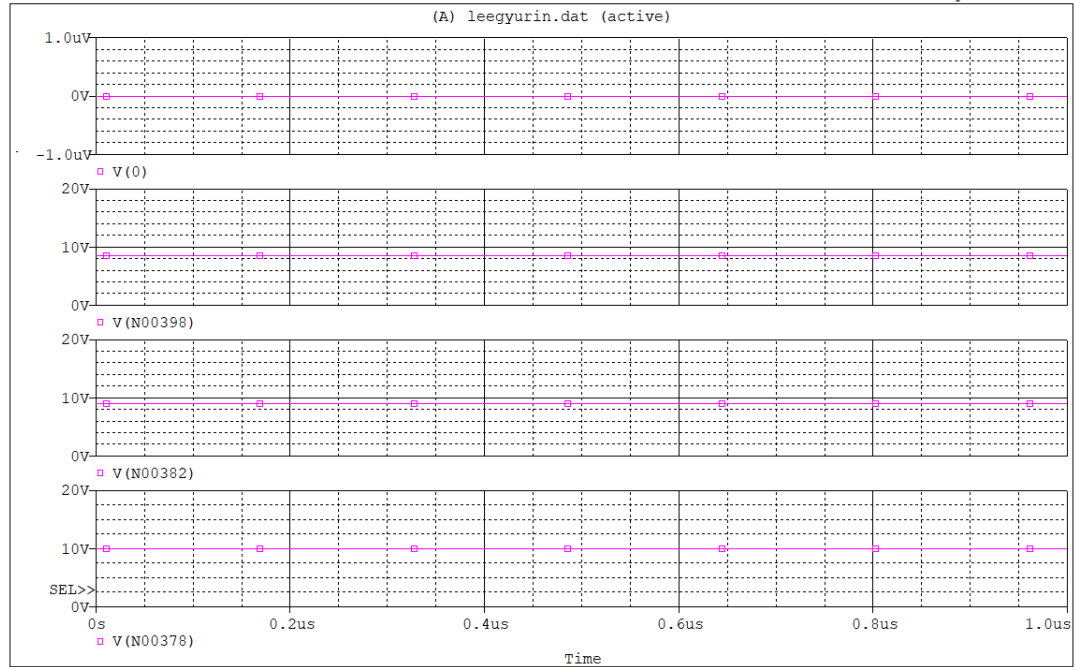


Date: November 14, 2020

Page 1

Time: 09:53:29

** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
Date/Time run: 11/14/20 09:39:48 Temperature: 27.0

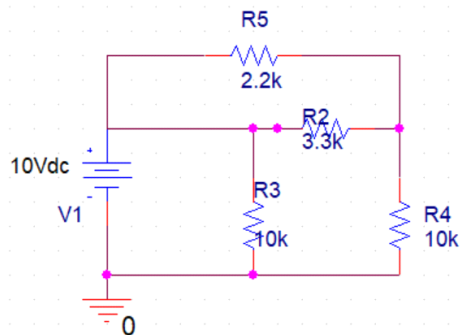


Date: November 14, 2020

Page 1

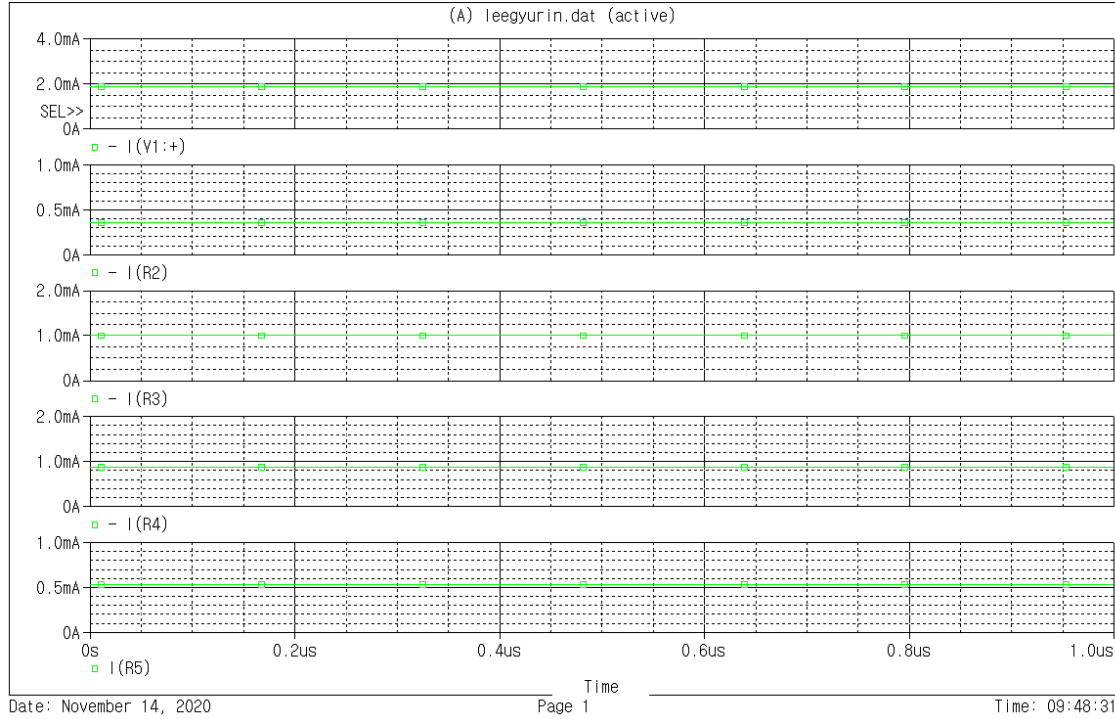
Time: 09:44:47

② R1이 없을 때

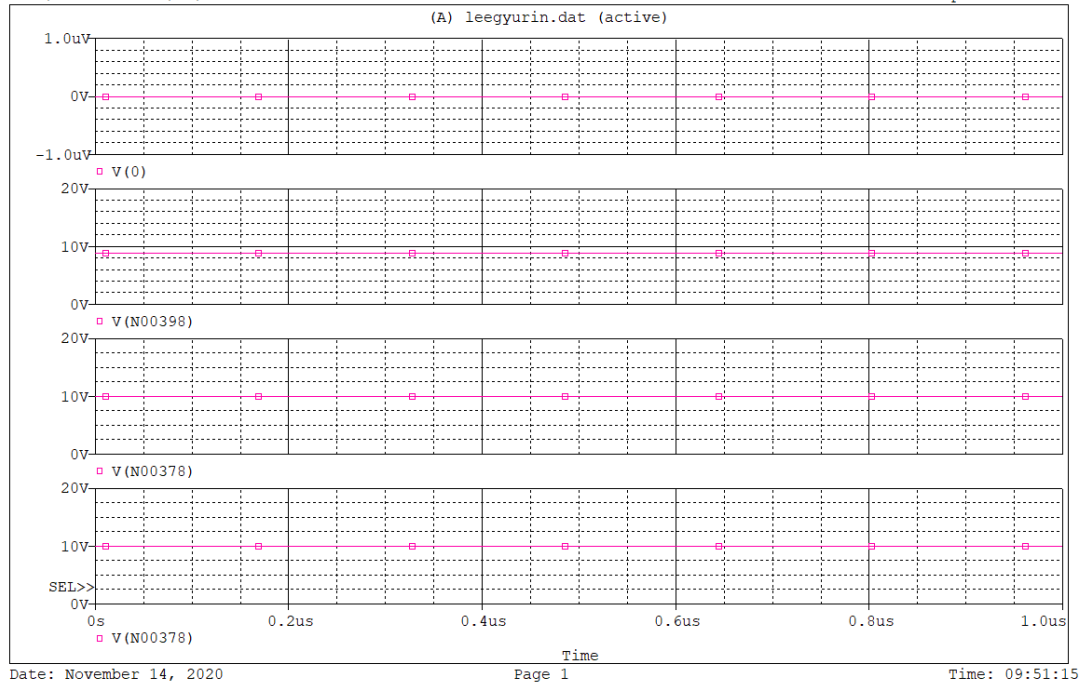


Trace Color	Trace Name	Y1	Trace Color	Trace Name	Y1
	X Values	0.000		X Values	0.000
	I(R5)	530.035u	CURSOR 1,2	V(N00378)	10.000
	- I(R4)	883.392u		V(N00378)	10.000
	- I(R3)	1.0000m		V(N00398)	8.8339
	- I(R2)	353.357u		V(0)	0.000
CURSOR 1,2	- I(V1+)	1.8834m			

** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyurin...
 Date/Time run: 11/14/20 09:46:43 Temperature: 27.0



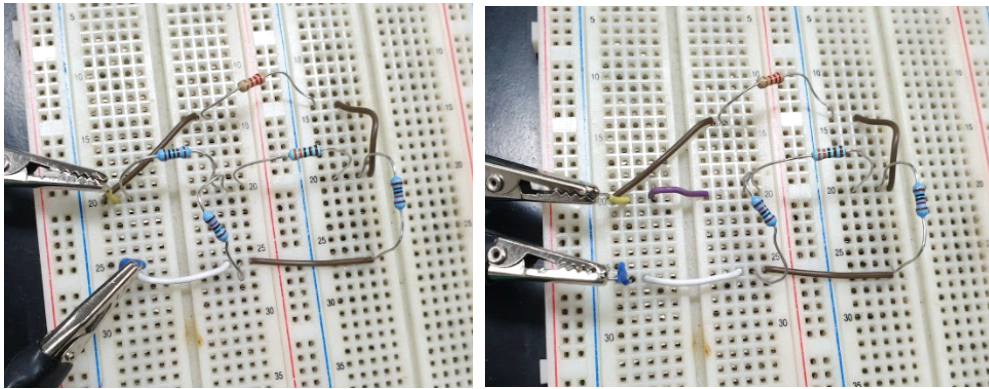
** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyurin...
 Date/Time run: 11/14/20 09:46:43 Temperature: 27.0



3) 소자 측정

저항 번호	R1	R2	R3	R4	R5
이론값 (단위 Ω)	1k	3.3k	10k	10k	2.2k
실제값 (단위 Ω)	0.996k	3.287k	9.98k	9.94k	2.166k

4) Bread board 회로 구성



5) 이론값

① R1이 있을 때

저항[Ω]	전압[V]				전류[mA]					
R_t	VA	VB	VC	VD	I_s	I_1	I_2	I_3	I_4	I_5
5.741k	10	8.956	8.465	0	1.742	1.044	-0.149	0.896	0.846	0.698

기점	들어오는 I[mA]		나가는 I[mA]	
Va	I_s	1.742	I_1+I_5	1.742
Vb	I_1+I_2	0.895	I_3	0.896
Vc	I_5	0.698	I_2+I_4	0.715
Vd	I_3+I_4	1.742	I_s	1.742

② R1이 없을 때

저항[Ω]	전압[V]				전류[mA]					
R_t	VA	VB	VC	VD	I_s	I_1	I_2	I_3	I_4	I_5
5.311k	10	10	8.834	0	1.883	-	-0.353	1	0.883	0.530

기점	들어오는 I[mA]		나가는 I[mA]	
Va	I_s+I_2	1.53	I_3+I_5	1.53
Vc	I_5	0.530	I_2+I_4	0.53
Vd	I_3+I_4	1.883	I_s	1.883

6) 실험값

① R1이 있을 때

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
5.849k	10	9.21	9.65	0	1.709	0.793	-0.134	0.993	0.971	0.162

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is	1.709	I1+I5	0.955
Vb	I1+I2	0.659	I3	0.993
Vc	I5	0.162	I2+I4	0.837
Vd	I3+I4	1.964	Is	1.709

② R1이 없을 때

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
5.287k	10	9.9	8.84	0	1.891	-	-0.322	0.992	0.889	0.536

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is+I2	1.569	I3+I5	1.528
Vc	I5	0.536	I2+I4	0.567
Vd	I3+I4	1.881	Is	1.891

7) 결과 해석

① KCL 성립 여부

(i) R1이 있을 때, 각각의 node에서 input current와 output current를 비교해보았는데, 사실 KCL을 만족하려면 input current와 output current가 같아야 한다. 그런데 측정 결과, 오차가 좀 심하게 났다. 이는 저항 여러 개를 bread board에 끼우다 보니 내부에서 서로 접합이 되거나 하는 등의 회로상의 문제가 있었음이라고 추측된다.

(ii) R1이 없을 때의 KCL 결과는 만족스럽게 나왔다. 각 node에서 들어오는 current와 나가는 current가 거의 일치함을 확인할 수 있다. 참고로, I2의 값이 음수로 나왔는데, 이는 우리가 I2가 Vc쪽에서 Vb쪽으로 전류가 흐른다고 가정하고 회로를 꾸몄는데, I2가 음수로 나왔다는 것은 실제로 이 I2는 Vb쪽에서 Vc쪽으로 흐른다는 것을 의미한다.

② 오차

(i) R1이 있을 때

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.881	0.000	2.836	13.99	0	1.894	24.04	10.067	10.82	14.77	76.79

기점	들어오는 I[%]		나가는 I[%]	
Va	Is	1.894	I1+I5	45.178
Vb	I1+I2	26.369	I3	10.826
Vc	I5	76.791	I2+I4	17.063
Vd	I3+I4	12.744	Is	1.894

(ii) R1이 없을 때

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
0.452	0.000	1.000	0.068	0	0.425	-	8.782	0.800	0.680	1.132

기점	들어오는 I[%]		나가는 I[%]	
Va	Is+I2	2.549	I3+I5	0.131
Vc	I5	1.132	I2+I4	6.981
Vd	I3+I4	0.106	Is	0.425

8) Power consumption and total power consumption

① 이론값

	P1	P2	P3	P4	P5	Pt
R1	1.090	0.073	8.028	7.157	1.072	17.41
no R1	-	0.411	10.000	7.797	0.618	18.83

② 실험값

	P1	P2	P3	P4	P5	Pt
R1	0.626	0.059	9.841	9.372	0.057	17.09
no R1	-	0.341	9.821	7.856	0.622	18.91

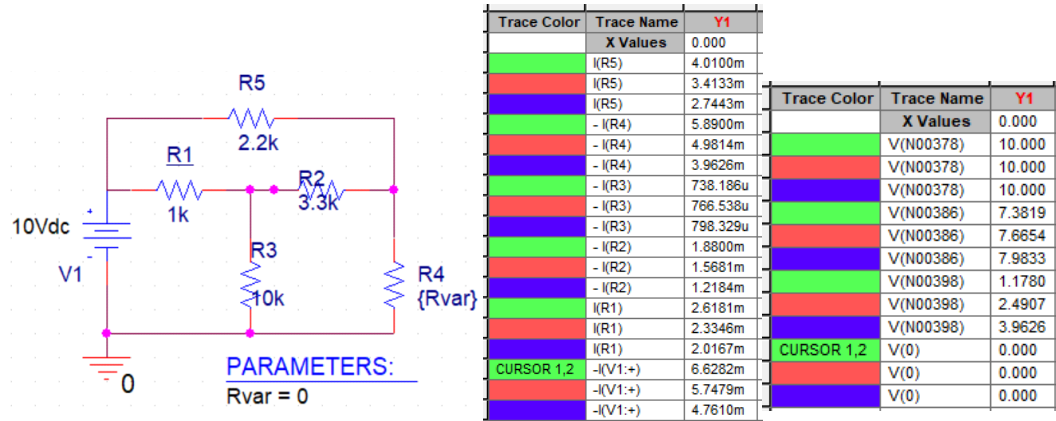
바. EXPERIMENT #4-2

1) 회로 분석

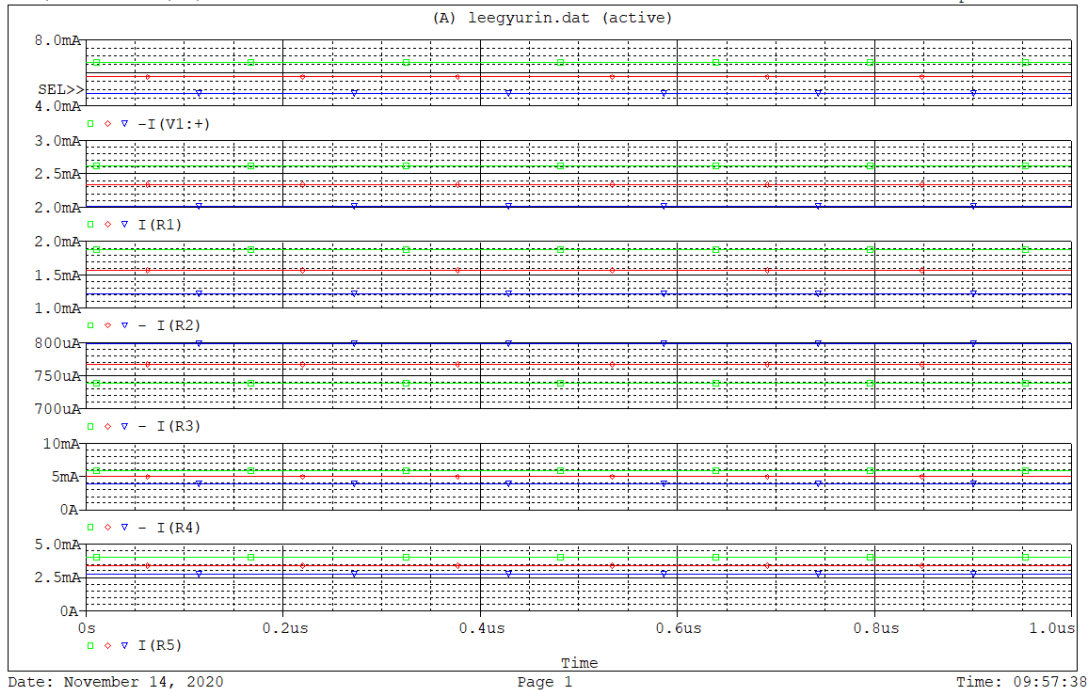
이 실험은 Experiment #4-1과 R4의 값 외에 모두 동일한 환경이다. 이 실험에서는 회로를 구성하는 저항 중 하나가 값이 달라져도 KCL원리가 성립하는지를 알아보기 위한 실험이다. R4는 200, 500, 1k의 Ω 값으로 바뀌어가며 실험이 진행된다.

2) Pspice 회로 구성 및 simulation

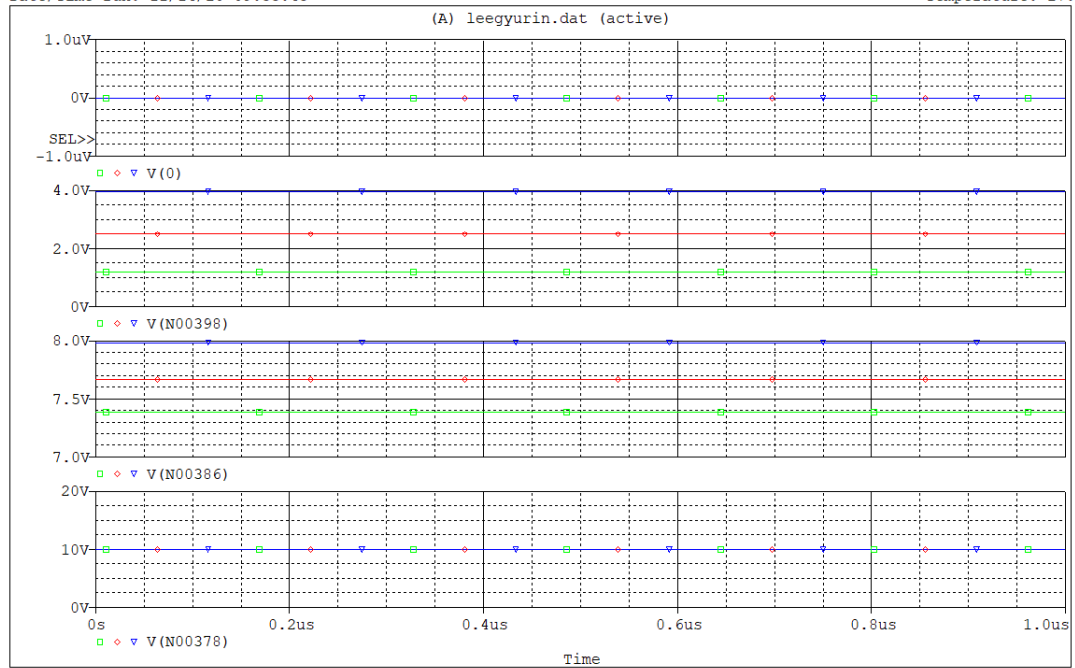
① R1이 있을 때, Rvar는 list of 200, 500, 1k.



** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
Date/Time run: 11/14/20 09:55:45 Temperature: 27.0



** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
Date/Time run: 11/14/20 09:55:45 Temperature: 27.0

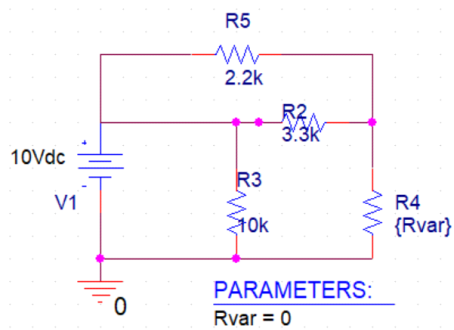


Date: November 14, 2020

Page 1

Time: 09:59:17

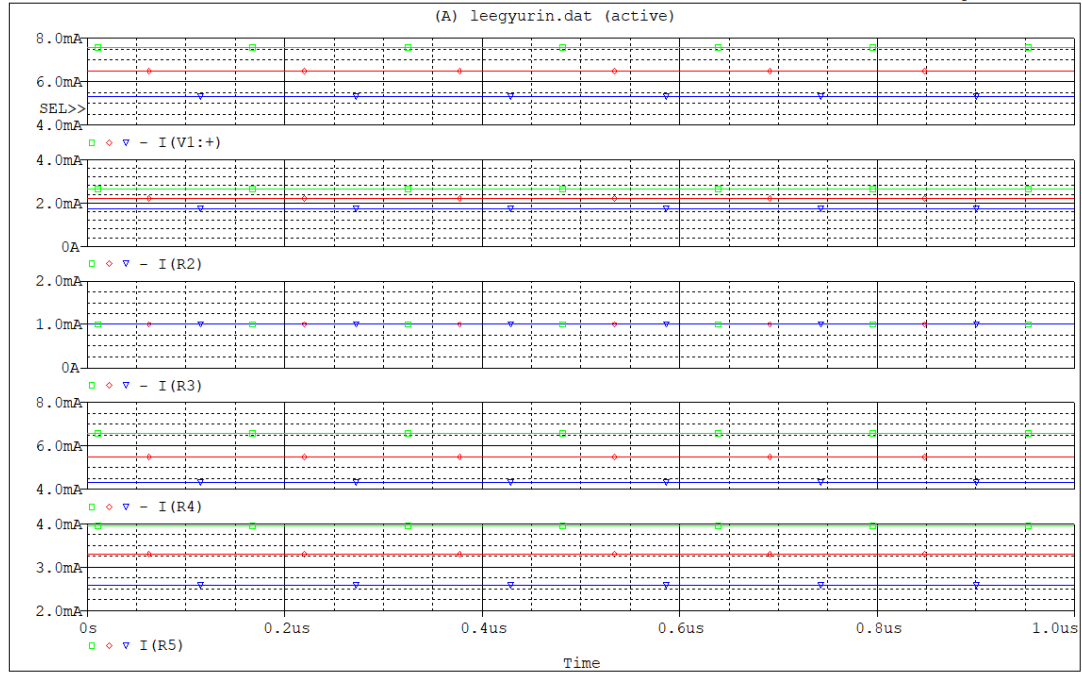
② R1이 없을 때, Rvar는 list of 200, 500, 1k.



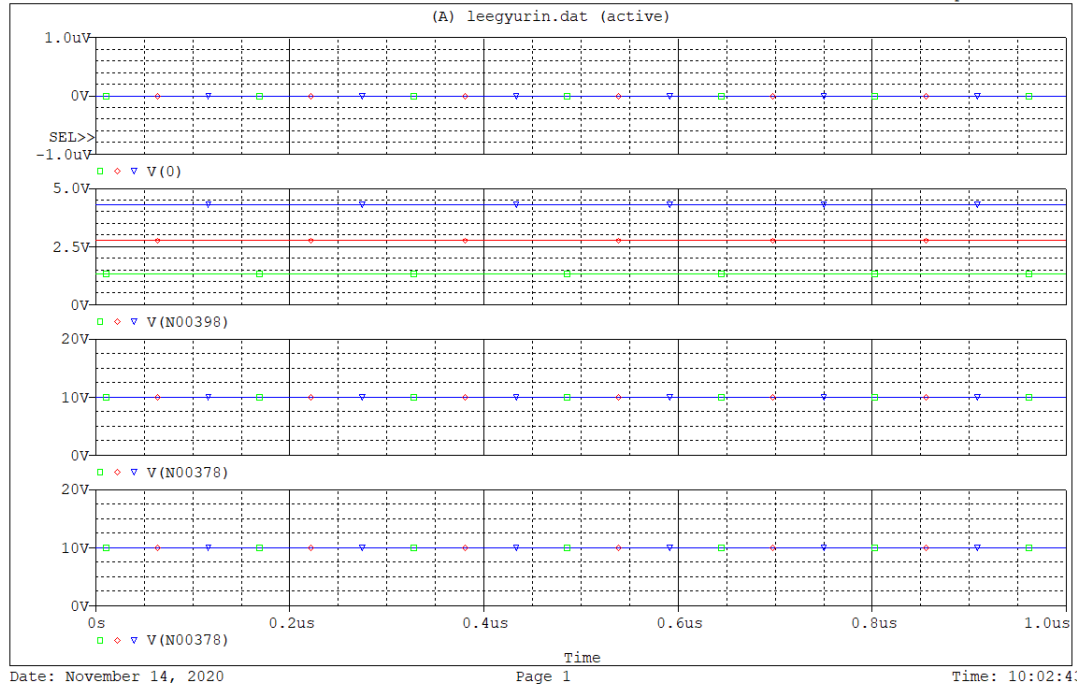
Trace Color	Trace Name	Y1
	X Values	0.000
	I(R5)	3.9474m
	I(R5)	3.2967m
	I(R5)	2.5862m
	- I(R4)	6.5790m
	- I(R4)	5.4945m
	- I(R4)	4.3103m
	- I(R3)	1.0000m
	- I(R3)	1.0000m
	- I(R3)	1.0000m
	- I(R2)	2.6316m
	- I(R2)	2.1978m
	- I(R2)	1.7241m
CURSOR 1,2	- I(V1:+)	7.5790m
	- I(V1:+)	6.4945m
	- I(V1:+)	5.3103m

Trace Color	Trace Name	Y1
	X Values	0.000
	V(N00378)	10.000
	V(N00378)	10.000
	V(N00378)	10.000
	V(N00378)	10.000
	V(N00378)	10.000
	V(N00378)	10.000
	V(N00398)	1.3158
	V(N00398)	2.7473
	V(N00398)	4.3103
CURSOR 1,2	V(0)	0.000
	V(0)	0.000
	V(0)	0.000

** Profile: "SCHEMATIC1-leeggyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leeggyuri
Date/Time run: 11/14/20 10:00:26 Temperature: 27.0



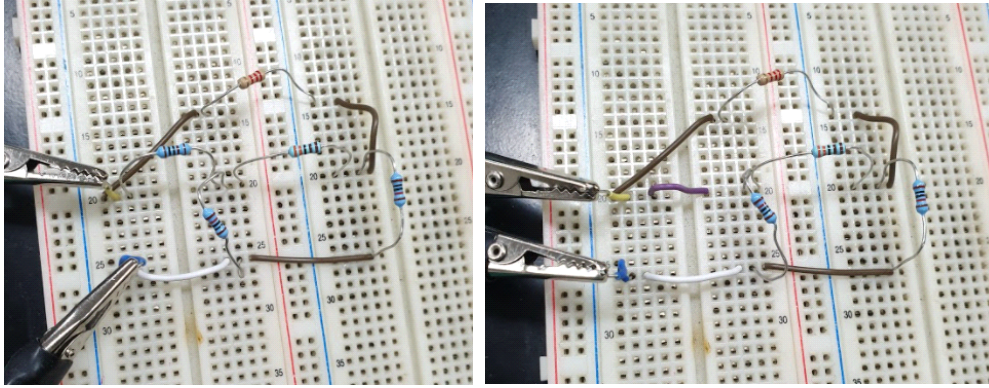
** Profile: "SCHEMATIC1-leeggyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leeggyuri
Date/Time run: 11/14/20 10:00:26 Temperature: 27.0



3) 소자 측정

저항 번호	R1	R2	R3	Rs	R4①	R4②	R4③
이론값 (단위 Ω)	1k	3.3k	10k	2.2k	200	500	1k
실제값 (단위 Ω)	0.996k	3.287k	9.98k	2.166k	197.4	501.2	0.998k

4) Bread board 회로 구성 (Experiment #4-1와 동일)



5) 이론값

① $R_4=200\Omega$

(i) with R_1

저항[Ω]	전압[V]				전류[mA]					
R_t	VA	VB	VC	VD	I_s	I_1	I_2	I_3	I_4	I_5
1.509	10	7.382	1.178	0	6.63	2.62	-1.88	0.738	5.89	4.01

기점	들어오는 I[mA]		나가는 I[mA]	
Va	I_s	6.63	I_1+I_5	6.63
Vb	I_1+I_2	0.74	I_3	0.738
Vc	I_5	4.01	I_2+I_4	4.01
Vd	I_3+I_4	6.628	I_s	6.63

(ii) without R_1

저항[Ω]	전압[V]				전류[mA]					
R_t	VA	VB	VC	VD	I_s	I_1	I_2	I_3	I_4	I_5
1.319	10	10	1.316	0	7.579	-	-2.63	1	6.58	3.947

기점	들어오는 I[mA]		나가는 I[mA]	
Va	I_s+I_2	4.949	I_3+I_5	4.947
Vc	I_5	3.947	I_2+I_4	3.95
Vd	I_3+I_4	7.58	I_s	7.579

② $R_4=500\Omega$

(i) with R_1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.739	10	7.665	2.491	0	5.748	2.335	-1.56	0.766	4.981	3.413

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is	5.748	I1+I5	5.748
Vb	I1+I2	0.775	I3	0.766
Vc	I5	3.413	I2+I4	3.421
Vd	I3+I4	5.747	Is	5.748

(ii) without R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
2.861	10	10	2.747	0	6.495	-	-2.19	1	5.495	3.297

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is+I2	4.305	I3+I5	4.297
Vc	I5	3.297	I2+I4	3.305
Vd	I3+I4	6.495	Is	6.495

③ R4=1kΩ

(i) with R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
2.100	10	7.983	3.963	0	4.761	2.017	-1.22	0.798	3.963	2.744

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is	4.761	I1+I5	4.761
Vb	I1+I2	0.797	I3	0.798
Vc	I5	2.744	I2+I4	2.743
Vd	I3+I4	4.761	Is	4.761

(ii) without R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.883	10	10	4.310	0	5.31	-	-1.72	1	4.31	2.586

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is+I2	3.59	I3+I5	3.586
Vc	I5	2.586	I2+I4	2.59
Vd	I3+I4	5.31	Is	5.31

6) 실험값

① R4=200Ω

(i) with R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.501	9.99	7.37	1.180	0	6.656	2.62	-1.87	0.737	5.900	4.00

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is	6.656	I1+I5	6.62
Vb	I1+I2	0.75	I3	0.737
Vc	I5	4.00	I2+I4	4.03
Vd	I3+I4	6.637	Is	6.656

들어오는 current = 나가는 current 이므로 KCL 성립.

(ii) without R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.546	10	9.95	1.351	0	6.468	-	-2.60	0.995	6.755	3.93

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is+I2	3.868	I3+I5	4.925
Vc	I5	3.93	I2+I4	4.155
Vd	I3+I4	7.75	Is	6.468

약간의 오차가 있지만 KCL 성립.

② R4=500Ω

(i) with R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.727	9.99	7.66	2.518	0	5.785	2.33	-1.55	0.766	5.036	3.39

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is	5.785	I1+I5	5.72
Vb	I1+I2	0.78	I3	0.766
Vc	I5	3.39	I2+I4	3.486
Vd	I3+I4	5.802	Is	5.785

KCL 성립.

(ii) without R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
3.098	9.99	9.99	2.998	0	3.228	-	-2.11	0.999	5.996	3.178

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is+I2	1.118	I3+I5	4.177
Vc	I5	3.178	I2+I4	3.886
Vd	I3+I4	6.995	Is	3.228

오차가 있다. 멀티미터로 Va, Vb, Vc 값을 측정할 때 값이 안정되지 않은 채 기록을 해두어 오차가 발생했을 것이다. 이론상으로는 들어오는 I와 나가는 I 값이 같아야 한다.

③ R4=1kΩ

(i) with R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
2.086	9.99	7.98	3.983	0	4.789	2.01	-1.21	0.798	3.983	2.73

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is	4.789	I1+I5	4.74
Vb	I1+I2	0.8	I3	0.798
Vc	I5	2.73	I2+I4	2.773
Vd	I3+I4	4.781	Is	4.789

KCL 성립한다.

(ii) without R1

저항[Ω]	전압[V]				전류[mA]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
1.878	9.99	9.99	4.312	0	5.325	-	-1.72	0.999	4.312	2.580

기점	들어오는 I[mA]		나가는 I[mA]	
Va	Is+I2	3.605	I3+I5	3.579
Vc	I5	2.580	I2+I4	2.592
Vd	I3+I4	5.311	Is	5.325

KCL 성립한다.

7) 오차

① R4=200Ω

(i) with R1

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
0.530	0.100	0.163	0.170	0	0.392	0.000	0.532	0.136	0.170	0.249

기점	들어오는 I[%]		나가는 I[%]	
Va	Is	0.392	I1+I5	0.151
Vb	I1+I2	1.351	I3	0.136
Vc	I5	0.249	I2+I4	0.499
Vd	I3+I4	0.136	Is	0.392

(ii) without R1

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
17.210	0.000	0.500	2.660	0	14.66	-	1.141	0.500	2.660	0.431

기점	들어오는 I[%]		나가는 I[%]	
Va	Is+I2	21.843	I3+I5	0.445
Vc	I5	0.431	I2+I4	5.190
Vd	I3+I4	2.243	Is	14.659

② R4=500Ω

(i) with R1

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
0.690	0.100	0.065	1.084	0	0.644	0.214	0.641	0.000	1.104	0.674

기점	들어오는 I[%]		나가는 I[%]	
Va	Is	0.644	I1+I5	0.487
Vb	I1+I2	0.645	I3	0.000
Vc	I5	0.674	I2+I4	1.900
Vd	I3+I4	0.957	Is	0.644

(ii) without R1

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
8.284	0.100	0.100	9.137	0	50.30	-	-3.653	0.100	9.117	3.609

기점	들어오는 I[%]		나가는 I[%]	
Va	Is+I2	74.030	I3+I5	2.793
Vc	I5	3.609	I2+I4	17.579
Vd	I3+I4	7.698	Is	50.300

③ R4=1k Ω

(i) with R1

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
0.667	0.100	0.038	0.505	0	0.588	0.347	0.820	0.000	0.505	0.510

기점	들어오는 I[%]		나가는 I[%]	
Va	Is	0.588	I1+I5	0.441
Vb	I1+I2	0.376	I3	0.000
Vc	I5	0.510	I2+I4	1.094
Vd	I3+I4	0.420	Is	0.588

(ii) without R1

저항[%]	전압[%]				전류[%]					
Rt	VA	VB	VC	VD	Is	I1	I2	I3	I4	I5
0.266	0.100	0.100	0.046	0	0.282	-	0.000	0.100	0.046	0.232

기점	들어오는 I[%]		나가는 I[%]	
Va	Is+I2	0.418	I3+I5	0.195
Vc	I5	0.232	I2+I4	0.077
Vd	I3+I4	0.019	Is	0.282

8) Power consumption and total power consumption

① 이론값, P 단위 mW

R4		P1	P2	P3	P4	P5	Pt
200	R1	6.864	1.071	0.054	15.769	80.401	66.269
	no R1	-	2.096	0.100	19.680	77.894	75.815
500	R1	5.452	0.737	0.059	11.277	23.297	57.504
	no R1	-	1.453	0.100	13.725	21.740	34.953
1k	R1	4.068	0.451	0.064	7.139	7.530	47.619
	no R1	-	0.896	0.100	8.444	6.687	53.107

② 실험값, P 단위 mW

R4		P1	P2	P3	P4	P5	Pt
200	R1	6.892	1.064	0.054	16.071	81.054	66.622
	no R1	-	2.057	0.099	21.066	78.242	64.683
500	R1	5.451	0.731	0.059	11.709	22.984	57.904
	no R1	-	1.354	0.100	16.598	20.199	32.279
1k	R1	4.056	0.445	0.064	7.324	7.453	47.939
	no R1	-	0.900	0.100	8.584	6.656	53.248

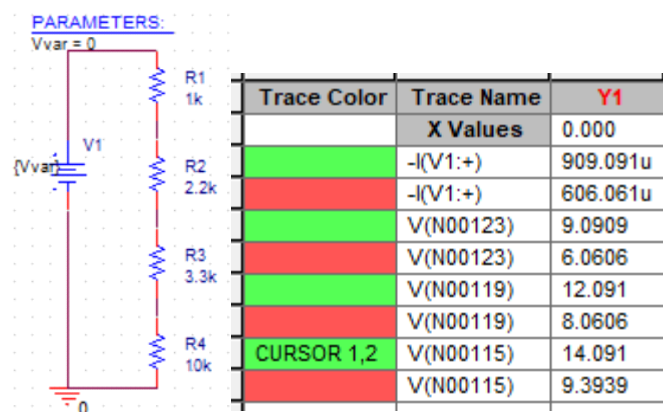
사. EXPERIMENT #5

1) 회로 분석

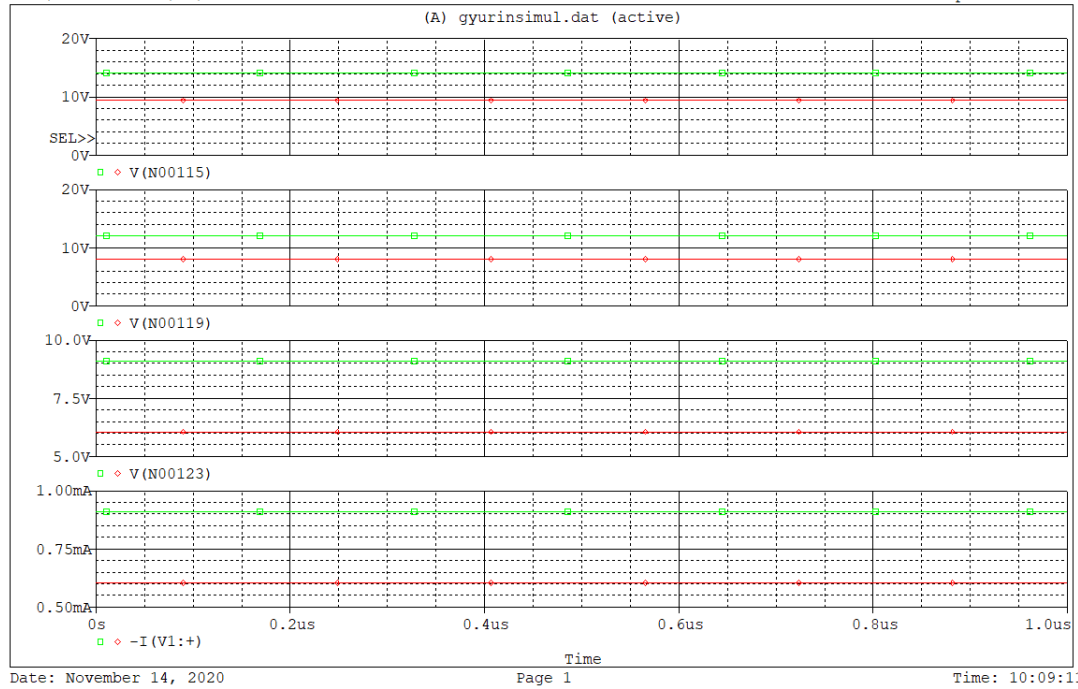
이번 실험은 voltage divider에 관한 것으로, 저항 4개를 직렬로 연결한 뒤 저항 사이사이의 3가지 노드에서의 V를 측정한다. 저항이 직렬연결 되어있기 때문에 V 값은 저항을 거칠 때마다 떨어질 것이다. voltage divider는 파형을 바꾸지 않고 전압의 크기를 분할하여 적당한 값으로 끌어내는 장치로서, 이렇게 저항 성분이 있어서 V를 내릴 수 있는 것이다.

2) Pspice 회로 구성 및 simulation

Vvar는 list of 15V, 10V이다.



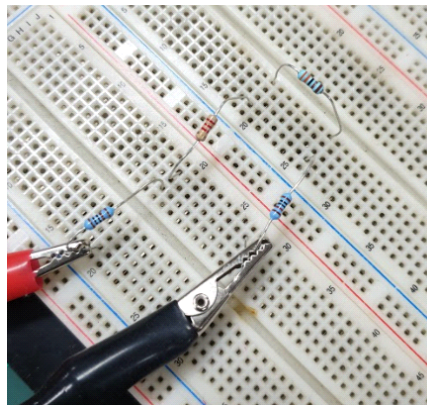
** Profile: "SCHEMATIC1-gyurinsimul" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_3-PSpiceFiles\SCHEMATIC1\gyurin
Date/Time run: 11/14/20 10:08:12 Temperature: 27.0



3) 소자 측정

저항 번호	R1	R2	R3	R4
이론값 (단위 Ω)	1k	2.2k	3.3k	10k
실제값 (단위 Ω)	0.996k	2.166k	3.287k	9.98k

4) Bread board 회로 구성



5) 이론값

V[V]	Vx1[V]	Vx2[V]	Vx3[V]	Rt[Ω]	I_T[mA]
15	14.09	12.09	9.091	16.5k	0.9091
10	9.394	8.061	6.061	16.5k	0.6061

6) 실험값

V[V]	Vx1[V]	Vx2[V]	Vx3[V]	Rt[Ω]	I_T[mA]
15	13.77	12.09	9.11	16.429k	0.913
10	9.25	8.06	6.001	16.429k	0.6087

7) 결과 해석

Vsource에서 인가된 전압이 저항을 거치면서 점점 V가 떨어져가는 걸 확인할 수 있었다. 이것의 원리는 KVL로도 설명할 수 있는데, $+V_s - I_T \cdot R_1 - I_T \cdot R_2 - I_T \cdot R_3 - I_T \cdot R_4 = 0$ 이다. 그리고 $V_{x1} = V_s - I_T \cdot R_1$, $V_{x2} = V_{x1} - I_T \cdot R_2$, $V_{x3} = V_{x2} - I_T \cdot R_3$ 이다.

오차는 다음과 같다. (단위 : %) 오차율은 거의 1% 전후로 실험 결과 해석 시 무시 될만하다.

V[V]	Vx1[%]	Vx2[%]	Vx3[%]	Rt[%]	I_T[%]
15	2.271	0.000	0.209	0.430	0.429
10	1.533	0.012	0.990	0.430	0.429

8) Power consumption and total power consumption

① 이론값, P 단위 mW

Vs	P1	P2	P3	P4	Pt
15V	0.82	1.818	2.726	8.265	13.637
10V	0.367	0.808	1.2122	3.674	6.061

② 실험값, P 단위 mW

Vs	P1	P2	P3	P4	Pt
15V	1.123	1.534	2.72	8.317	13.695
10V	0.457	0.724	1.253	3.653	6.087

9) Discussion

- Explain the output change of the voltage divider when 1 k ohm load resistor is connected to the output terminal on circuit in EXP#5.

기존의 회로에서 R2와 R3 사이의 전압은 12.09V였다. 왜냐하면 $\frac{R_3 + R_4}{R_t} \times V_s = \frac{13.3}{16.5} \times 15 = 12.09$ 이기 때문이다.

그런데 기존 회로에서 R2와 R3 사이에 1kΩ 저항을 추가하게 된다면 그 분압되는 곳의 전압이 바뀌게 된다. 1kΩ 저항이 추가되었을 때 분압되는 곳의 전압을 Vx라고 하면, $V_x = \frac{(R_3 + R_4) \parallel R_{Load}}{R_t} V_s$ 인데, $R_3 + R_4 = 13.3k$ 이고, $(R_3 + R_4) \parallel R_{Load} = \frac{1}{\frac{1}{13.3k} + \frac{1}{1k}} = \text{약 } 0.93k$ 이므로, $V_x = \frac{0.93k}{0.93k + 3.2k} \times 15V = \text{약 } 3.38V$ 이다. 즉, 저항을 지날 때 전압 강하가 나타나므로 1kΩ 저항이 추가되면 output voltage가 감소한다.

• Show the calculated and simulated results

		기존 회로	1kΩ 추가한 회로
simulation	Or Cad		
	Vx	12.09V	3.378V
calculated	Vx	12.09V	3.38V

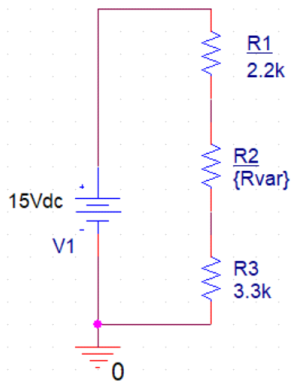
아. EXPERIMENT #6

1) 회로 분석

이 실험은 Experiment #5의 voltage divider에서 R2를 가변저항으로 바꾸어 실험을 하는 것이다. 우리 실험실에서는 가변저항이 있기는 하나 저항 값을 조절하기 어렵다는 점 때문에 비가변저항으로, 직접 저항값이 다른 저항들을 교체해가며 실험을 반복하였다. R2의 값은 10k, 5k, 1k의 Ω값을 가진 저항으로 설정하였다. voltage divider를 꾸며놓은 회로이기 때문에 R2값에 따라 떨어지는, 혹은 나뉘어지는 전압값에도 변화가 있을 것이다. R2가 값이 큰 저항일수록 R2가 V를 많이 거르기 때문에 (∴ 옴의 법칙) R2 다음 node에 존재하는 전압값은 더 떨어진다.

2) Pspice 회로 구성 및 simulation

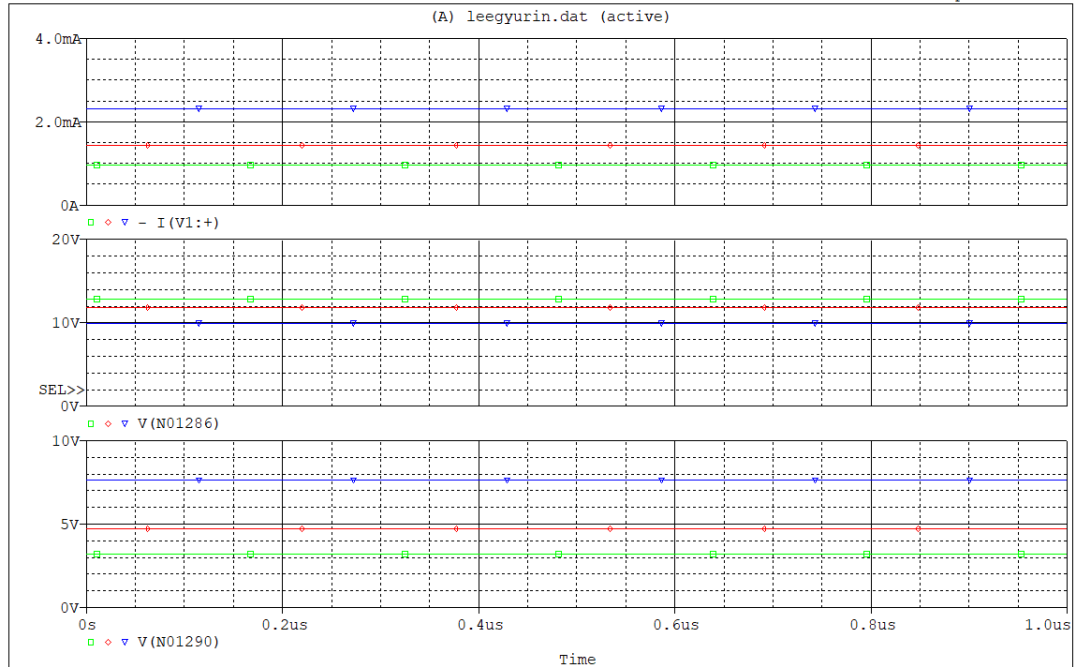
Rvar은 list of 10k, 5k, 1k 이다.



PARAMETERS:
Rvar = 0

Trace Color	Trace Name	Y1
	X Values	0.000
	V(N01290)	3.1936
	V(N01290)	4.7143
	V(N01290)	7.6154
	CURSOR 1,2	V(N01286)
	V(N01286)	12.871
	V(N01286)	11.857
	V(N01286)	9.923
	- I(V1:~)	967.742u
	- I(V1:~)	1.4286m
	- I(V1:~)	2.3077m

** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
Date/Time run: 11/14/20 10:28:16 Temperature: 27.0



Date: November 14, 2020

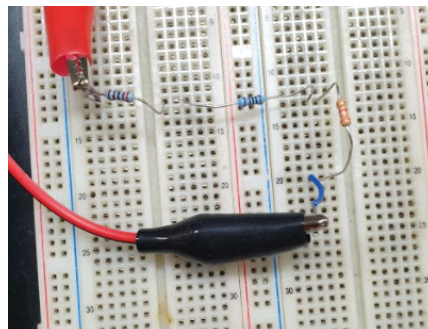
Page 1

Time: 10:29:31

3) 소자 측정

저항 번호	R1	R2Ⓐ	R3	R2Ⓑ	R2Ⓒ
이론값 (단위 Ω)	2.2k	10k	3.3k	5k	1k
실제값 (단위 Ω)	2.183k	9.95k	3.283k	5.067k	0.997k

4) Bread board 회로 구성



5) 이론값

R2[Ω]	Rt[Ω]	Vx1[V]	Vx2[V]
10k	15.5k	12.871	3.194
5k	10.5k	11.857	4.714
1k	6.5k	9.923	7.615

6) 실험값

R2[Ω]	Rt[Ω]	Vx1[V]	Vx2[V]
9.95k	15.41k	12.87	3.193
5.067k	10.533k	11.87	4.639
0.997k	6.463k	9.89	7.58

7) 결과 해석

① voltage divider의 역할

전압원이 직류전원이고, 저항이 직렬로만 연결된 회로이기 때문에 저항을 거칠 때마다 V값이 점점 떨어져가는 것을 Vx1과 Vx2를 통해 확인할 수 있었다. 이러한 voltage divider의 성질은 R2 값이 변해도 항상 그러하다.

② R2값이 변함에 따라 달라지는 Vx1과 Vx2

R2값이 작아질수록 Vx1은 작아지고, Vx2는 커진다는 결과가 나왔다. Vx1은 R2 전에 있는 node에서의 V이고, Vx2는 R2 바로 직후의 V이다. 우선, GND가 회로 상에 있기 때문에 V_source의 전압을 세 저항 소자가 나누어서 소모 해야한다. 그래서 R2가 작아짐에 따라 R_total이 작아지긴 해도, R_total에 대한 R2의 비중이 나머지 R1, R3에 비해 훨씬 더 작아져서 R1이 소모하는 V가 오히려 커진다. 즉 다시 말해 R2가 작아질수록 R1이 R_total에 대해 비중이 커지는 것이므로 R1에서 전압이 많이 떨어진 다. 그래서 Vx1이 작아지는 것이다.

그리고 R2가 작아질수록 Vx2는 커지는데, 이는 $V=IR$ 이라는 옴의 법칙에 의하여 R2에서 떨어지는 전압이 작아지기 때문이다. 결과 값을 살펴보면 Vx1-Vx2 값, 즉 R2에서 떨어지는 전압값은 표의 순서대로 9.677, 7.231, 2.31 V로, R2값이 작을수록 R2에서 떨어지는 전압값이 작다는 걸 다시한번 확인할 수 있다.

③ 오차

이론값 표와 실험값 표의 값들을 통해 구한 오차율은 다음과 같다. (단위 : %) 오차율이 거의 1% 전후로, 이론과 비슷하게 결과가 잘 나왔음을 알 수 있다.

R2[Ω]	Rt[%]	Vx1[%]	Vx2[%]
9.95k	0.581	0.008	0.031
5.067k	0.314	0.11	1.591
0.997k	0.569	0.333	0.46

8) Power consumption and total power consumption

① 이론값, P 단위 mW

R2	P1	P2	P3	Pt
10k	2.06	9.364	3.09	14.516
5k	4.49	10.204	6.734	21.429
1k	11.716	5.326	17.573	34.616

② 실험값, P 단위 mW

R2	P1	P2	P3	Pt
10k	2.072	9.416	3.107	14.595
5k	4.457	10.297	6.606	21.36
1k	11.86	5.361	17.592	34.814

9) Discussion

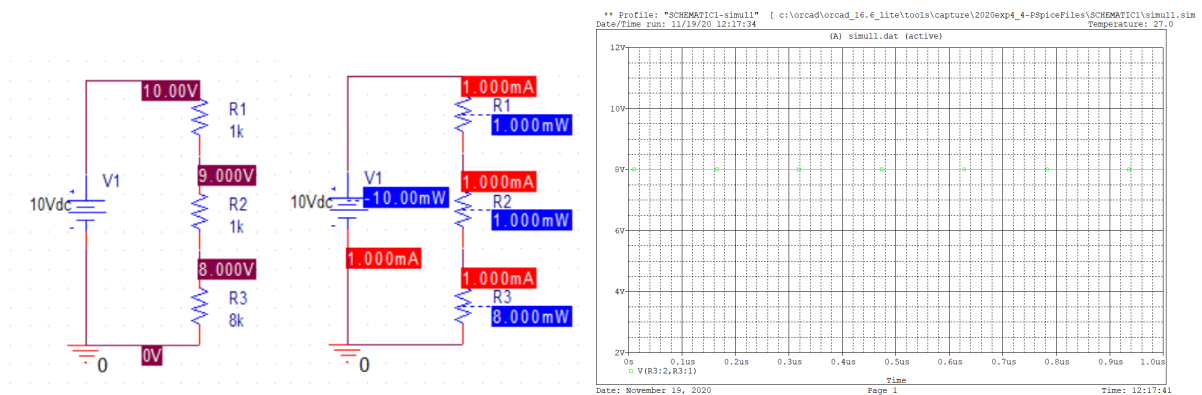
- Design a voltage divider that can obtain an output of approximately 8 V from a 10 V voltage source

10V의 전압소스를 통해 8V의 output을 얻기 위해서 $\frac{R_x}{R_t} \times 10 = 8$ 이어야 한다. 이를 만족시키는 값은

$R_1 = 1k\Omega$, $R_2 = 1k\Omega$, $R_3 = 8k\Omega$ 이다. 즉, 8V의 output인 노드는 R_2 와 R_3 사이의 노드 부분이다. 그리고 이 회로는 저항이 직렬로만 연결되어 있는 단순한 회로이기 때문에 전 회로에서 $I = 1mA$ 의 전류가 흐른다. (전체저항이 $10k\Omega$ 이고, $V_{source} = 10V$ 이기 때문에 옴의 법칙이 의하여 $I = V/R$ 로 계산해주었다.) 따라서 전력을 계산하면 $P_{R1} = 1V \times 1mA = 1mW$, $P_{R2} = 1V \times 1mA = 1mW$, $P_{R3} = 8V \times 1mA = 8mW$ 이다. 또한, $P_t = 10V \times 1mA = 10mW$ 로 전체 전력이 각 저항에 걸리는 전력의 합과 같음을 알 수 있다.

- Use three resistors, show the simulation result

다음의 simulation 창과 같이 R3 전후로 8V가 인가됨을 확인할 수 있다.

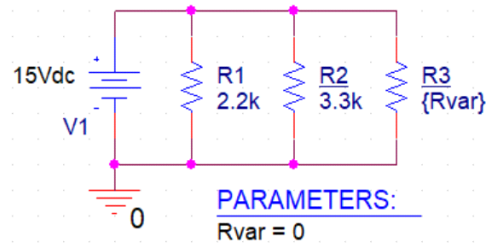


자. EXPERIMENT #7

1) 회로 분석

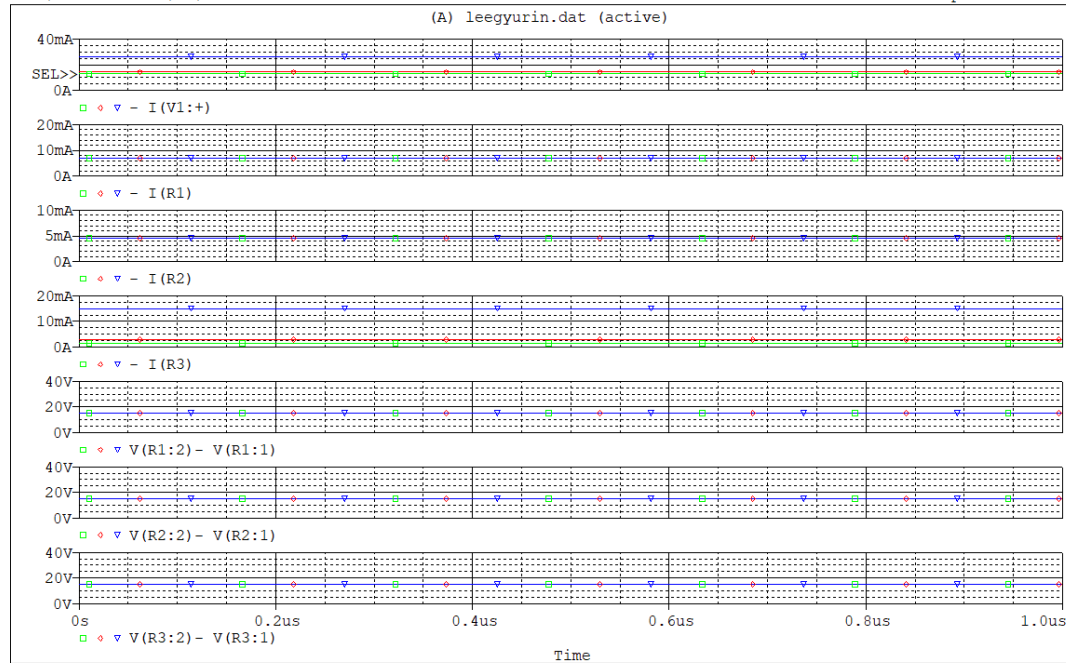
이 실험은 current divider에 관한 것으로, V_s 가 인가됨에 따라 저항이 병렬로 연결되어 있어 각 저항에 다른 I 값이 흐르게 되는 원리이다. 또 이 실험 역시 세 저항 중 한 저항의 값을 여러 번 바꾸어서 측정을 해보는 것인데, 우리는 R3의 값을 10k, 5k, 1k짜리 옴을 써서 반복실험 및 측정을 하였다.

2) Pspice 회로 구성 및 simulation



Trace Color	Trace Name	Y1
	X Values	0.000
	V(R3:2)-V(R3:1)	15.000
	V(R3:2)-V(R3:1)	15.000
	V(R3:2)-V(R3:1)	15.000
	V(R2:2)-V(R2:1)	15.000
	V(R2:2)-V(R2:1)	15.000
	V(R2:2)-V(R2:1)	15.000
	V(R1:2)-V(R1:1)	15.000
	V(R1:2)-V(R1:1)	15.000
	V(R1:2)-V(R1:1)	15.000
	-I(R3)	1.5000m
	-I(R3)	3.0000m
	-I(R3)	15.000m
	-I(R2)	4.5455m
	-I(R2)	4.5455m
	-I(R2)	4.5455m
	-I(R1)	6.8182m
	-I(R1)	6.8182m
	-I(R1)	6.8182m
	CURSOR 1,2	12.864m
	-I(V1:~)	14.364m
	-I(V1:~)	26.364m

** Profile: "SCHEMATIC1-leegyurin" [C:\OrCAD\OrCAD_16.6_Lite\tools\capture\2020exp4_2-PSpiceFiles\SCHEMATIC1\leegyuri
Date/Time run: 11/14/20 10:23:10 Temperature: 27.0



Date: November 14, 2020

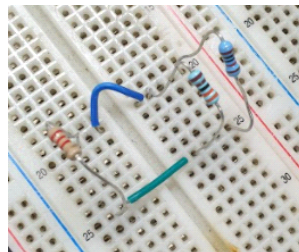
Page 1

Time: 10:26:04

3) 소자 측정

저항 번호	R1	R2	R3㉓	R3㉔	R3㉕
이론값 (단위 Ω)	2.2k	3.3k	10k	5k	1k
실제값 (단위 Ω)	2.183k	3.283k	9.95k	5.067k	0.997k

4) Bread board 회로 구성



5) 이론값

R3[Ω]	Rt[kΩ]	V1[V]	V2[V]	V3[V]
10k	1.166	15	15	15
5k	1.044	15	15	15
1k	0.569	15	15	15

R3[Ω]	i1[mA]	i2[mA]	i3[mA]	i[mA]
10k	6.816	4.546	1.5	12.864
5k	6.816	4.546	3	14.364
1k	6.816	4.546	15	26.364

6) 실험값

R3[Ω]	Rt[kΩ]	V1[V]	V2[V]	V3[V]
9.96k	1.159	14.99	14.98	14.98
5.067k	1.046	14.98	14.98	14.98
0.997k	0.5663	14.97	14.97	14.97

R3[Ω]	i1[mA]	i2[mA]	i3[mA]	i[mA]	i1+i2+i3[mA]
9.96k	6.867	4.563	1.506	12.942	12.935
5.067k	6.862	4.563	2.956	14.340	14.38
0.997k	6.858	4.56	15.02	26.488	26.432

7) 결과 해석

① current divider

R1, R2, R3에 흐르는 전류, 즉 i_1 , i_2 , i_3 를 살펴보면 $i_1 \neq i_2 \neq i_3$ 이다. 즉, current가 잘 divide 되었다는 걸 확인할 수 있다. 이렇게 전류값이 나뉘어질 수 있는 이유는, 저항이 병렬 연결되어 있기 때문에 각 저항에 들어가기 전은 모두 같은 node이고, 세 저항이 끝난 지점끼리도 같은 node이다. 즉, 각 저항 바로 직전의 V끼리 서로 같고, 각 저항 바로 직후의 V끼리 서로 같다(GND가 있기 때문이다). 그래서 이 저항들이 모두 일단 같은 V를 떨어뜨려야하는 역할이기에, 저항이 자기 혼자 바뀌지는 않으므로 R값도 고정이므로 흐르는 I값이 변하는 것이다. 이러한 원리로 비추어 봤을 때, $V=IR$ 이라는 옴의 법칙에 의해 R값이 클수록 I가 작다. 실제로 결과를 살펴보면 R3값을 작게 할수록, R1과 R2가 변하는 것은 아니므로 i_1 과 i_2 는 그대로이지만, 작아지는 R3 값에 따라 i_3 는 커진다.

② KCL 법칙

우선 결과표에서, I와 $i_1+i_2+i_3$ 의 항목이 있는데, I는 V/R_{total} 로 계산을 해주었을 때의 결과값이다. R3가 변화함에 따라 I와 $i_1+i_2+i_3$ 를 각각 비교해보면 근소한 차이만 있을 뿐 거의 같은 값이 나왔다. 이로써 $I=i_1+i_2+i_3$, 즉 KCL도 함께 확인할 수 있다.

③ 오차

이론값의 I에 관한 표와 결과값(실험값)의 I에 관한 표에 있는 값들의 오차를 비교해보았다. (단위 : %) 모두 1% 전후의 오차율로, 매우 정확한 실험이 진행되었음을 알 수 있다.

R3[Ω]	i1[%]	i2[%]	i3[%]	i[%]	i1+i2+i3[%]
9.96k	0.748	0.374	0.4	0.606	0.552
5.067k	0.675	0.374	1.467	0.167	0.111
0.997k	0.616	0.308	0.133	0.47	0.258

8) Power consumption and total power consumption

① 이론값, P 단위 mW

R3	P1	P2	P3	Pt
10k	102.24	68.19	22.5	192.96
5k	102.24	68.19	45	215.46
1k	102.24	68.19	225	394.71

② 실험값, P 단위 mW

R3	P1	P2	P3	Pt
9.96k	102.936	68.354	22.56	193.871
5.067k	102.793	68.354	44.281	214.813
0.997k	102.664	68.263	224.849	396.525

5. 결과 검토, 분석 및 결론

Experiment #1에서 저항과 전압원으로만 이루어진, 즉 $R1+R2+(R3||R4)$ 회로에서 저항이 직렬로, 병렬로 연결이 되어있어도 그 회로는 KVL을 만족함을 실험적으로 알아냈다.

Experiment #2-1에서 저항이 두 개씩 직렬로 연결되어 있고 병렬로 합쳐져 있는, 즉 $(R1+R3) || (R2+R4)$ 인 회로에서, $V_{source} =$ 소자들에 걸리는 V의 총합임을, 또 KVL을 만족함을 실험을 통해 확인하였다. V_{source} 가 달라져도 만족한다.

Experiment #2-2에서는 #2-1의 회로에서 R4의 값을 200, 500, 1kΩ으로 값을 바꾸어가며 실험하였다. 저항값이 달라져도 KVL을 만족한다는 것에는 변함이 없다.

Experiment #3은 $R1+(R2||R3)+R4$ 인 회로에서 KCL을 만족하는지 알아보는 실험이다. V_{source} 가 5V일 때에도, 10V일 때에도 KCL을 만족함을 실험적으로 확인하였다.

Experiment #4-1는 주어진 회로에서 R1이 있을 때에나 없을 때 KCL을 만족함을 보이는 실험이다. R1이 없는 상황의 회로에서는 KCL이 만족됨을 볼 수 있었다. 그런데 R1이 있을 때의 실험 측정값에 오차가 있어 KCL을 만족함을 뚜렷하게 보일 수는 없었지만, pspice orcad를 통해 각 node에서 들어오는 current와 나가는 current의 합이 0이 됨을 확인할 수 있다.

Experiment #4-2에서는 #4-1 실험에서 R4의 값을 200, 500, 1kΩ의 Ω으로 변화시켜가며 반복실험하였고, R4 값의 변화가 있어도 주어진 회로는 KCL을 만족함을 실험적으로 보였다. (R4=500Ω, without R1의 상황에서 오차가 있긴 하였다)

Experiment #5는 voltage divider로, 직렬로 연결된 저항들에 대해 저항을 거칠 때마다 전압이 감소되는 것을 V_{source} 가 15V, 10V로 바뀌어도 확인할 수 있었다.

Experiment #6에서는 #5의 실험에서 R2를 가변저항으로 바꾸어 실험하였고, 마찬가지로 voltage divider의 역할을 수행함을 확인하였다. 또, R2 값이 작아질수록 V_{x1} 은 작아지고, V_{x2} 는 커진다는 결과가 나왔다.

Experiment #7은 current divider로, 저항이 병렬로 연결되어 있을 때 각 저항에 흐르는 전류가 달라지는 것을 실험적으로 확인하였다.

6. 배운점 및 느낀점

이번 실험은 sub 실험이 굉장히 많은 실험 시간이었다. 그래서 실험 시간이 부족하기도 하고 보고서를 작성하는 데에도 조금 더 많은 시간이 투자되기도 했지만 그만큼 실험 능력이나 보고서 작성 능력이 많이 키워진 것 같다고 개인적으로 생각한다. 그리고 이번 실험에는 이론값과 꽤 많이 차이가 나는 실험 결과가 몇 있었는데, #4-1 실험에서 사실 R1이 있으나 없으나 KCL 법칙은 항상 만족해야 하는데, R1이 있을 때에 결과 값에 조금 아쉬움이 남는다. 제한된 시간 내에 많은 측정을 해야 했어서 큰 오차가 발생한 줄도 모르고 실험을 빠르게 진행했던 거였는데, 앞으로는 실험의 방향성을 꼼꼼히 잘 체크하고 실험을 진행해야겠다고 느끼게 되었다.