

이호철

Digital logic designer(front-end)

서울 양천구 월정로 261,
(+82) 010-8900-8759
leehc257@gmail.com

경력

LG display(2012년 1월 - 현재), 서울(마곡) — 선임/
CTO 직속 OLED 알고리즘팀 근무

학력

인하대학교(2006년 3월 - 2012년 2월), 인천 — 학사
인하대학교 정보통신공학과(4.01/4.5)

프로젝트

TV T-con 화질 관련 알고리즘 개발

- concept 도출 및 검증(matlab)
- RTL 설계 및 검증(verilog)
- FPGA analyze tool(chipscope, signal tap)

CONTACT ME FOR MORE INFORMATION

수상 내역

연구소 아이디어 포상 1회
임원 incentive 5회

- 소속그룹 임원 3회
- 연구소장 1회
- Co-work 그룹 임원 1회

Program Language

S/W : Matlab, Python
H/W : Verilog, Systemverilog

Tools

S/W : Matlab, PyCharm
H/W : Verdi, SimVision, Quatus
ModelSim, Vivado, SpyGlass

특허

9건 출원(국내)

얼룩 보상방법과 이를 이용한 표시장치

표시장치와 그 보간방법

표시장치와 그 감마 보상 방법

개인 몰입형 표시장치와 이의 구동방법

영상 생성 방법과 이를 이용한 표시장치

표시장치와 그 얼룩 보상 방법

유기전계 발광 표시장치 및 이의 데이터 처리방법

보상 데이터 처리 방법과 이를 이용한 유기 발광 다이오드 표시장치

보상 데이터 처리 장치 및 방법과 이를 이용한 유기 발광 다이오드 표시 장치

2건 출원(해외)

국내 출원 기반 해외출원(US, CN 각2건)

skill

Have experience in Verification using FPGA(Xilinx, Altera)

- Timing closure

HDL verification and change for ASIC conversion and experience using Spyglass

- code optimization, clock gating, Lint check

Developed Display IC(10M gates↑, 320Mhz) ASIC

- Applied to products : LCD(`14, `15), OLED(`16, `17, `18, `19, `20, `21)

IP Research/Development and Mass production

- JPEG, JPEG-LS, h.264 based new compression IP
- floating point using signed arithmetic

IP verification platform construction using systemverilog

- DUT(Design Under Test) testbench using OOP

data Rx/Tx in multi clock domain

- metastable data control(F/F, toggle, handshake synchronizer)

최근 관심 분야

low power and slim Design

HDL with deep learning (Xilinx zybo b'd)

UVM