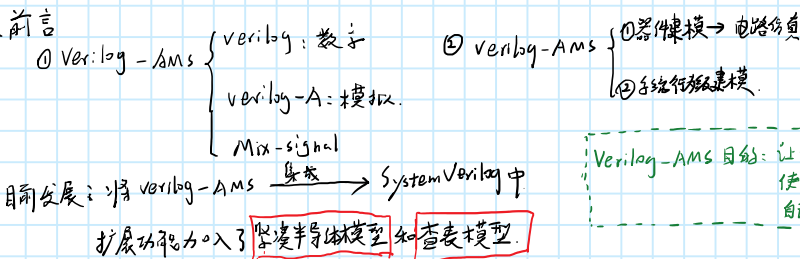


Chapter 1-Introduction

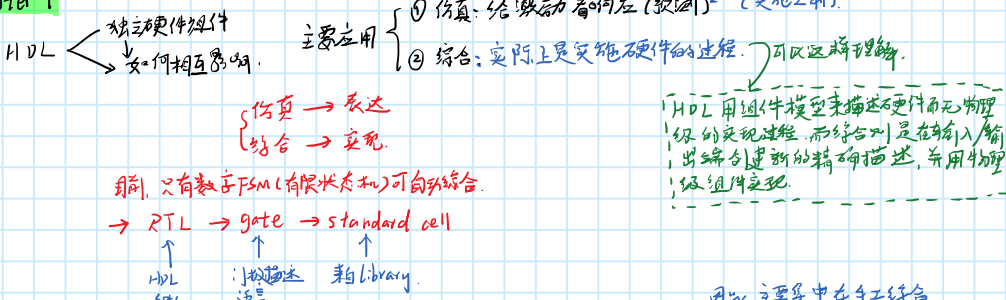
2016年11月13日 21:26

0. 前言



Chapter 1

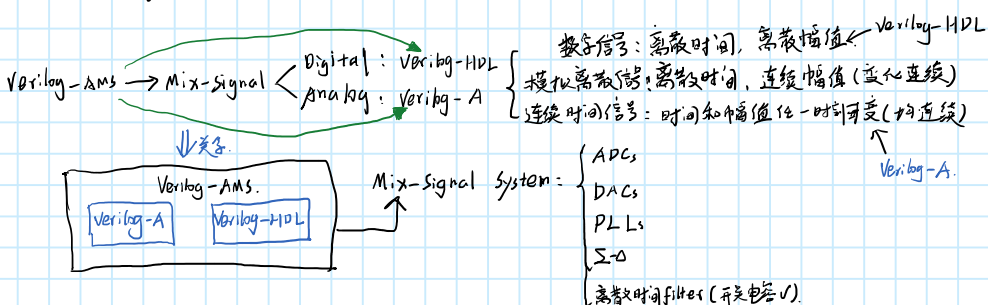
1-1



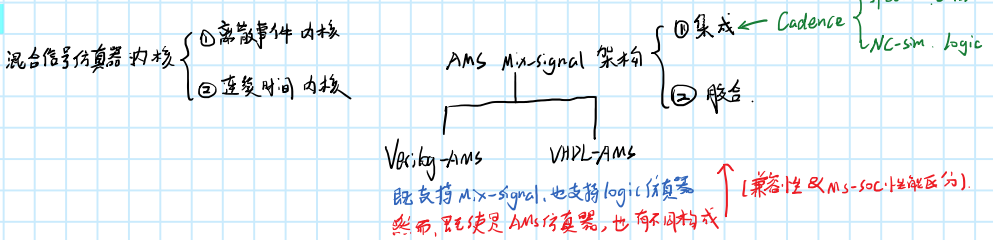
★ Analog or Mix-signal 自动综合还没运用到实际中去, 而且也还不清楚是否可以这样.

两种语言可描述: Verilog-AMS, VHDL-AMS. 选择的依据是, 数字部分用的什么语言.

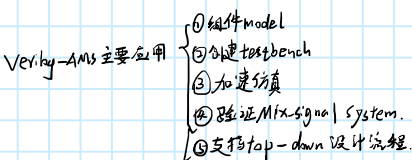
1-2



1-3



1-4



1-4-1 ① 组件建模

传统 simulator: 如 Spice, 内建模型很少 → 解释和执行相对较慢.

★ Verilog-AMS:

- ① 基本元件: 电阻、电容、电感等
 - ② 半导体元件: 二极管、BJT、MOSFET、变容管 etc
 - ③ 功能模块: 数据转换器、调制/解调、滤波器、振荡器 etc.
 - ④ 多学科组件: 传感器、执行器、换能器 etc.
 - ⑤ 逻辑元件和模块: 门、锁存器、寄存器 etc
 - ⑥ 测试平台元件: 源和监视器 etc
- 加入: 级联器和无电二极管 ⇒ E-O system
- 芯片元件 + 硅半导体 ⇒ 电力系统
- 机械、热、声、流体 model etc. ⇒ MEMS 系统.
- 变容管 + PSN etc ⇒ wider Elec. system.

器件模型

- Grumel-Poon
- VBIC
- Mentham BJT
- MOS 3
- BSIM3R4
- ELV MOS

1-4-1-1 Verilog-A 中的紧凑模型

● 紧凑模型 (compact model): 作为集成元件, 用于电路仿真.

↳ 和 SPICE 一起作为半导体元件模型 ??

Verilog-A: 标准语言, 可移植, 比 C 语言更简洁.

1-4-2 ② 测试平台: 作为测试加入电路中, 提供合适的工作环境.

Test Bench → Ideal ✓

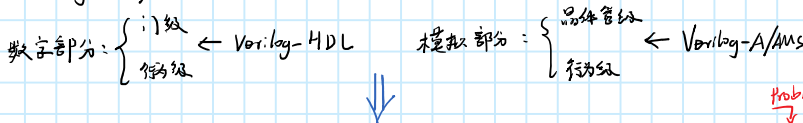
1-4-3 ③ 加速仿真

(晶体管级) 复杂 → longer time simulation / Simulation time ↓

如: PRML 读取通道 → 晶体管级: > 1 month. 用行为级模型: 1 night. (随主要模块)

如果设计中非关键部分用行为级模型替代 (速度: 行为级 > 晶体管级).

1-4-4 ④ Mix-signal system 设计



1-4-5 ⑤ Top-down: → 复杂抽象 (block) before detail design.

Block → blocks 近期性能 poor, 返回/重访 System Design

★ System/block designer ♥! (Verilog-AMS suitable!!)

替代 Bottom-top

Problems: Over-Design, Re-design