|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Исследование дешифраторов

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-46Б |  | 17.03.2020 | В.В. Леонов |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

**Оглавление**

[Цель работы 3](#_Toc69762766)

[Линейный двухвходовый дешифратор с инверсными выходами 4](#_Toc69762767)

[Дешифраторы ИС К155ИД4 8](#_Toc69762768)

[Дешифраторы ИС КР531ИД14 11](#_Toc69762769)

[Дешифраторы ИС 533ИД7 12](#_Toc69762770)

[Вывод 15](#_Toc69762771)

# Цель работы

Изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

В процессе самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями и подготовить по каждому пункту раздела «задание и порядок выполнения работы» расчетные и теоретические материалы, выполнить синтез десятичного дешифратора и составить схемы исследуемых дешифраторов. Перед началом работы необходимо предъявить преподавателю рабочие материалы для их проверки и обсуждения. После выполнения работы каждый студент обязан представить преподавателю аккуратно оформленный отчет.

# Линейный двухвходовый дешифратор с инверсными выходами

Исследование линейного двухвходового дешифратора с инверсными выходами:

а) собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов задать в выходы четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

б) подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при ЕN=1);

в) подать на вход счетчика сигнала генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

г) определить амплитуду помех, вызванных гонками, на выходах дешифратора;

д) снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

е) опередить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

Рисунок . Построение дешифратора

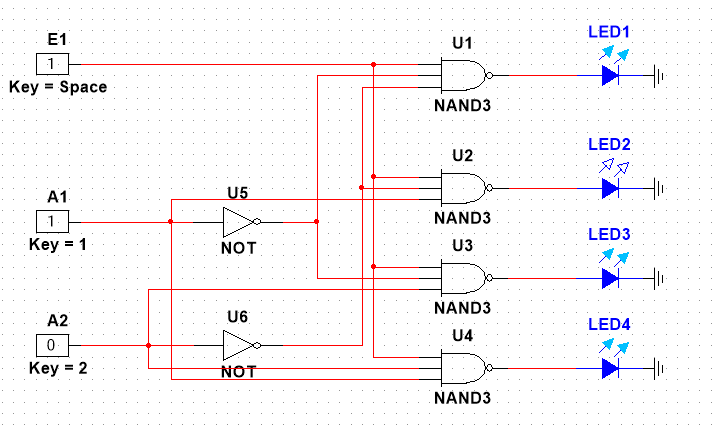
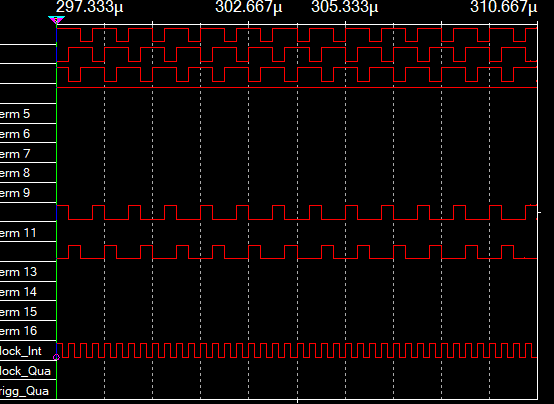


Таблица . Таблица истинности данного дешифратора

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |

Рисунок . Использование логического анализатора



В реальном мире ввиду переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки, приводящие к появлению ложных сигналов на выходах системы (при компьютерном моделировании они отсутствуют). Среднее время задержки равно сумме средних времен прохождения сигнала через элементы НЕ и И-НЕ. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на входе E не должен быть активным во время переходных процессов в дешифраторе.

Рисунок . Наблюдаемые помехи при добавлении задержки на компоненты дешифратора

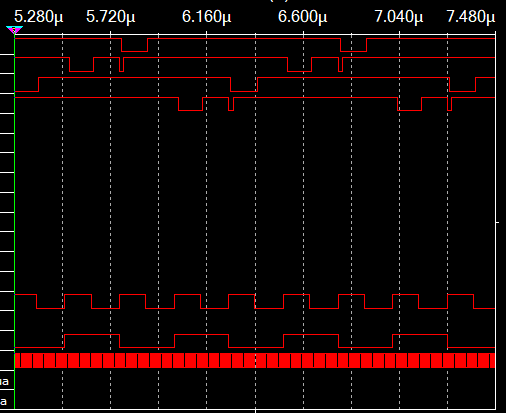
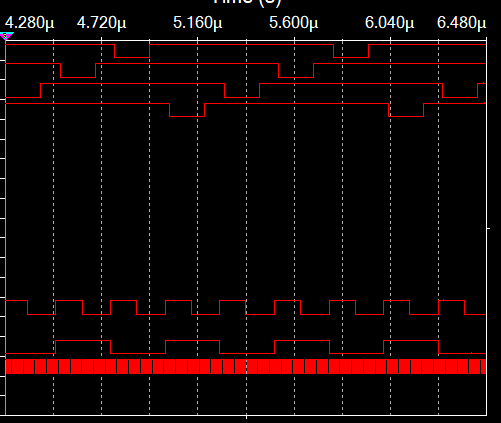


Рисунок . Устранение помех путем добавления задержки на стробирующий сигнал



# Дешифраторы ИС К155ИД4

Исследование дешифраторов ИС К155ИД4 (74LS155):

а) снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы выходов счетчика, а на стробирующие входы и – импульсы генератора, задержанные линией задержки;

б) определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

в) собрать схему трехвходового дешифратора на основе дешифратора К155ИД4, задавая входные сигналы с выходов счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

Рисунок . Построение двухвходного дешифратора

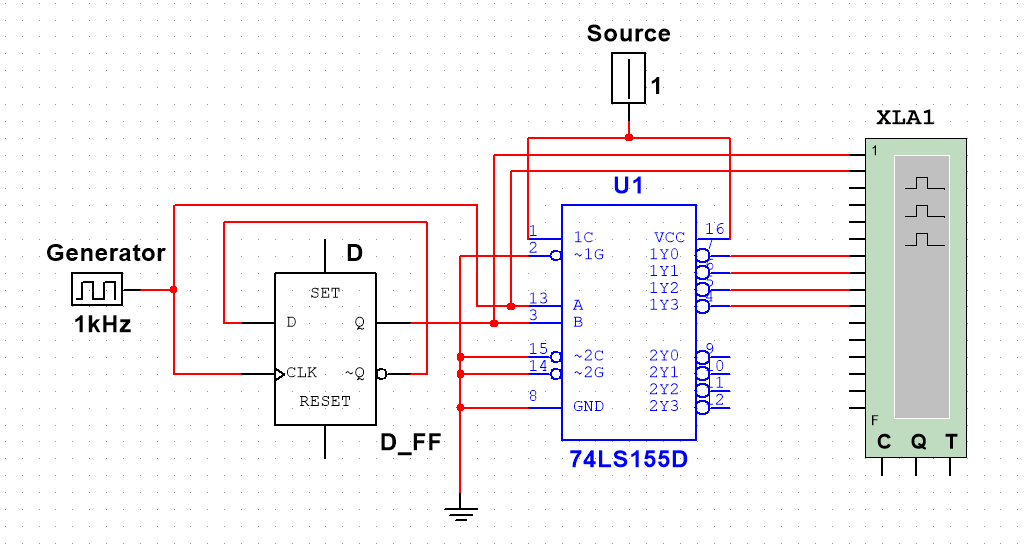


Рисунок . Использование логического анализатора для двухступенчатого дешифратора

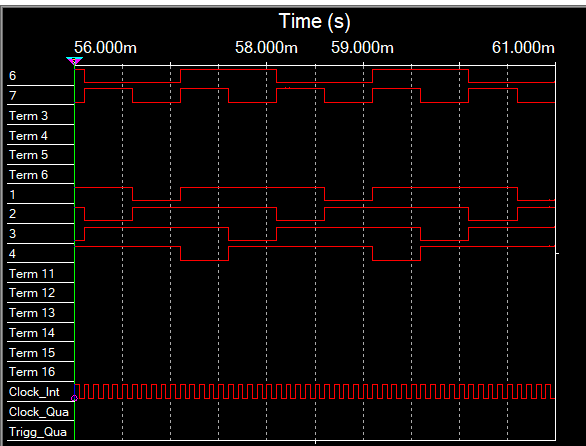


Рисунок . Построение трехвходного дешифратора

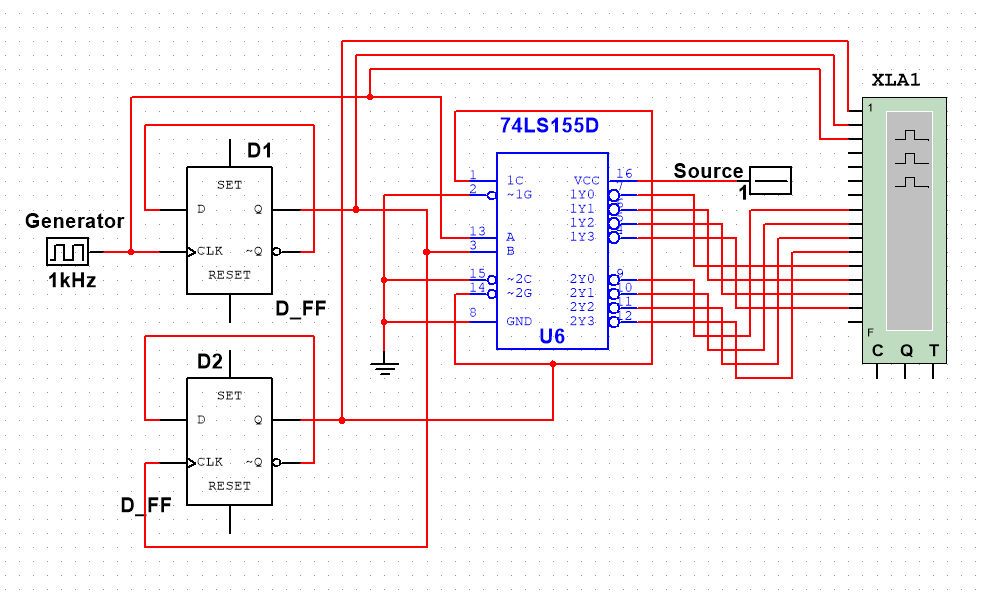


Рисунок . Использование логического анализатора для трехвходного дешифратора

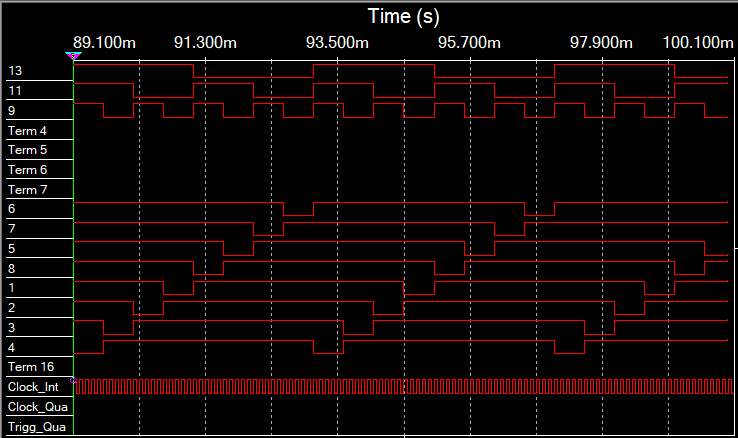


Таблица . Таблица истинности данного дешифратора

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |

# Дешифраторы ИС КР531ИД14

Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично пункту выше. ИС 74LS139 содержит два дешифратора DC 2-4 с раздельными адресными входами и разрешения.

Рисунок . Построение дешифратора

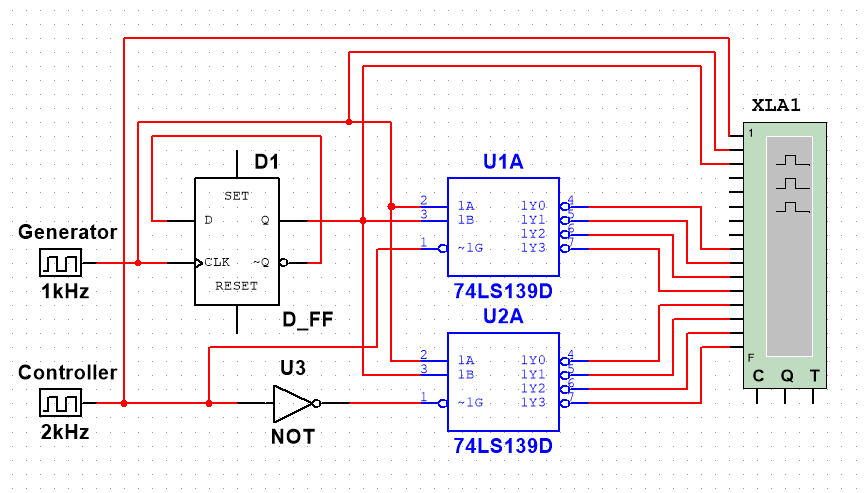
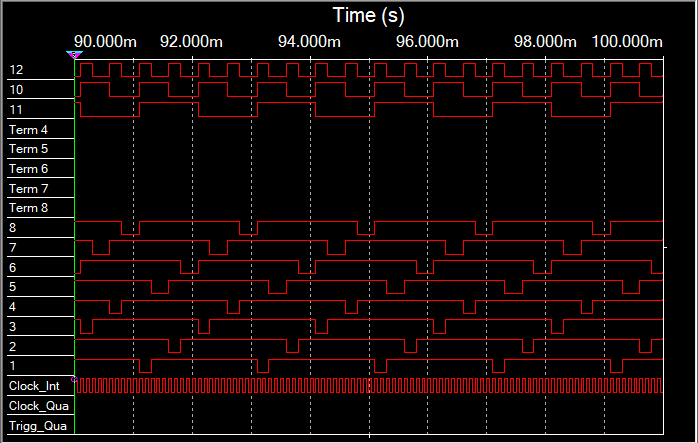


Рисунок . Использование логического анализатора



# Дешифраторы ИС 533ИД7

Исследовать работоспособность дешифраторов ИС 533ИД7:

а) снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС 533ИД7, подавая на его адресные входы сигналы с выходов счетчика, а на входы разрешения – сигналы лог. 1, 0, 0 соответственно.

б) собрать схему дешифратора DC 5-32 cогласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 c выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора , задержанные линией задержки макета.

Рисунок . Построение дешифратора

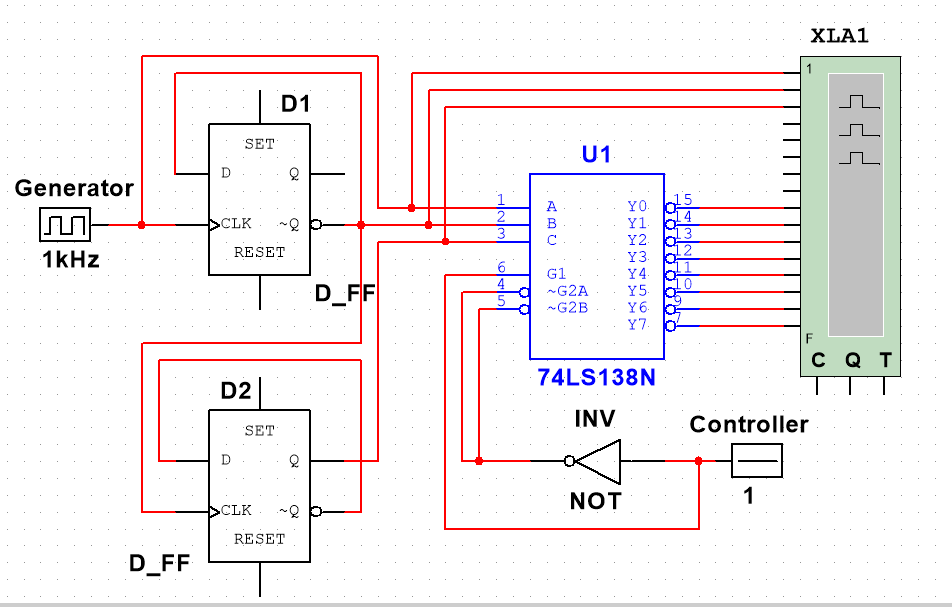


Рисунок . Использование логического анализатора

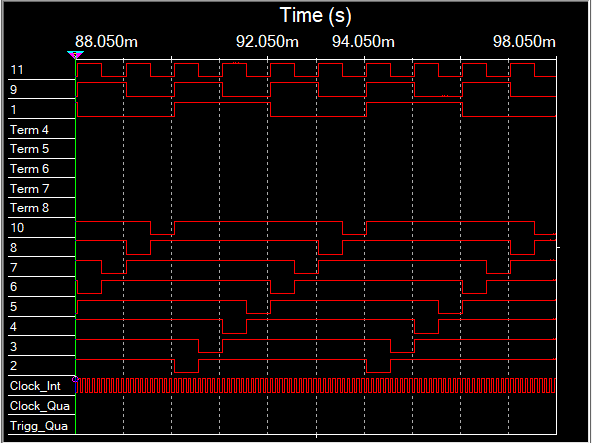


Рисунок . Построение дешифратора 5-32

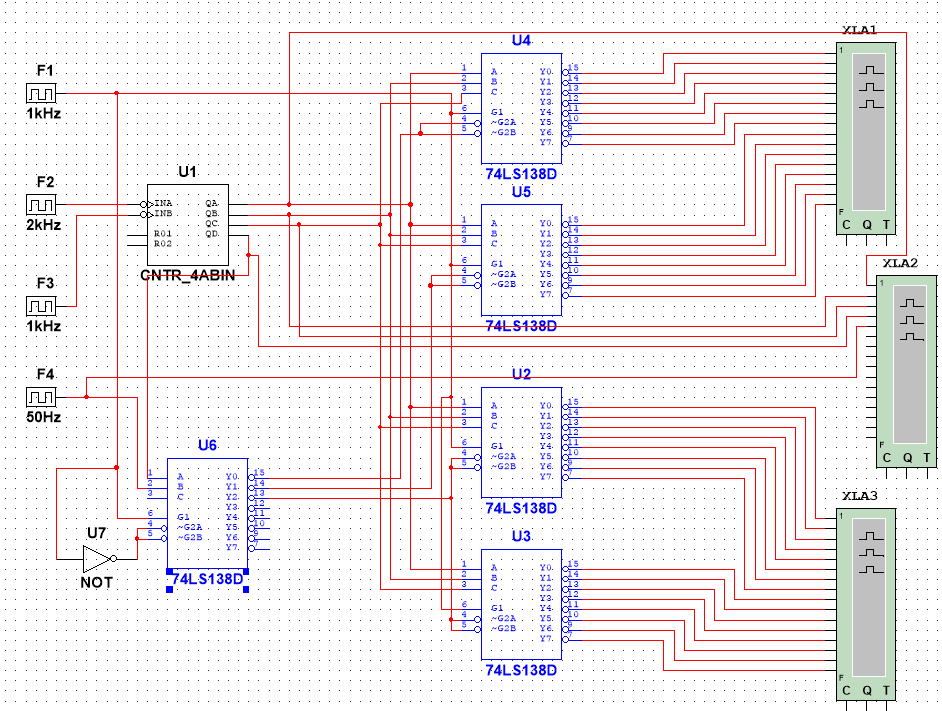


Рисунок . Данные входов

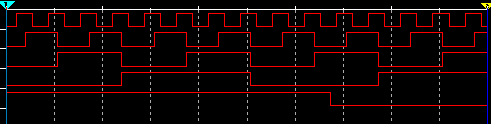


Рисунок . Старшие биты

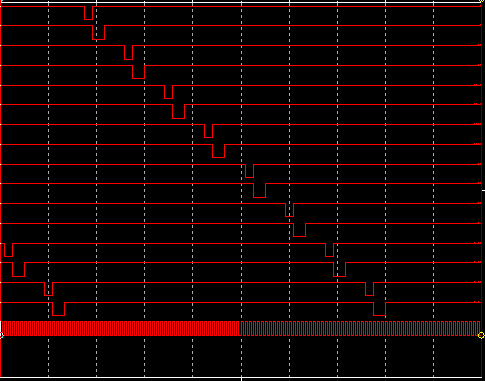
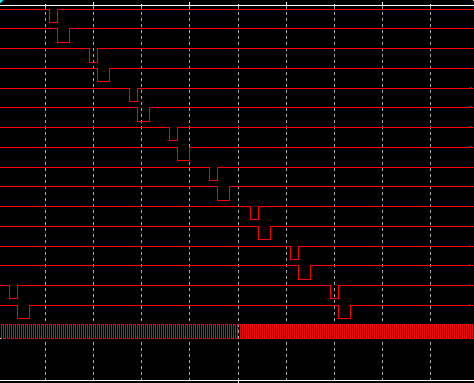


Рисунок . Младшие биты



# Вывод

В результате данной лабораторной работы были изучены принципы построения дешифраторов и для чего необходимо это устройство, было изучено явление стробирования и как оно реализуется. Также данная работа закрепила навыки работы с программой Multisim, были получены навыки создания собственных дешифраторов на основе примитивных логических элементов и способы наращивания схем более сложных дешифраторов с использованием простых, руководствуясь специальными принципами наращивания.