|  |  |
| --- | --- |
| Gerb-BMSTU_01 | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 3 |

**Название:**

Исследование синхронных счетчиков

**Дисциплина:** Архитектура ЭВМ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Студент | ИУ7-46Б |  | 14.04.2020 | В.В. Леонов |
|  | (Группа) |  | (Подпись, дата) | (И.О. Фамилия) |
|  |  |  |  |  |
| Преподаватель |  |  |  | А.Ю. Попов |
|  |  |  | (Подпись, дата) | (И.О. Фамилия) |

Москва, 2021

**Оглавление**

[Цель работы 3](#_Toc70369383)

[Исследование 4-х разрядного синхронного суммирующего счетчика с параллельным переносом на Т-триггерах 4](#_Toc70369384)

[Исследование двоично-десятичного счетчика с заданной последовательностью состояний 7](#_Toc70369385)

[Исследование десятичного счетчика 12](#_Toc70369386)

[Исследование 4-х разрядного синхронного суммирующего счетчика с параллельным переносом ИС К555ИЕ9 (74LS160) 14](#_Toc70369387)

[Исследование наращивания разрядности счетчиков ИЕ9 16](#_Toc70369388)

[Вывод 17](#_Toc70369389)

# Цель работы

Цель работы – изучение принципов построения счетчиков, овладение методом синтеза синхронных счетчиков, экспериментальная оценка динамических параметров счетчиков, изучение способов наращивания разрядности синхронных счетчиков.

Во время самостоятельной подготовки к работе необходимо ознакомиться с теоретическими сведениями, изучить методы синтеза синхронных счетчиков, синтезировать синхронный суммирующий двоично-десятичный счетчик с заданным порядком изменения состояний, подготовить по каждому пункту раздела «Задание и порядок выполнения работы» расчетные и теоретические материалы, электрические функциональные схемы исследуемых счетчиков. Перед началом работы студент должен предъявить преподавателю рабочие материалы для проверки и обсуждения. После выполнения работы студенты обязаны представить преподавателю оформленный отчет.

Экспериментальная часть работы проводится или на персональном компьютере путем математического моделирования, используя прикладные программы Electronic Workbench, Multisim или на физических моделях на базе учебного макета. Вначале проводится сборка схемы счетчиков, затем исследование его временных диаграмм и параметров с помощью логического анализатора.

Продолжительность работы – 4 часа.

# Исследование 4-х разрядного синхронного суммирующего счетчика с параллельным переносом на Т-триггерах

Проверить работу счётчика:

* от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы
* от импульсов генератора

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Рисунок . Моделирование счетчика со световыми индикаторами

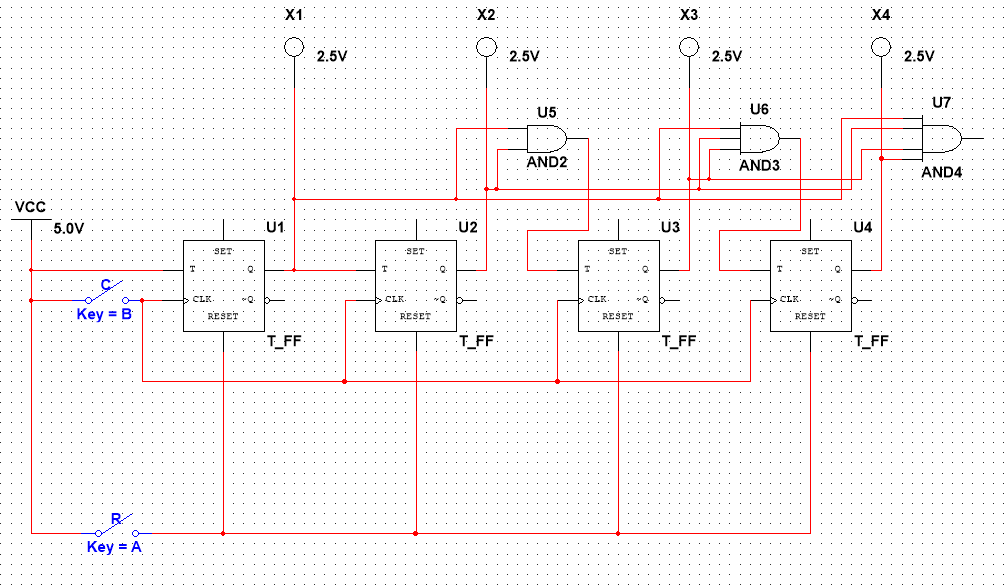


Рисунок . Добавление импульсного генератора и логического анализатора

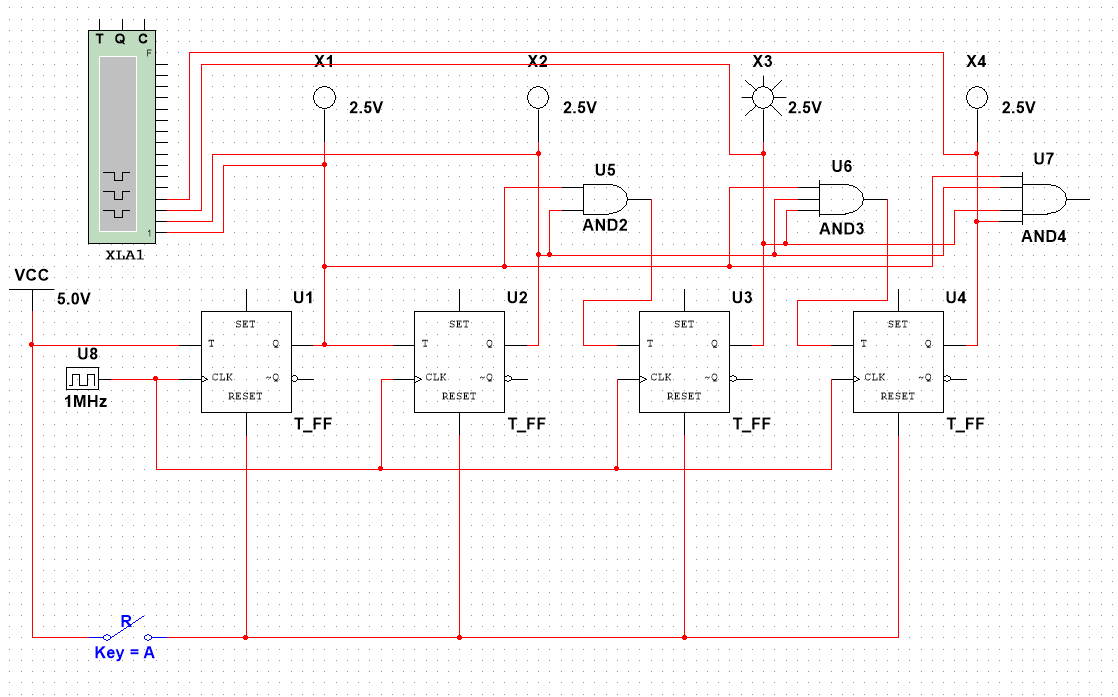
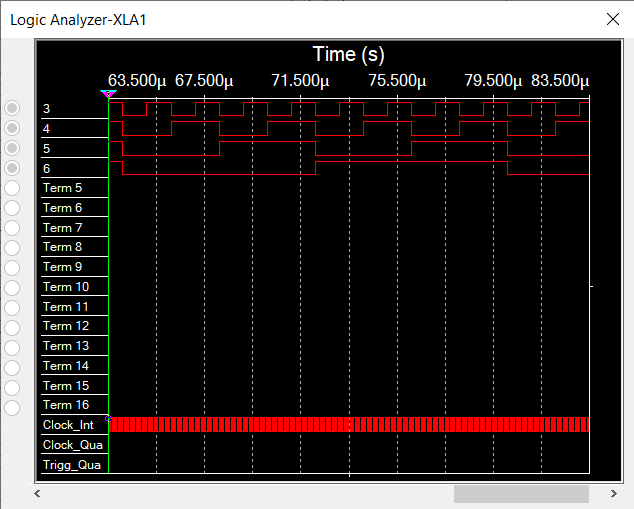


Рисунок . Снятие показаний с логического анализатора



Заметим, что в данной схеме при каждом переключении сигнала C из 0 в 1 на счетный вход будет поступать 1, соответственно двоичное значение, задаваемое импульсами на световых индикаторах, будет увеличиваться на 1. Данный счетчик принимает значения в поле вычетов .

Соответственно, получаем значения, аналогичные описанным выше. Для вычисления задержки следует учитывать задержку, возникающую из-за переходных процессов в триггерах и ЛЭ 2-И, 3-И. Соответственно общая задержка будет 2нс (т.к. в Multisim значение задержки по умолчанию = 1нс). Тогда максимальная частота счета составляет 1/(2нс) = 500 МГц.

# Исследование двоично-десятичного счетчика с заданной последовательностью состояний

Синтезировать двоично-десятичный счётчик с заданной последовательностью состояний. Последовательность состояний счётчика для каждого варианта работы приведена в соотв. таблице; десятичными числами обозначены номера двоичных наборов, изображающие десятичные цифры и определяющие состояние счётчика. Начертить схему счётчика на элементах интегрального базиса (И-НЕ; И, ИЛИ, НЕ), синхронных JK-триггерах.

Вариант №8: 0, 1, 2, 3, 4, 8, 9, 10, 11, 12.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | A | 0 | A | 0 | A | 1 | A |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | A | 0 | A | 1 | A | A | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | A | 0 | A | A | 0 | 1 | A |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | A | 1 | A | A | 1 | A | 1 |
| 4 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | A | A | 1 | 0 | A | 0 | A |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | A | 0 | 0 | A | 0 | A | 1 | A |
| 9 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | A | 0 | 0 | A | 1 | A | A | 1 |
| 10 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | A | 0 | 0 | A | A | 0 | 1 | A |
| 11 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | A | 0 | 1 | A | A | 1 | A | 1 |
| 12 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | A | 1 | A | 1 | 0 | A | 0 | A |

Минимизируем методом карт Карно.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 0 | 0 |
| 01 | 1 | - | - | - |
| 11 | A | - | - | - |
| 10 | A | A | A | A |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | A | A | A | A |
| 01 | A | - | - | - |
| 11 | 1 | - | - | - |
| 10 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 0 |
| 01 | A | - | - | - |
| 11 | A | - | - | - |
| 10 | 0 | 0 | 1 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | A | A | A | A |
| 01 | 1 | - | - | - |
| 11 | 1 | - | - | - |
| 10 | A | A | A | A |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | A | A |
| 01 | 0 | - | - | - |
| 11 | 0 | - | - | - |
| 10 | 0 | 1 | A | A |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | A | A | 1 | 0 |
| 01 | A | - | - | - |
| 11 | A | - | - | - |
| 10 | A | A | 1 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | 1 | A | A | 1 |
| 01 | 0 | - | - | - |
| 11 | 0 | - | - | - |
| 10 | 1 | A | A | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 00 | 01 | 11 | 10 |
| 00 | A | 1 | 1 | A |
| 01 | A | - | - | - |
| 11 | A | - | - | - |
| 10 | A | 1 | 1 | A |

Рисунок . Моделирование счетчика

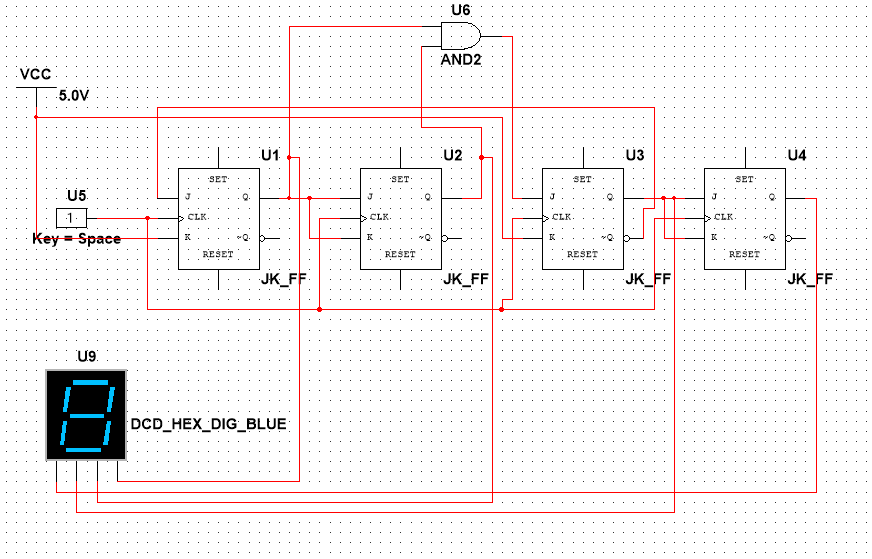
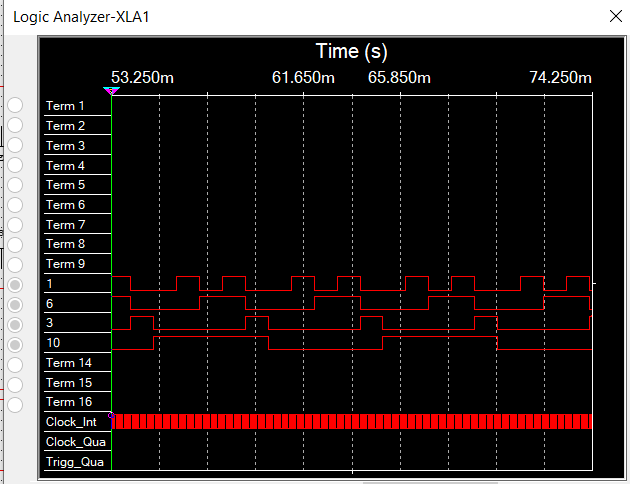


Рисунок . Использование логического анализатора



Таким образом, мы построили счетчик, принимающий значения 0, 1, 2, 3, 4, 8, 9, 10, 11, 12. После достижения значения 12, значение счетчика сбрасывается в 0. Следует отметить, что на JK-триггерах можно построить любой синхронный счетчик с произвольным порядком счета, синтезируя логические функции и минимизируя их с помощью карт Карно.

# Исследование десятичного счетчика

Собрать десятичный счетчик, используя элементную базу приложения Multisim или учебного макета. Установить счетчик в начальное состояние, подав на установочные входы R соответствующий сигнал.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | A | 0 | A | 0 | A | 1 | A |
| 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | A | 0 | A | 1 | A | A | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | A | 0 | A | A | 0 | 1 | A |
| 3 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | A | 1 | A | A | 1 | A | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | A | A | 0 | 0 | A | 1 | A |
| 5 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | А | А | 0 | 1 | А | А | 1 |
| 6 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | А | А | 0 | А | 0 | 1 | А |
| 7 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | А | А | 1 | А | 1 | А | 1 |
| 8 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | А | 0 | 0 | А | 0 | А | 1 | А |
| 9 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | А | 1 | 0 | А | 0 | А | А | 1 |

Минимизацию проводим аналогично, используя карты Карно.

Рисунок . Моделирование счетчика

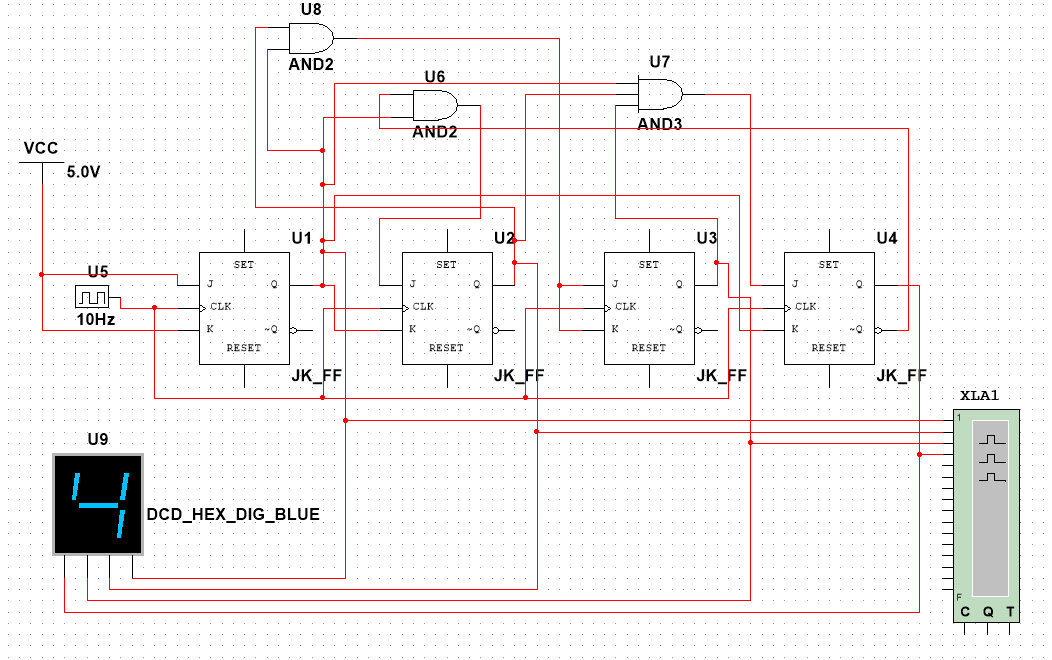
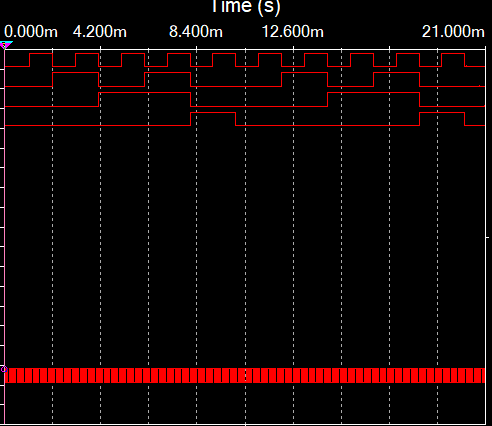


Рисунок . Использование логического анализатора



# Исследование 4-х разрядного синхронного суммирующего счетчика с параллельным переносом ИС К555ИЕ9 (74LS160)

Проверить работу счётчика:

* от одиночных импульсов, подключив к прямым выходам разрядов световые индикаторы
* от импульсов генератора

Просмотреть на экране логического анализатора (осциллографа) временную диаграмму сигналов на входе и выходах счетчика, провести анализ временной диаграммы сигналов счетчика. Измерить время задержки распространения счетчика и максимальную частоту счета.

Рисунок . Моделирование лабораторного стенда

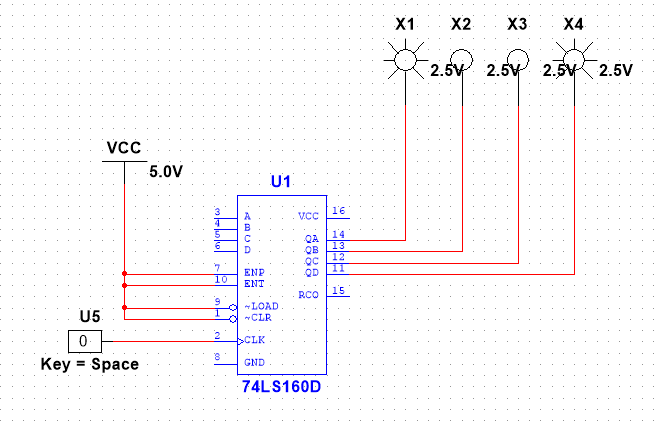
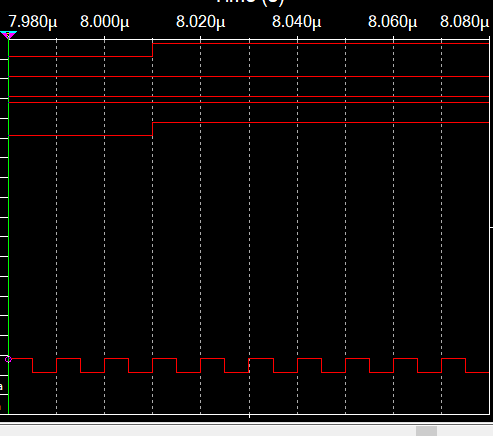


Рисунок . Использование логического анализатора



Задержки не наблюдается. Видимо логический анализатор не может работать со столь высокой точностью измерений. По этой причине не можем определить время задержки и максимальную частоту счета.

# Исследование наращивания разрядности счетчиков ИЕ9

Рисунок 10. Построение схемы с последовательным переносом

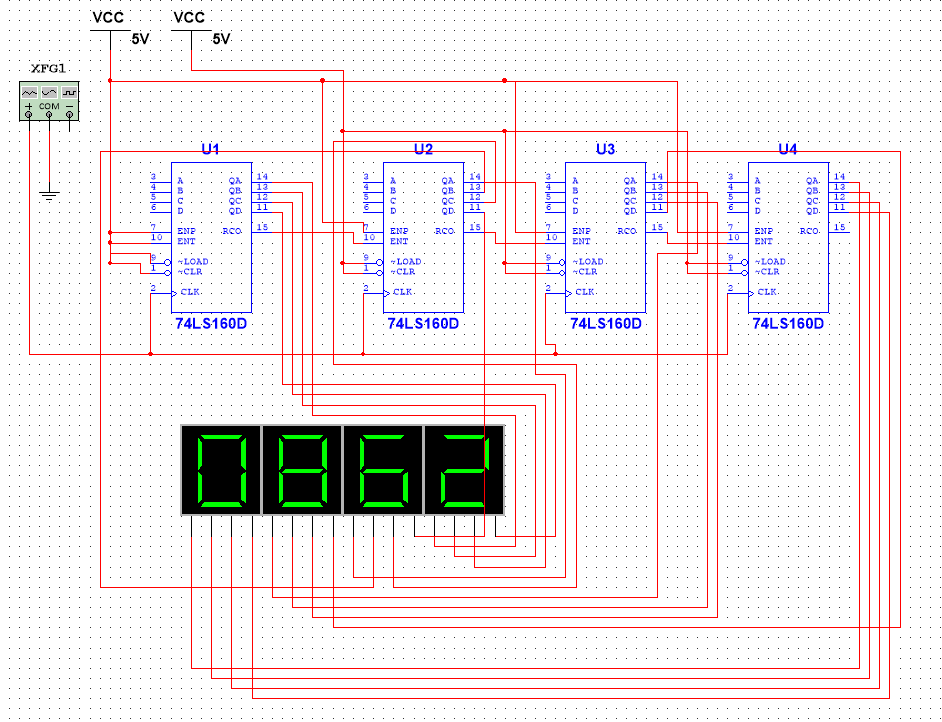
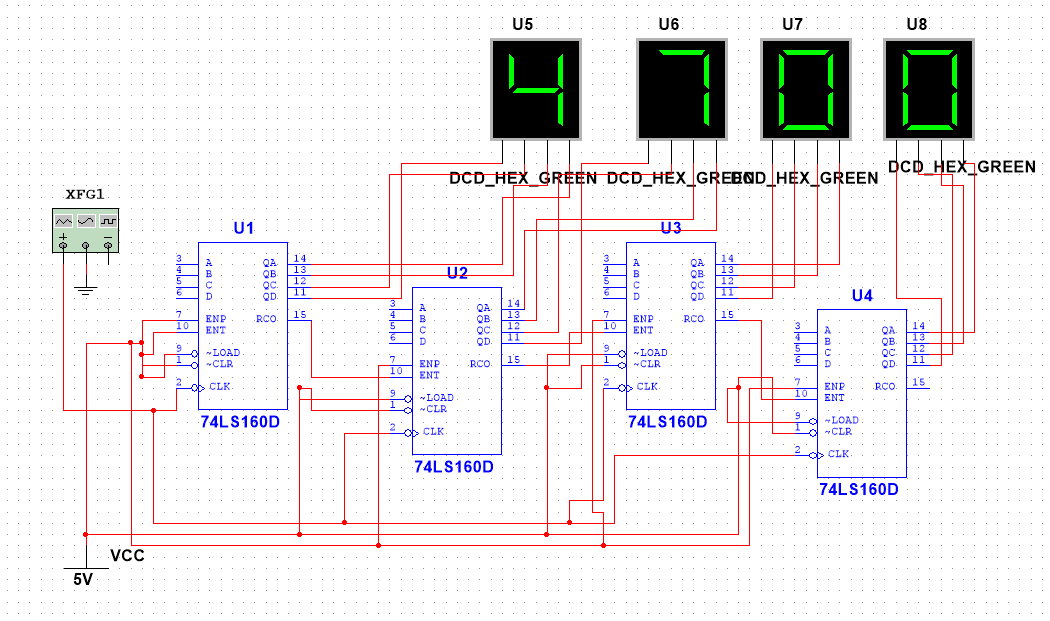


Рисунок 11. Построение схемы с быстрым счетом



# Вывод

В результате данной лабораторной работы были изучены принципы построения счетчиков и для чего необходимо это устройство. Также данная работа закрепила навыки работы с программой Multisim, были получены навыки создания собственных счетчиков на основе примитивных логических элементов с заданным порядком счета при помощи минимизации булевых функций с использованием карт Карно и способы наращивания схем более сложных счетчиков.