

Ugradbeni računlni sustavi

XILINX – FPGA
programibilna logika

XILINX

- **1984 - Ross Freeman, Bernie Vonderschmitt, and Jim Barnett osnivaju Xilinx.**
- **1985 - Xilinx predstavlja prvi FPGA XC2064™.**
- **1991 - XC4000™ porodica FPGAs**
Prvi široko prihvaćeni FPGA sklop. Osnova daljnjeg razvoja kroz 90.
- **1998 - Virtex®™ FPGA porodica - predstavljena.**
Veliki korak u razvoju FPGA sklopova i danas predstavlja osnovu razvoja XILINX FPGA sklopova.
- **2003 - Spartan®™-3 porodica - predstavljena.**
Prvi 90nm FPGA na svijetu (low-cost).

XILINX - Porodice

- CPLD

- CoolRunner-II
- CoolRunner XPLA3
- XC9500 Serija

- FPGA

- Virtex Serija

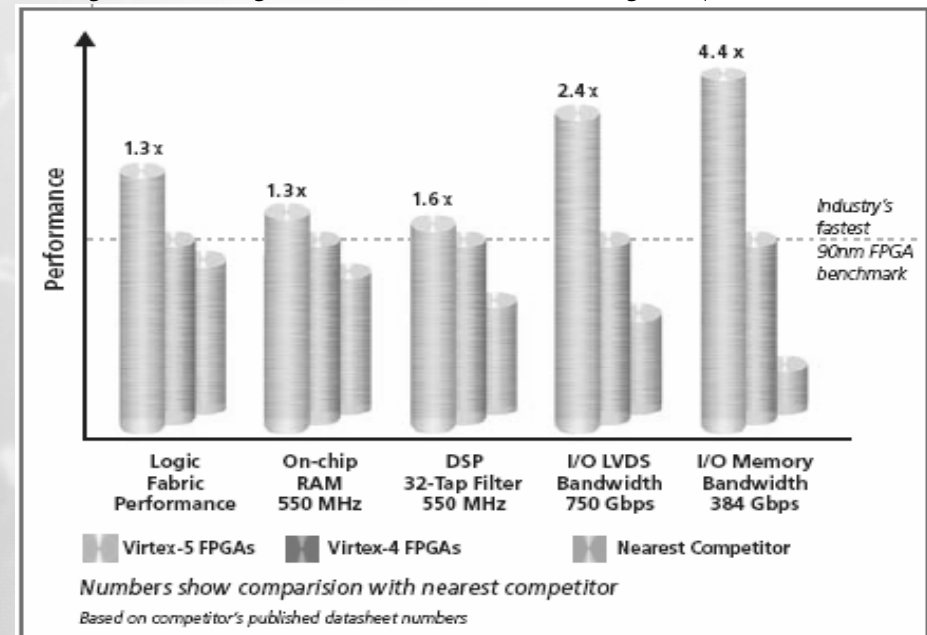
- Virtex-5
- Virtex-4
- Virtex-II Pro
- Virtex-II
- Virtex

- Spartan Seria

- Spartan 3 DSP/AN/A/E
- Spartan 3
- Spartan II/E
- Spartan /XL

Virtex-5 Porodica

- 65 nm tehnologija
- Četiri izvedbe, trenutno dostupne samo tri:
 - LX: optimizirana za izvođenje logičkih funkcija
 - LXT: optimizirana za izvođenje logičkih funkcija i serijsku komunikaciju (low-power)
 - SXT: optimizirani za DSP aplikacije i serijsku komunikaciju (low-power)



Virtex-5 Porodica

- Performanse:
 - 550 MHz frekvencija takta
 - 352 GMACS (sklopovsko množilo DSP48E)
 - 1.25 Gbps I/O
 - Do 1200 I/O izlaza/ulaza
- HighSpeed serijska komunikacija
 - RocketIO – od 100Mbps do 3.2 Gbps (mala potrošnja 100mW)
- PCI Express podrška
- Ethernet 1000/100/10
- 35% manja potrošnja od prijašnje serije Virtex-4
- LUT (lookup table) s 6 ulaza (prvi FPGA s takvim LUT-om)

VIRTEX-5 FAMILY				VIRTEX-5 LX Optimized for High-performance Logic						VIRTEX-5 LXT Optimized for High-performance Logic with Low-power Serial Connectivity						VIRTEX-5 SXT Optimized for DSP with Low-power Serial Connectivity		
Part Number				LX30 XC5VLX30	LX50 XC5VLX50	LX85 XC5VLX85	LX110 XC5VLX110	LX220 XC5VLX220	LX330 XC5VLX330	LX30T XC5VLX30T	LX50T XC5VLX50T	LX85T XC5VLX85T	LX110T XC5VLX110T	LX220T XC5VLX220T	LX330T XC5VLX330T	SX35T XC5VSX35T	SX50T XC5VSX50T	SX95T XC5VSX95T
EasyPath™ Cost Reduction Solutions				–	–	XC5VLX85	XC5VLX110	XC5VLX220	XC5VLX330	–	–	XC5VLX85T	XC5VLX110T	XC5VLX220T	XC5VLX330T	—	XC5VSX50T	XC5VSX95T
CLB Resources	CLB Array Size (Row x Column)			80 x 30	120 x 30	120 x 54	160 x 54	160 x 108	240 x 108	80 x 30	120 x 30	120 x 54	160 x 54	160 x 108	240 x 108	80 x 34	120 x 34	160 x 46
	Slices ¹			4,800	7,200	12,960	17,280	34,560	51,840	4,800	7,200	12,960	17,280	34,560	51,840	5,440	8,160	14,720
	Logic Cells ²			30,720	46,080	82,944	110,592	221,184	331,776	30,720	46,080	82,944	110,592	221,184	331,776	34,816	52,224	94,208
	CLB Flip-Flops			19,200	28,800	51,840	69,120	138,240	207,360	19,200	28,800	51,840	69,120	138,240	207,360	21,760	32,640	58,880
Memory Resources	Maximum Distributed RAM (Kbits)			320	480	840	1,120	2,280	3,420	320	480	840	1,120	2,280	3,420	520	780	1,520
	Block RAM/FIFO w/ECC (36 Kbits each)			32	48	96	128	192	288	36	60	108	148	212	324	84	132	244
	Total Block RAM (Kbits)			1,152	1,728	3,456	4,608	6,912	10,368	1,296	2,160	3,888	5,328	7,632	11,664	3,024	4,752	8,784
Clock Resources	Digital Clock Manager (DCM)			4	12	12	12	12	12	4	12	12	12	12	12	4	12	12
	Phase Locked Loop (PLL)/PMCD			2	6	6	6	6	6	2	6	6	6	6	6	2	6	6
I/O Resources	Maximum SelectIO™ Pins			400	560	560	800	800	1,200	360	480	480	680	680	960	360	480	640
	SelectIO™ Banks			13	17	17	23	23	33	12	15	15	19	20	27	12	15	19
	Digitally Controlled Impedance			Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	Maximum Differential I/O Pairs			200	280	280	400	400	600	180	240	240	340	340	480	180	240	320
Embedded Hard IP Resources	DSP48E Slices			32	48	48	64	128	192	32	48	48	64	128	192	192	288	640
	System Monitor Blocks			1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	PCI Express Endpoint Blocks			0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
	10/100/1000 Ethernet MAC Blocks			0	0	0	0	0	0	4	4	4	4	4	4	4	4	4
	RocketIO™ GTP Low-Power Transceivers			0	0	0	0	0	0	8	12	12	16	16	24	8	12	16
Configuration Memory (Mbits)				8.4	12.6	21.8	29.1	53.1	79.7	9.4	14.1	23.3	31.1	55.1	82.7	13.3	20.0	35.7
Package	Area	IO	MGT ³															
FF324	19 x 19 mm	220		220	220													
FF676	27 x 27 mm	440		400	440	440	440											
FF1153	35 x 35 mm	800			560	560	800											
FF1760	42.5 x 42.5 mm	1200					800	800	1200									
FF665	27 x 27 mm	360	8							360 (8)	360 (8)					360 (8)	360 (8)	
FF1136	35 x 35 mm	640	16								480 (12)	480 (12)	640 (16)				480 (12)	640 (16)
FF1738	42.5 x 42.5 mm	960	24										680 (16)	680 (16)	960 (24)			

Više informacija

- Virtex-5
 - http://www.xilinx.com/products/silicon_solutions/fpgas/virtex/virtex5/index.htm
 - <http://www.xilinx.com/support/documentation/virtex-5.htm>
 - http://www.xilinx.com/publications/prod_mktg/pn0010938-4.pdf

Virtex-II Pro

- 400 MHz frekvencija takta
- 8 Mbits Block RAM i 1.4 Mbits dist. RAM
- Do 12 DCM (Digital Clock Manager)
- Do 444 sklopovska množila (18x18->36)
- IBM PowerPC 405 procesor (sklopovski)
 - 600+ MIPS
 - RTOS
 - ...

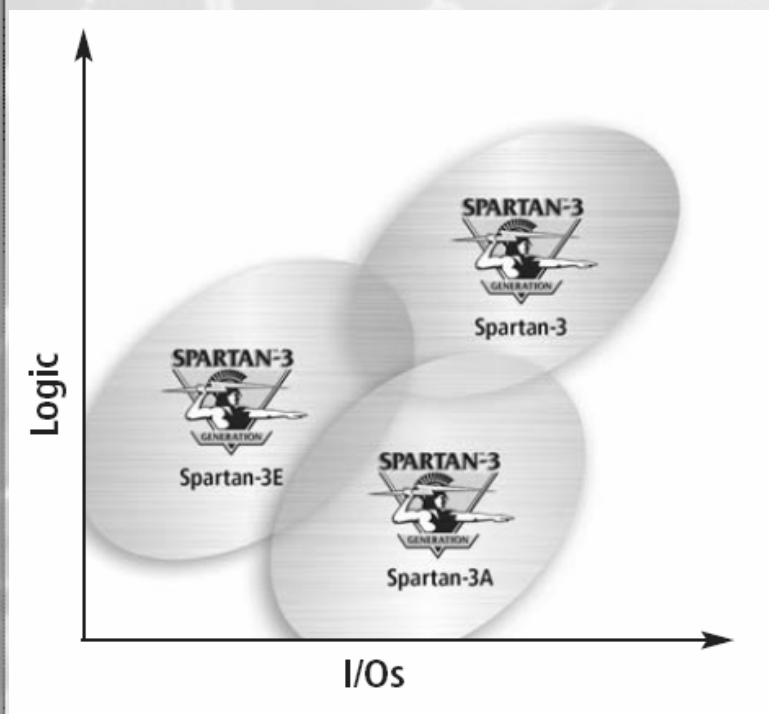
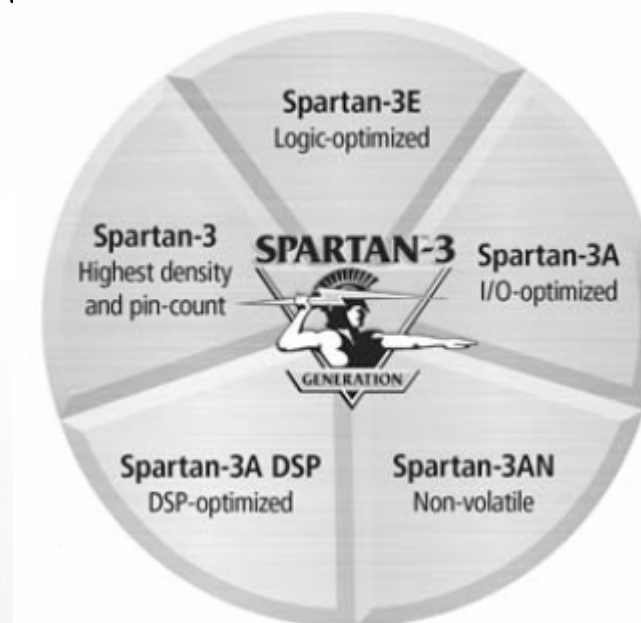
[illegible]

Više informacija

- Virtex-II PRO
- http://www.xilinx.com/products/silicon_solutions/fpgas/virtex/virtex_ii_pro_fpgas/index.htm
 - http://www.xilinx.com/support/documentation/data_sheets/ds083.pdf
 - http://www.xilinx.com/support/documentation/boards_and_kits/ug024.pdf
 - http://www.xilinx.com/support/documentation/virtex-ii_pro.htm#19348







Spartan-3

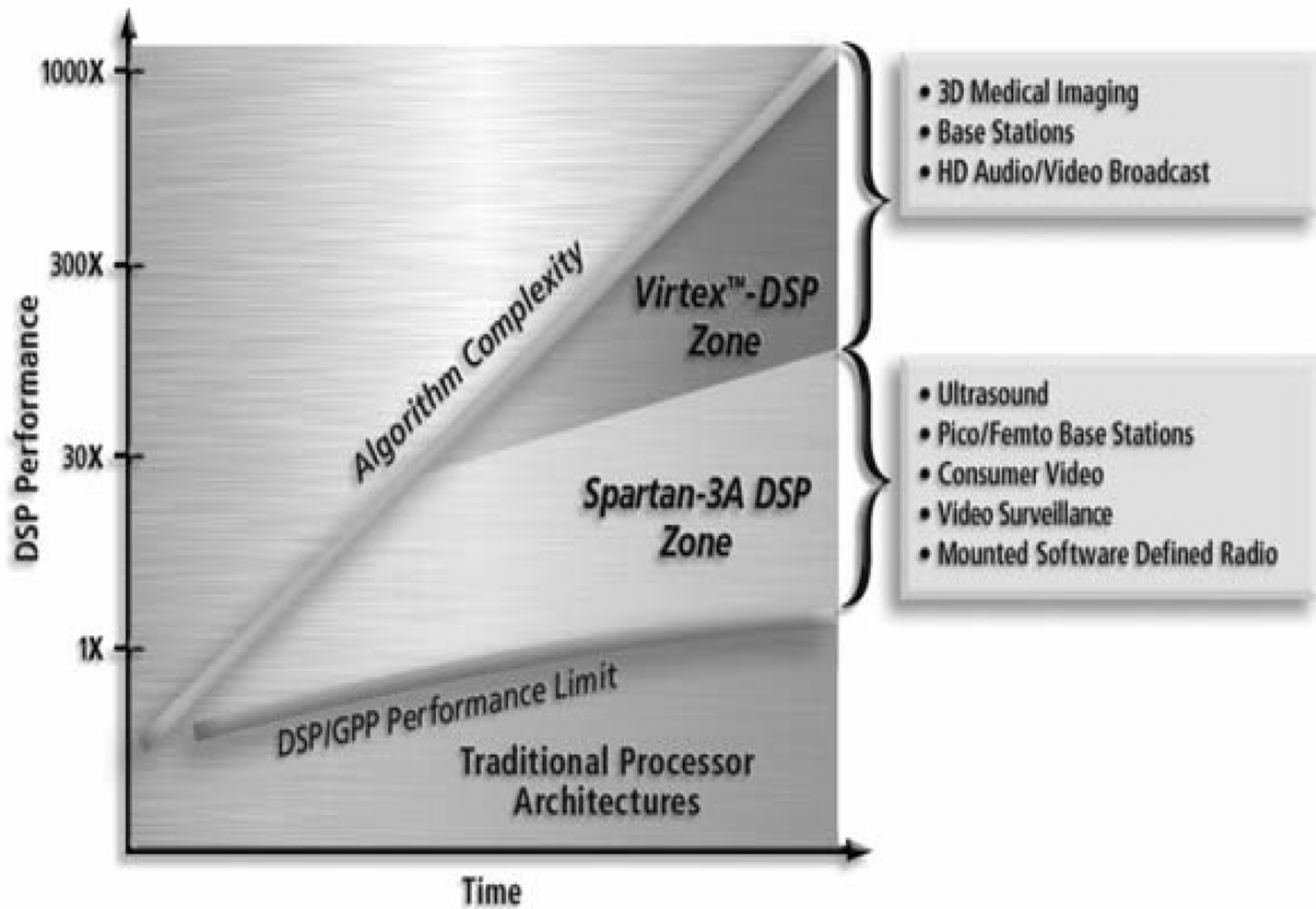
- Spartan-3A – aplikacije s brzim I/O, logika nije previše bitna
- Spartan-3E – logički zahtjevne aplikacije
- Spartan 3 – kompromis između 3A i 3E serije.



Spartan-3x

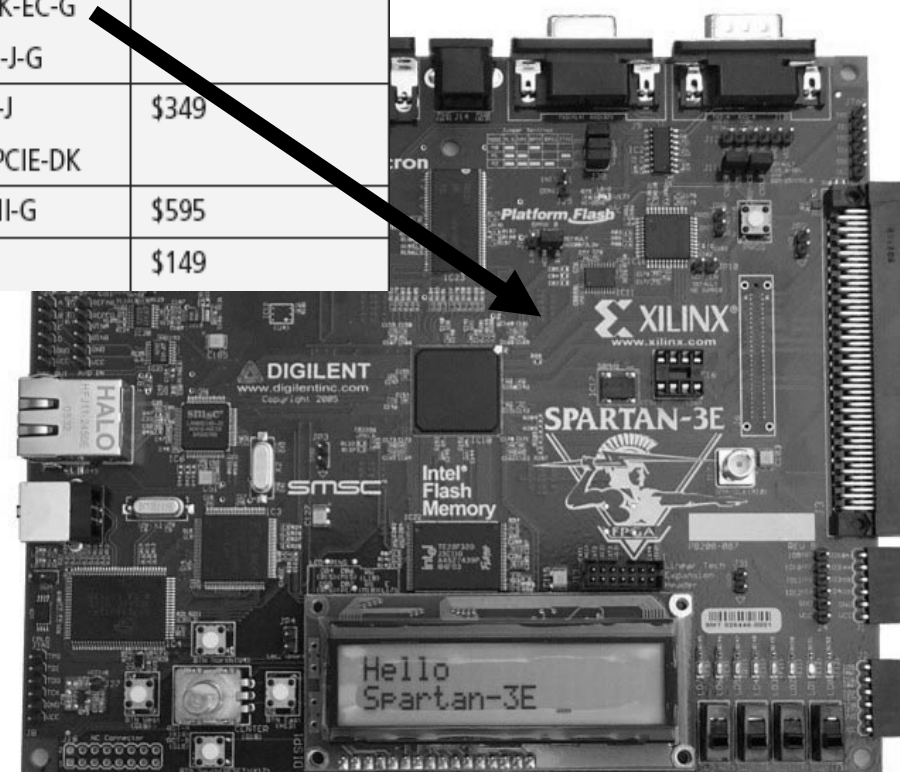
- DCM (Digital Clock manager)
- 18Kbit dual-port ROM (do 2268 Kbit)
- 18x18 množila (od 126)
- Distribuirani RAM i “shift” registri (373 Kbits)
- Podrška za različiti IO standarde uključujući diferencijalne
- Predefinirani IP, PCI, PCI express, USB, Firewire, CAN, SPI, I2C, ...
- Podrška za hot-swap uređaje.
- Device serial number, Flash memorija

Examples	Application Challenges	Spartan-3 Generation Advantages
Flat Panel Displays 	<ul style="list-style-type: none"> • Panel board and video/tuner board cost • Constantly evolving I/O requirements • Shorter product life cycles with higher amortized cost risk for new ASICs • Constantly evolving, subjective image quality requirements • Differentiating vs. competing hardware 	<ul style="list-style-type: none"> • 5 domain-optimized platforms for lowest-cost fit to each application • SelectIO™ Technology with on-chip differential termination and widest I/O standards compliance, including LVDS, RSDS, mini-LVDS, PPDS and TMDS • Pre- or post-processing video enhancement, LVDS TxRx (FPDLink), and peripheral interface bridging solutions • TCON (timing control) and video co-processing flexibility • Flexible peripheral interfacing and video switching • Reference designs for precise gamma correction, image dithering, color temperature correction and other video-enhancement functions
Set-Top Boxes 	<ul style="list-style-type: none"> • Evolving interface standards for memory, disks, and other components • Managing inventory with multiple product feature sets • Differentiating video processing capability at lower power and cost • Accelerating and updating algorithms for conditional access/security 	<ul style="list-style-type: none"> • SelectIO Technology with support for up to 26 different I/O standards • MultiBoot reconfigurability and density migration within a single package • XtremeDSP Technology with industry-leading price/performance for digital video decoding • Fast, compact IP cores for authentication and content encryption
Wireless Access 	<ul style="list-style-type: none"> • Low-level MAC-layer co-processing in Customer Premises Equipment • Forward Error Correction and DSP co-processing efficiency • Peripheral bridging and interfacing 	<ul style="list-style-type: none"> • IP cores for MAC, FEC, encryption, digital up/down conversion and security • XtremeDSP Technology with flexible high performance • SelectIO Technology with on-chip termination and wide I/O standards support
Industrial Ethernet and Motion Control 	<ul style="list-style-type: none"> • Bridging multiple connectivity protocols • Customizing PWM and control algorithms • Accelerating motion control algorithms 	<ul style="list-style-type: none"> • IP cores for EtherCAT, SerCOS III, CAN, Ethernet, PCI and PCI Express • Flexible Xilinx Embedded Processing Technology • Hardware acceleration with Fast Simplex Link and XtremeDSP Technology
Automotive 	<ul style="list-style-type: none"> • Full compliance to industry production process and quality standards • Interconnecting different automotive/multimedia standards 	<ul style="list-style-type: none"> • Extended Automotive temperature ranges, both Industrial and Q-Grade; full PPAP support and AEC-Q100 qualification for Spartan-3 and Spartan-3E platforms • IP cores for bridging CAN, LIN and MOST®, as well as USB 2.0 and Ethernet • XtremeDSP Technology with industry-leading price/performance/power and IP for filtering, edge detection, and codes • SelectIO Technology with on-chip termination for LVDS, RSDS and other standards
Video Surveillance 	<ul style="list-style-type: none"> • DSP performance need for object recognition, motion detection and advanced compression algorithms • Changing industry standards • Rapidly evolving technology such as automated scene analysis 	<ul style="list-style-type: none"> • XtremeDSP performance through parallelism in FPGA fabric • FPGA flexibility and scalability • Field upgradeability



Spartan-3 razvojna okruženja

Board/Kit	Part numbers	Price
Spartan-3A DSP Development Board	HW-S3A-DSP-SK-UNI-G	\$1,095
Spartan-3AN Starter Kit	HW-SPAR3AN-SK-UNI-G	\$239
Spartan-3A DDR2 SDRAM Interface Development Kit	HW-SPAR3ADDR2-DK-UNI-G	\$235
Spartan-3A Starter Kit	HW-SPAR3A-SK-UNI-G	\$225
Spartan-3E Starter Kit	US: HW-SPAR3E-SK-US-G UK: HW-SPAR3E-SK-UK-G Europe: HW-SPAR3E-SK-EC-G Japan: HW-SPAR3E-SK-J-G	\$149
Spartan-3E PCI Express Starter Kit	Japan: HW-S3PCIE-DK-J Rest-of-world: HW-S3PCIE-DK	\$349
Spartan-3E 1600E MicroBlaze Development Kit	DO-SP3E1600E-DK-UNI-G	\$595
Spartan-3 Starter Kit	HW-SPAR3-SK-UNI-G	\$149



XILINX razvojni alati



- ISE Foundation – osnovna razvojna verzija
- ISE WebPACK – brezplačna razvojna verzija
 - ne podržava najnovije proizvode
 - Simulator ograničen na 15.000 linija HDL koda

-
- Xilinx Platform Studio – EDK ☺
 - MATLAB:
 - System Generator for DSP
 - AccelDSP Synthesis Tools
 - ChipScope Pro – Real Time Debugger
 - ISE Simulator
 - ModelSim XE-III

Xilinx - ISE - C:\Radni\Xilinx\LCD_S3ESDK\LCD_S3ESDK.ise

File Edit View Project Source Process Window Help

Sources

Sources for: Behavioral Simulation

- LCD_S3ESDK
 - xc3s500e-4fg320
 - Test_InitLCD (Test_InitLCD.tbw)
 - UUT - LCD_S3SDKmain - Behavioral (LCD_S3SDKmain.vhd)

Processes

- LCD_S3SDKmain
 - reset
 - mdata [7:0]
 - ewrite
 - ready
 - mcd
 - CLK
 - RS
 - RW
 - E
 - DB [7:4]

Test_InitLCD.tbw

End Time: 1000 ns

40 160 280 400 520 640 760 880 1000

950.0

CLK 0

ewrite 0

mcd 0

reset 0

mdata[7:0] 8'h00 8'h00

E 0

RS 0

RW 0

ready 0

DB[7:4] 4'h0 4'h0

LCD_S3SDKmain.vhd

```

40      RS : out  STD_LOGIC;
41      RW : out  STD_LOGIC;
42      E  : out  STD_LOGIC;
43      DB : out  STD_LOGIC_VECTOR (7 downto 4)
44      );
45  end LCD_S3SDKmain;
46
47  architecture Behavioral of LCD_S3SDKmain is
48
49  type STATE_TYPE2 is (S0,S1, S2, S3, S4, S5, S6, S7, S8);
50
51  signal d48 : STD_LOGIC;
52  signal dw : STD_LOGIC;
53  signal busy : STD_LOGIC;
54
55  signal cd : STD_LOGIC;
56  signal data : STD_LOGIC_VECTOR (7 downto 0);
57
58  signal CurS : STATE_TYPE2;
59  signal NextS : STATE_TYPE2 := S0 ;
60  signal Count : std_logic_vector(19 downto 0);
61
62  COMPONENT LCD_COM
63  PORT(
64    CLOCK : IN std_logic;
65    D48 : IN std_logic;
66    CD : IN std_logic;
67    DATA : IN std_logic_vector(7 downto 0);
68    DW : IN std_logic;
69    RS : OUT std_logic;
70    RW : OUT std_logic;
71    E : OUT std_logic;
72    DB : OUT std_logic_vector(7 downto 4);
73    BUSY : OUT std_logic
74  );
75  END COMPONENT;
76
77  begin

```

Design Summary

Test_InitLCD.tbw

LCD_S3SDKmain.vhd

Transcript

Started : "Launching Design Summary".

Started : "Editing Tbw file".

Process "Editing Tbw file" completed successfully

Compiling vhdl file "C:/Radni/Xilinx/LCD_S3ESDK/LCD_S3SDKmain.vhd" in Library work.

Entity <lcd_s3sdkmain> compiled.

Entity <lcd_s3sdkmain> (Architecture <behavioral>) compiled.

Started : "Launching ISE Text Editor to edit LCD_S3SDKmain.vhd".

Console

Errors

Warnings

Tcl Shell

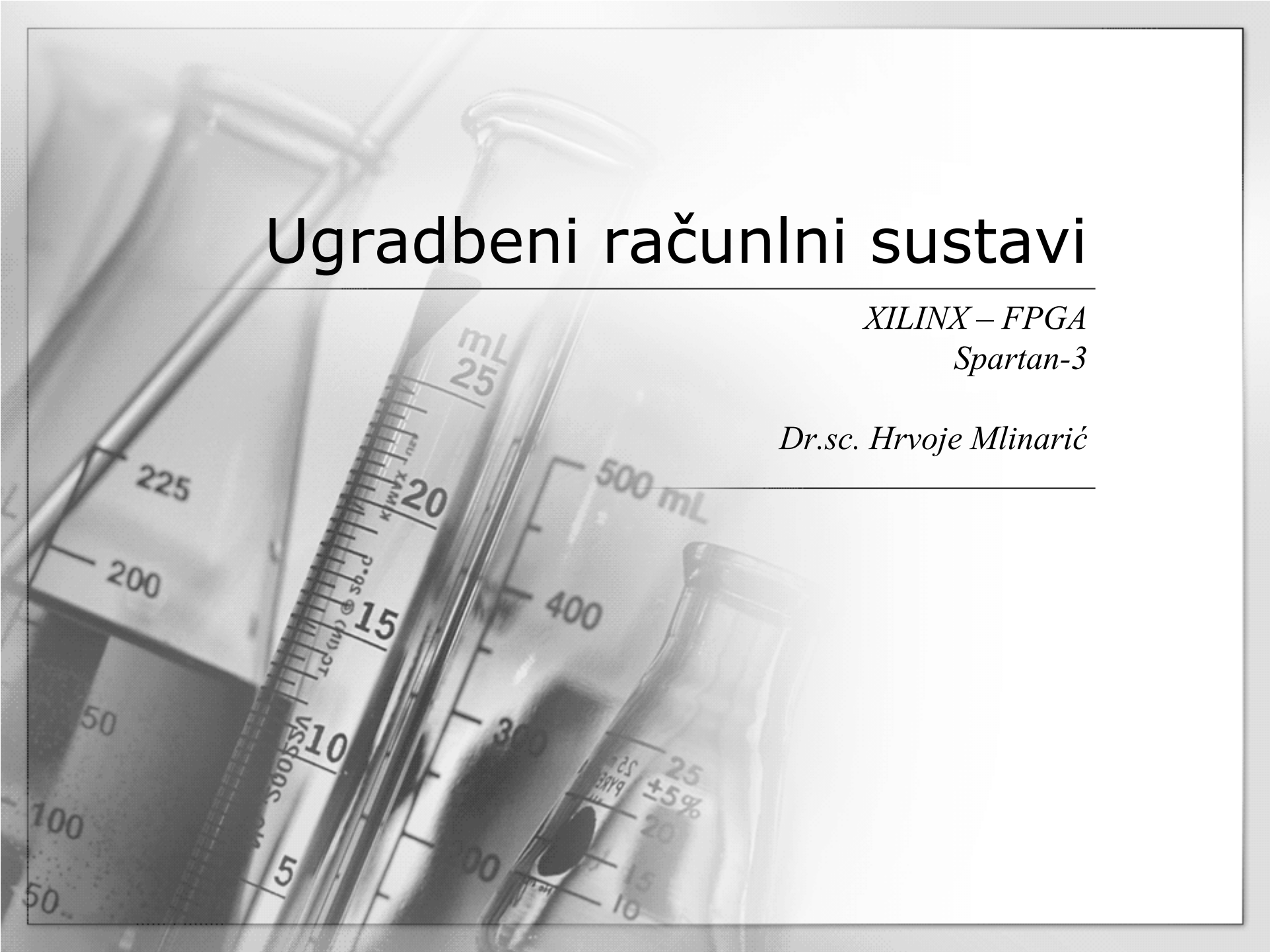
Find in Files

Ln 40 Col 1 CAPS NUM SCRL VHDL

ISE-WebPACK 9.2i

- Download:
 - http://www.xilinx.com/ise/logic_design_prod/webpack.htm

The screenshot shows a Windows Internet Explorer browser window with the address bar displaying http://www.xilinx.com/ise/logic_design_prod/webpack.htm. The browser's toolbar includes buttons for back, forward, and search, as well as a search bar. The Xilinx logo is visible in the top left corner of the page. A navigation bar at the top contains links for Language, Documentation and Literature, Download Center, and Contact Us. Below this, there is a search bar with the text "Enter Keyword/Part #" and a "Search" button. A "Sign in to access account" link is also present. The main content area is divided into several sections. On the left, there is a sidebar with a tree view showing the product hierarchy: Logic Design, ISE Foundation, ISE WebPACK, ISE Classics, Design Entry, Synthesis, Implementation & Configuration, Verification, Board Level Integration, Advanced Design Techniques, Embedded Design, DSP Design, and Development Systems Options. The main content area features the "ISE WebPACK" heading, followed by a description: "ISE WebPACK is the industry's only FREE, fully featured front-to-back FPGA design solution for Linux, Windows XP, and Windows Vista". Below this, there is a section titled "Product Details" with a list of links: "ISE WebPACK Feature Support Summary", "Related Information", "ISE Operating System Support", "Learn ISE", "Technical Product Demos on Video", "Synplify® ValuePack from Synplicity®", and "Documentation". A "Download WebPACK" button is highlighted with a red circle. Other buttons like "Request DVD" and "Add Product to Cart" are also visible.



Ugradbeni računlni sustavi

XILINX – FPGA
Spartan-3

Dr.sc. Hrvoje Mlinarić

Spartan-3E

- Spartan-3 obitelj FPGA sklopova projektirana je da ima što širu primjenu u velikom broju elektroničkih uređaja, a s druge strane da postigne što nižu proizvodnu cijenu.
- Svoj uspjeh zasniva na prijašnjoj generaciji Spartan-IIE s time da je povećana količina logike, kapacitet unutrašnje memorije, ukupan broj ulazno izlaznih pinova i kontrola signala vremenskog vođenja.
- Zbog svoje niske cijene Spartan-3 FPGA sklopovi pogodni su za mnoge specijalizirane elektroničke uređaje, uključujući uređaje za širokopojasni bežični pristup mrežama, zaslone, projektore, opremu za digitalnu televiziju i mnoge druge uređaje. Spartan-3 obitelj predstavlja idealnu zamjenu za ASIC sklopove.
- Za razliku od ASIC sklopova, FPGA izbjegava visoke početne troškove, veliko vrijeme razvoja i testiranja, te uvelike povećava fleksibilnost samog sklopa. Jednako tako FPGA programibilni sklopovi omogućavaju jednostavno nadograđivanje sklopa bez da se cijeli sklop ponovno mora raditi.

Spartan-3

- 90nm tehnologija
- visoke performanse
 - do 74.880 logičkih blokova – 5.000.000 logičkih vrata
 - 326 Mhz period signala vremenskog vođenja
 - 3 naponske razine (1.2V, 2.5V i 3.3V)
- ulazno izlazni signali
 - do 784 ulazno izlaznih signala
 - 622 Mb/s podataka
 - sedamnaest standardiziranih IO signala
 - sedam diferencijalnih signala uključujući LVDS
 - zaključeni sa digitalno kontroliranom impedancijom
 - razina signala od 1.14V do 3.45V
 - podrška za DDR (eng. double data rate)

Spartan-3

- podržana logika
 - logički blokovi sa pomičnim registrima
 - različiti multipleksori
 - brza logika prijenosa (eng. Carry look ahead)
 - množila (18 x 18 bita)
 - JTAG (eng. Joint Test Action Group) logika sukladna sa IEEE normama
- Hijerarhijska memorija
 - Maksimalno 1872 Kb blok memorije
 - Maksimalno 520 Kb raspodijeljene memorije
- Digitalna kontrola signala vremenskog vođenja
 - 4 blokova za digitalnu kontrolu perioda signala vremenskog vođenja (eng. Digital Clock Manager – DCM)
 - stabilizator perioda signala vremenskog vođenja
 - visoko precizni generator pomaka signala vremenskog vođenja
 - frekvencijski generator
- Osam globalnih linija za distribuciju signala vremenskog vođenja

Pregled arhitekture

- Arhitektura Spartan-3 FPGA sklopova sastoji se od 5 osnovnih programibilnih funkcijskih jedinica:
- **CLB** blokovi (eng. **Configurable Logic Blocks**) sadrže RAM zasnovane funkcijske tablice za izvedbu logičkih i memorijskih elemenata. CLB blokovi mogu biti programirani da izvode različite logičke funkcije ili da posluže za pohranu podataka.

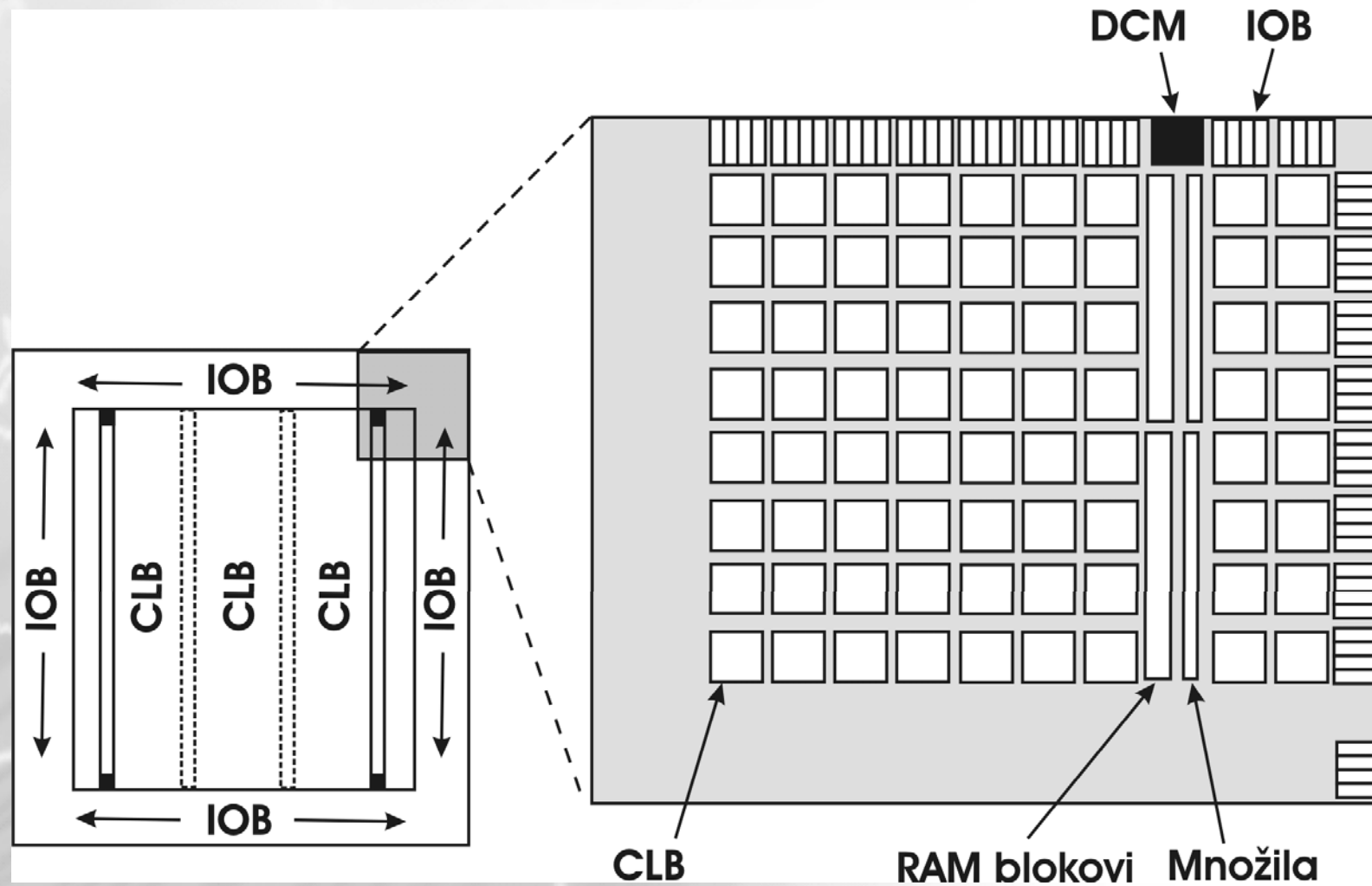
Pregled arhitekture

- ***Ulazno izlazni blokovi*** (eng. *Input/Output Blocks - IOB*)
 - kontroliraju protok podataka između ulazno izlaznih pinova i unutarnje logike. Svaki IOB podržava dvosmjerni protok podataka i stanje visoke impedancije. Dostupne su 24 različite naponske razine uključujući 6 diferencijalnih standarda. Digitalno kontrolirana impedancija omogućava automatsko terminiranje signala čime uvelike pojednostavnjuje izradu sklopa.

Pregled arhitekture

- ***Memorijski blokovi*** (eng. ***Block RAM***) omogućuju pohranu podataka u 18 Kb memorijama.
- ***Blokovi za množenje*** imaju 18 bitne ulaze i računaju 36 bitni produkt .
- ***Blokovi za digitalnu kontrolu perioda signala vremenskog vođenja*** (eng. ***Digital Clock Manager - DCM***) sinkroniziraju signala vremenskog vođenja po cijelom sklopu, omogućavaju množenje, dijeljenje i fazni pomak perioda signala vremenskog vođenja.

Pregled arhitekture



Pregled arhitekture

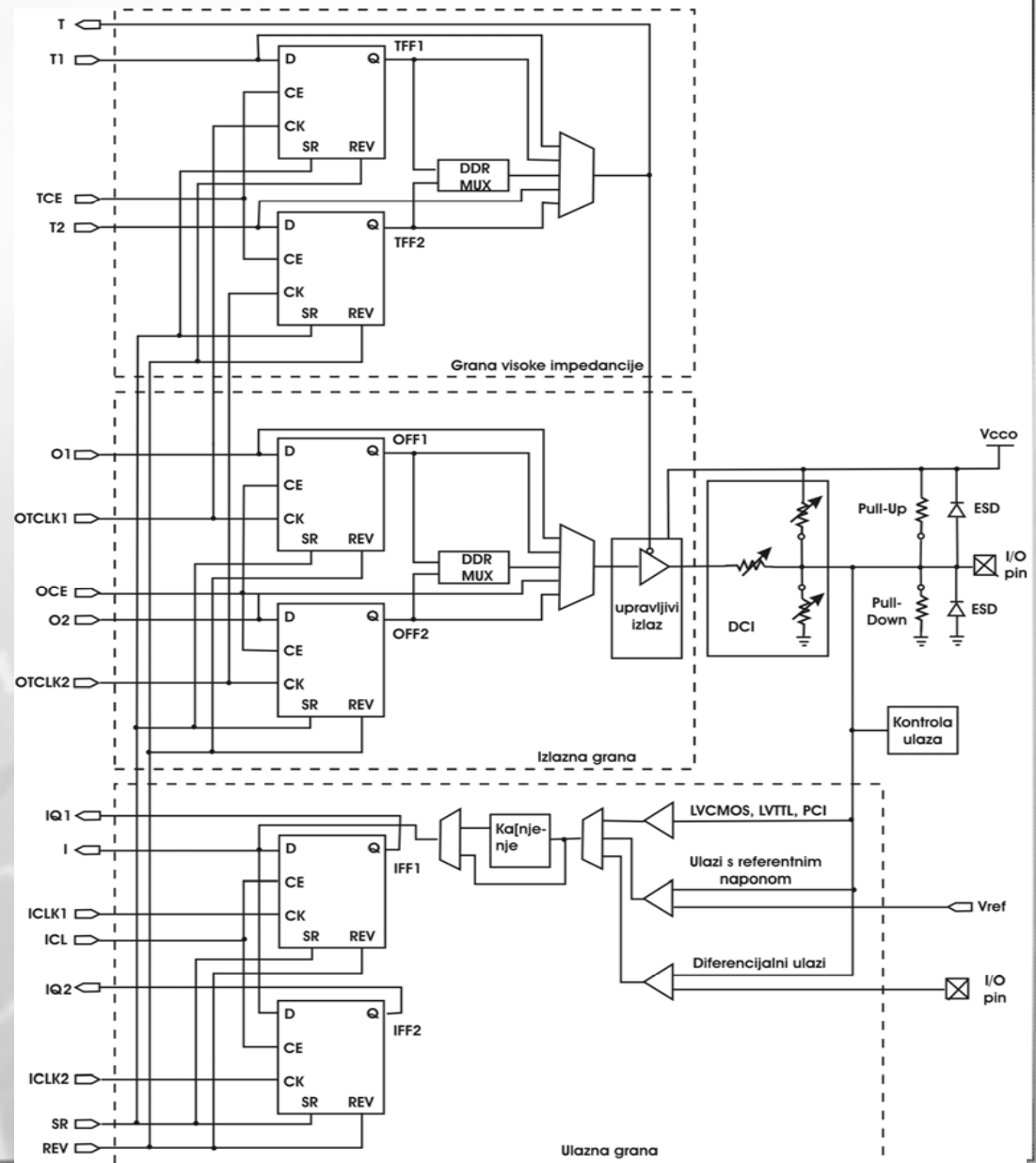
- Navedenih pet elemenata organizirani su kao što je prikazano na prethodnoj slici. Prsten IOB okružuje pravilno polje CLB-ova. Ovisno o modelu Spartan-3 sklopovi mogu imati jedan stupac, dva stupca ili četiri stupca RAM memorije, svaki stupac sačinjen je od nekoliko 18Kb RAM blokova, svaki blok memorije povezan je sa blokom za množenje, a blokovi za digitalnu kontrolu perioda signala vremenskog vođenja nalaze se na kraju stupca bloka memorije.
- Povezivanje navedenih elemenata ostvareno je bogatom mrežom linija i prekidača koji povezuju svih pet elemenata, te šalju signale između njih. Svaki funkcijski element ima pridruženu prospojnu mrežu koja omogućuje višestruku povezanost.

Programiranje

- Svi konfiguracijski elementi su SRAM memorije. Ne pamte konfiguraciju bez napajanja.
- Programiranje Spartan-3 FPGA sklopova obavlja se učitavanjem konfiguracijskih podataka u statičku memoriju koja kontrolira sve funkcije elemenata i njihovu povezanost. Prilikom uključivanja FPGA sklopa konfiguracija pohranjena u PROM-u ili nekom drugom mediju pohranjuje se u FPGA sklop. Konfiguracija se može učitati u FPGA sklop na pet različitih načina: dva paralelna načina, dva serijska načina i preko JTAG priključaka.

Ulazno/Izlazni blokovi

Ulazno izlazni blokovi omogućuju dvosmjernu komunikaciju između ulazno izlaznih pinova i unutarnje logike FPGA sklopa. Slika prikazuje pojednostavljenu strukturu ulazno izlaznog bloka. Postoje tri glavne cjeline unutar ulazno izlaznog bloka. Ulazni grana, izlazni grana i grana visoke impedancije. Svaka od ovih grana ima svoj par memorijskih elemenata.

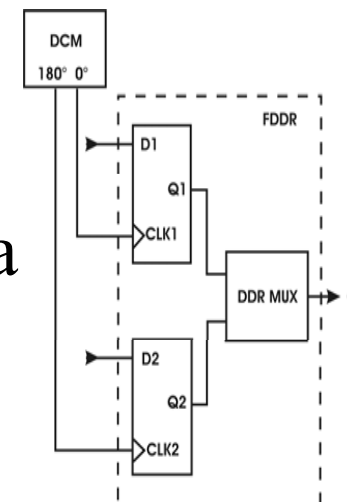


Ulazno/Izlazni blokovi

- Ulaznom granom podaci putuju od ulaznog pina kroz programibilne sklopove za kašnjenje do *I* linije. Nakon elementa za kašnjenje moguće je koristiti par memorijskih elemenata do linija *IQ1* i *IQ2*. Izlazi iz linija *IQ1* i *IQ2* vode do unutarnje logike FPGA sklopa.
- Izlazna grana počinje sa linijama *O1* i *O2* kojima se podaci iz unutrašnje logike FPGA sklopa kroz multipleksore i sklopove sa tri stanja šalju na izlazne pinove. Multipleksori omogućavaju i da se izlazni podaci šalju u memorijske elemente.
- Grana visoke impedancije upravlja sa sklopovima s tri stanja, pomoću kojih određuje kada je izlazni pin u stanju visoke impedancije. Linije *T1* i *T2* prenose podatke iz interne strukture FPGA sklopa kroz multipleksore na izlazne signale uz dodatnu mogućnost da se podatci šalju iz memorijskih elementa.
- Svi signali koji ulaze ili izlaze u ulazno izlazne blokove uključujući pridružene memorijske elemente posjeduju mogućnost invertiranja.

Ulazno/Izlazni blokovi

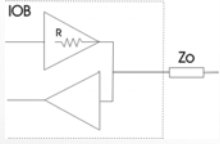
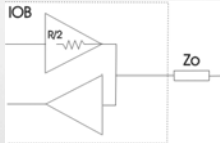
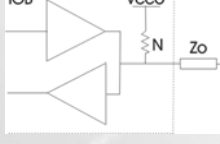
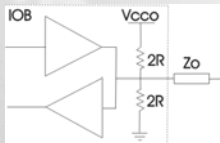
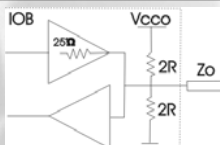
- Elementi za pohranu
- DDR (eng. Dual Data Rate) prijenos podataka
- PULL-UP PULL-DOWN otpornici
- Zaštita od statičkog elektriciteta (eng. Electro Static Discharge – ESD)



Ulazno/Izlazni blokovi

- Podržane naponske razine STANDARDI:
 - GTL
 - GTLP
 - HSTL_I, HSTL_III, HSTL_I_18, HSTL_II_18 i HSTL_III_18
 - LVCMOS12, LVCMOS15, LVCMOS18, LVCMOS25 i LVCMOS33
 - LVTTTL
 - PCI33_3
 - SSTL18_I, SSTL2_I i SSTL2_II
- Određeni ulazno-izlaznih blokovi mogu se koristiti u paru tako da mogu raditi i u diferencijalnom načinu rada. Podržano je 6 diferencijalnih naponskih razina:
 - LDT_25 (ULVDS_25
 - LVDS_25
 - LVDSEXT_25
 - LVPECL_25
 - RSDS_25

Digitalno kontrolirana impedancija (eng. Digitally Controlled Impedance – DCI)

Digitalna kontrola impedancije	Shematski prikaz	Standard
Kontrolirana impedancija izlaznim upravljačem		LVDCI_15 LVDCI_18 LVDCI_25 LVDCI_33
Kontrolirana impedancija izlaza s pola impedancije		LVDCI_DV2_15 LVDCI_DV2_18 LVDCI_DV2_25 LVDCI_DV2_33
Kontrola impedancije s jednim otporom		GTL_DCI GTL_P_DCI HSTL_III_DCI HSTL_III_DCI_18
Kontrola impedancije s otporničkim dijelilom		HSTL_I_DCI HSTL_I_DCI_18 HSTL_II_DCI_18 LVDS_25_DCI LVDSEXT_25_DCI
Kontrola impedancije s dijelilom otpornika i izlazom od 25 Ω		SSTL18_I_DCI SSTL2_I_DCI SSTL2_II_DCI

Digitalno kontrolirana impedancija (eng. Digitally Controlled Impedance – DCI) omogućuje dva načina terminiranja signala: paralelno terminiranje i serijsko terminiranje. Korištenje digitalno kontrolirane impedancije moguće je samo za određene standarde kako je prikazano u tablici. Jednako tako kako je vidljivo iz tablice postoji 5 načina na koje se ovisno o standardu može koristiti digitalna impedancija.

Ulazno/Izlazni blokovi

- **Organizacija ulazno izlaznih blokova u grupe**
 - Ulazno izlazni blokovi su raspodijeljeni unutar 8 grupa
 - Svaka strana sklopa ima dvije grupe.
 - Bez obzira na tip pakiranja svaka grupa ima svoju neovisnu liniju napajanja V_{ref} .
 - Tako da je na primjer V_{ref} grupe 3 fizički odvojen od V_{ref} ostalih grupa i obrnuto.

Ulazno/Izlazni blokovi

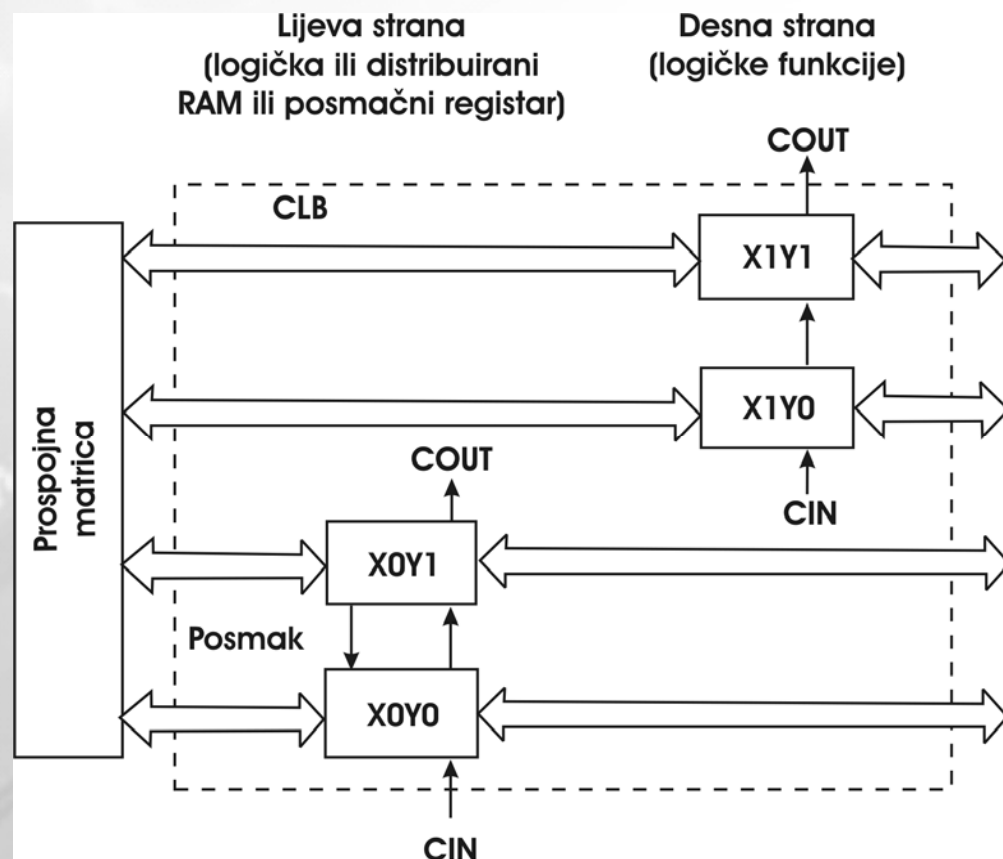
- Svi uređaji unutar Spartan-3 obitelji određenog pakiranja su pin kompatibilni. Ukoliko nam tijekom razvoja ponestane interne logike unutar Spartan-3 uređaja jači model Spartana 3 istog pakiranja može poslužiti kao izravna zamjena. Spartan-3 sklopovi nisu pin kompatibilni s prijašnjim XILNX FPGA sklopovima.

Sklop XC3S	Slobodnih ulazno izlaznih pinova i broj diferencijalnih pinova																	
	VQ100 VQG100		TQ144 TQG144		PQ208 PQG208		FT256 FTG256		FG320 FGG320		FG456 FGG456		FG676 FGG676		FG900 FGG900		FG1156 FGG1156	
	Br.	Dif.	Br.	Dif.	Br.	Dif.	Br.	Dif.	Br.	Dif.	Br.	Dif.	Br.	Dif.	Br.	Dif.	Br.	Dif.
50	63	29	97	46	124	56												
200	63	29	97	46	141	62	173	76										
400			97	46	141	62	173	76	221	100	264	116						
1000							173	76	221	100	333	149	391	175				
1500									221	100	333	149	487	221				
2000													489	221	565	270		
4000															633	300	712	312
5000															633	300	784	344

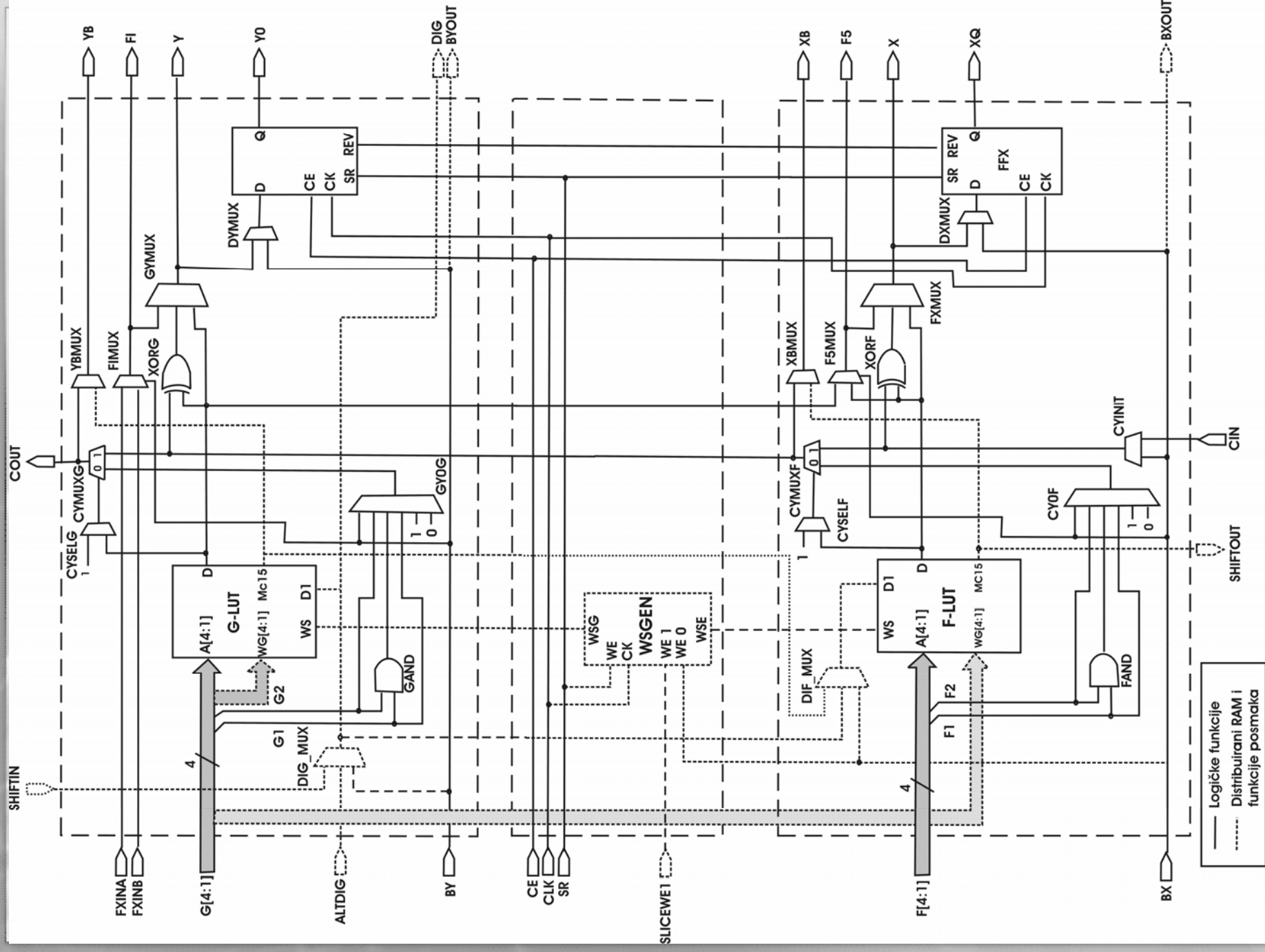
Konfigurabilni logički sklopovi

- Konfigurabilni logički blokovi (eng. Configurable Logic Blocks – CLB) predstavljaju glavni dio sklopa zadužen za izvedbu slijednih i kombinacijskih funkcija.
- Svaki CLB sastoji se od 4 međusobno povezana dijela kako je prikazano na slici koja slijedi.
- Dijelovi su grupirani u parove, a svaki par organiziran je u stupce sa nezavisnim lancem za prijenos (eng. Carry look ahead).
- Sva četiri dijela sadrže slijedeće elemente:
 - Dva generatora funkcijske logike
 - Dva memorijska elementa
 - Multipleksore
 - Prijenosni lanca sa dodatnom logičkim sklopovima

Konfigurabilni logički sklopovi



- Osim navedenih funkcija lijevi par podržava dvije dodatne funkcije:
 - Distribuirani RAM
 - Posmak podataka unutar 16 bitnog registra.



Generator funkcijske logike

- Generator funkcijske logike (eng. Look-Up Tables)
- Svaki od dva LUT-a unutar jednog dijela ima 4 logička ulaza i 1 izlaz. To nam omogućava izvođenje logičkih funkcija sa 4 varijable. Nadalje, korištenjem multipleksora LUT-ovi se mogu kombinirati unutar samog CLB ili kombinirati sa drugim CLB-ovima čime se mogu dobiti složene logičke funkcije.
- LUT-ovi u lijevom i desnom paru osim navedenih funkcija mogu poslužiti kao ROM memorije koje su inicijalizirane sa podacima tijekom konfiguracije uređaja. Lijevi par LUT-ova ima mogućnost da se koristi kao distribuirani RAM. Jedan LUT može pohraniti 16 bitova, a višestrukim kombiniranjem većeg broja lijevo pozicioniranih LUT-ova može se dobiti više bitova. Ukoliko želimo koristiti memoriju sa dva ulaza moramo kombinirati dva lijeva LUT-a. Druga dodatna funkcija lijevih LUT-ova je njihovo korištenje kao 16 bitni posmični registar. Korištenjem na taj način moguće je ostvariti posmak od 1 do 16 bita. Korištenjem četiri LUT-a unutar jednog CLB moguće je ostvariti kašnjenje od 64 perioda signala vremenskog vođenja.

Memorijski RAM blokovi

- Spartan-3 sklopovi omogućavaju korištenje RAM memorijskih blokova koji su organizirani u blokove od 18 Kb.
- Memorijski blokovi mogu pohraniti relativno veću količinu podataka u odnosu na distribuirane memorije koje su prije spomenute.
- Memorijski blokovi organizirani su u stupce i u ovisnosti o sklopu mogu biti u jednom, dva ili četiri stupca.
- Zbog interne povezanosti između RAM blokova i množila maksimalna širina podataka ukoliko se koriste i blok memorije i množila je 18 bitova.

Memorijski RAM blokovi

Sklop	Broj memorijskih RAM blokova	Ukupni adresni prostor (bitova)	Broj stupaca
XC3S50	4	73.728	1
XC3S200	12	221.184	2
XC3S400	16	294.912	2
XC3S1000	24	442.368	2
XC3S1500	32	589.824	2
XC3S2000	40	737.280	2
XC3S4000	96	1.769.472	4
XC3S5000	104	1.916.928	4

Sklopovska množila

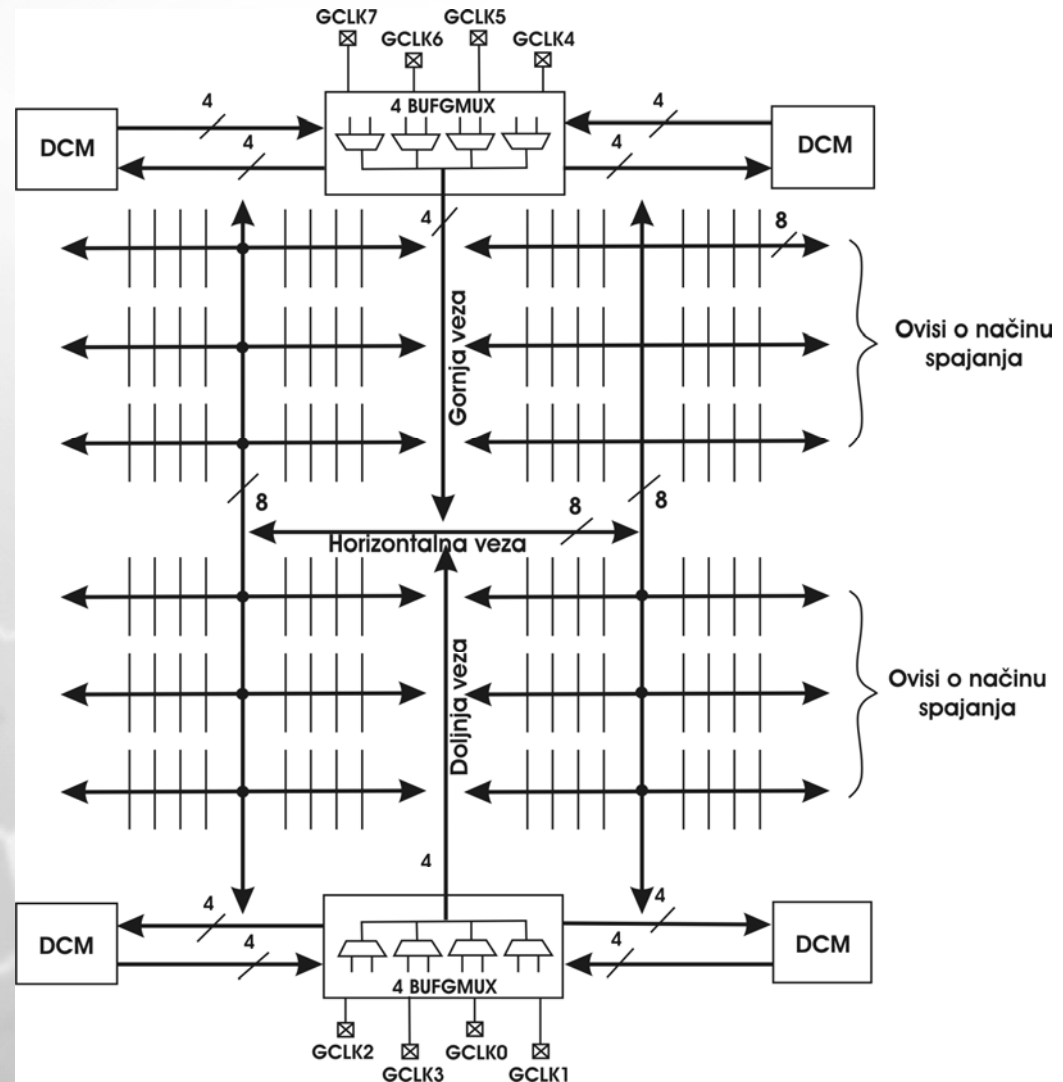
- Specijalna množila ugrađena unutar Spartan 3 sklopova, omogućuju množenje dva 18 bitna podatka i dobivanje 36-bitnog rezultata.
- Ulazni podaci u množilo su brojevi u dvojnem komplementu.
- Ukoliko su ulazni podatci s predznakom tada je podatak 18 bitni, a ako su ulazni podatci brojevi bez predznaka onda je podatak 17 bitni, a osamnaesti bit se ne koristi.
- Dijelev sabirnicu zajedno s Blok memorijom

Digitalna kontrola vremenskog vođenja

- Logika za digitalnu kontrolu perioda signala (eng. Digital Clock Manager - DCM) vremenskog vođenja unutar Spartan-3 sklopa omogućuje kontrolu frekvencije, pomak perioda signala vremenskog vođenja i stabiliziranje signala vremenskog vođenja. Da bi izveo te funkcije DCM koristi povratnu petlju s kašnjenjem (eng. Delay Locked Loop - DLL), digitalnu kontrolu koja koristi digitalnu povratnu vezu da bi sačuvala karakteristiku signala vremenskog vođenja s visokim stupnjem preciznosti koji je neovisan o variranju temperature i napona.
- Svaki član Spartan-3 obitelji ima četiri DCM sklopa, osim najmanjeg XC3S50 koji ima dva. DCM blokovi locirani su na krajevima memorijskog bloka. DCM blokovi podržavaju tri osnovne funkcije:
 - stabilizacija signala vremenskog vođenja
 - generiranje različitih frekvencija (množenje i dijeljenje perioda signala vremenskog vođenja)
 - fazni pomak signala vremenskog vođenja

Mreža za distribuciju signala vremenskog vođenja

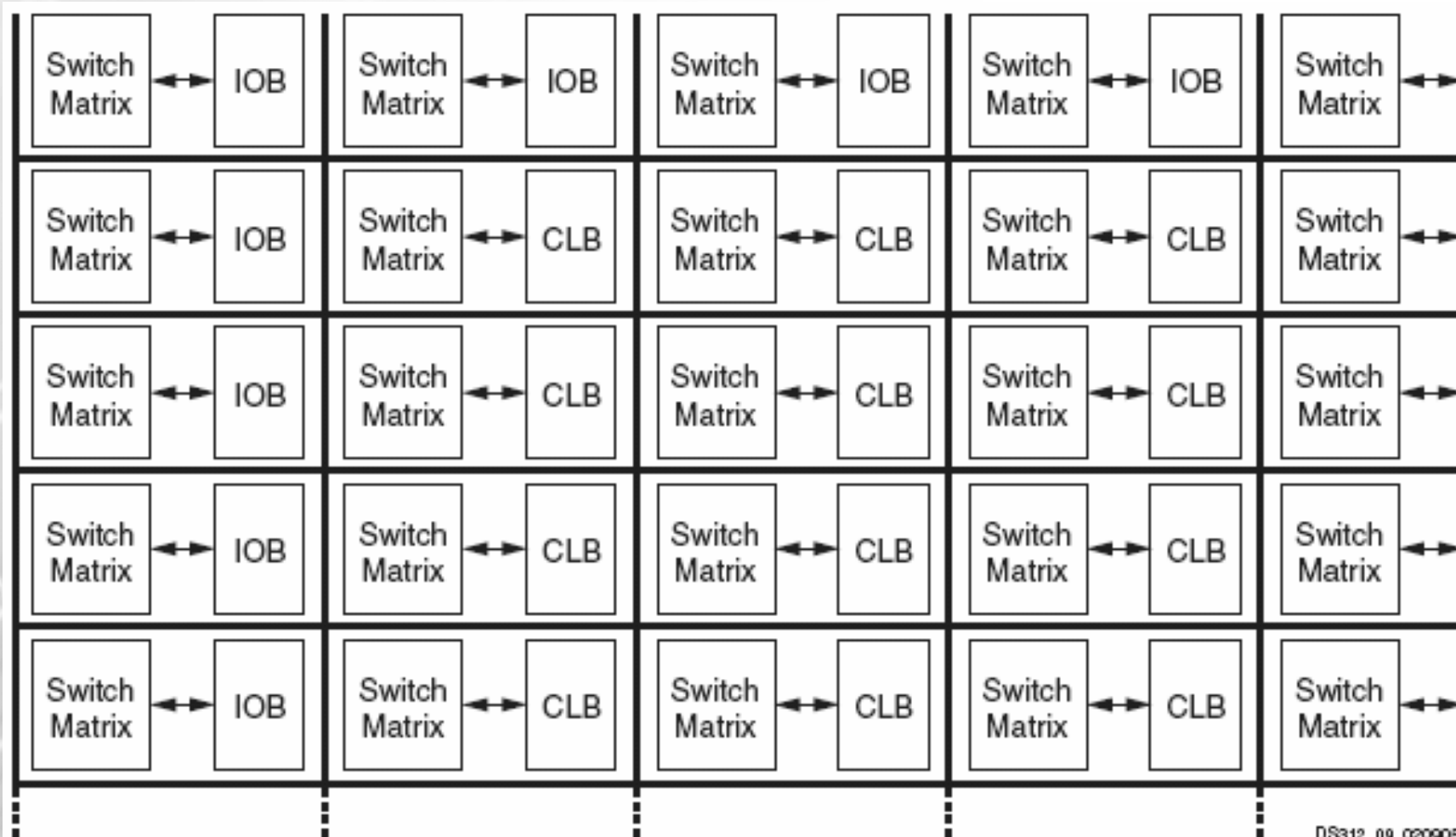
- Unutar Spratan-3 sklopova postoji osam neovisnih mreža za distribuciju signala vremenskog vođenja.
- Osnovna karakteristika mreže za distribuciju signala vremenskog vođenja je niski kapacitet mreže, stoga su idealne za prenošenje signala visokih frekvencija.
- Četiri signala su pozicionirana u sredini donjeg dijela sklopa, dok su druga četiri na sredini gornjeg dijela sklopa.
- Svaki od 8 signala moguće je dovesti do bilo kojeg CLB na sklopu.



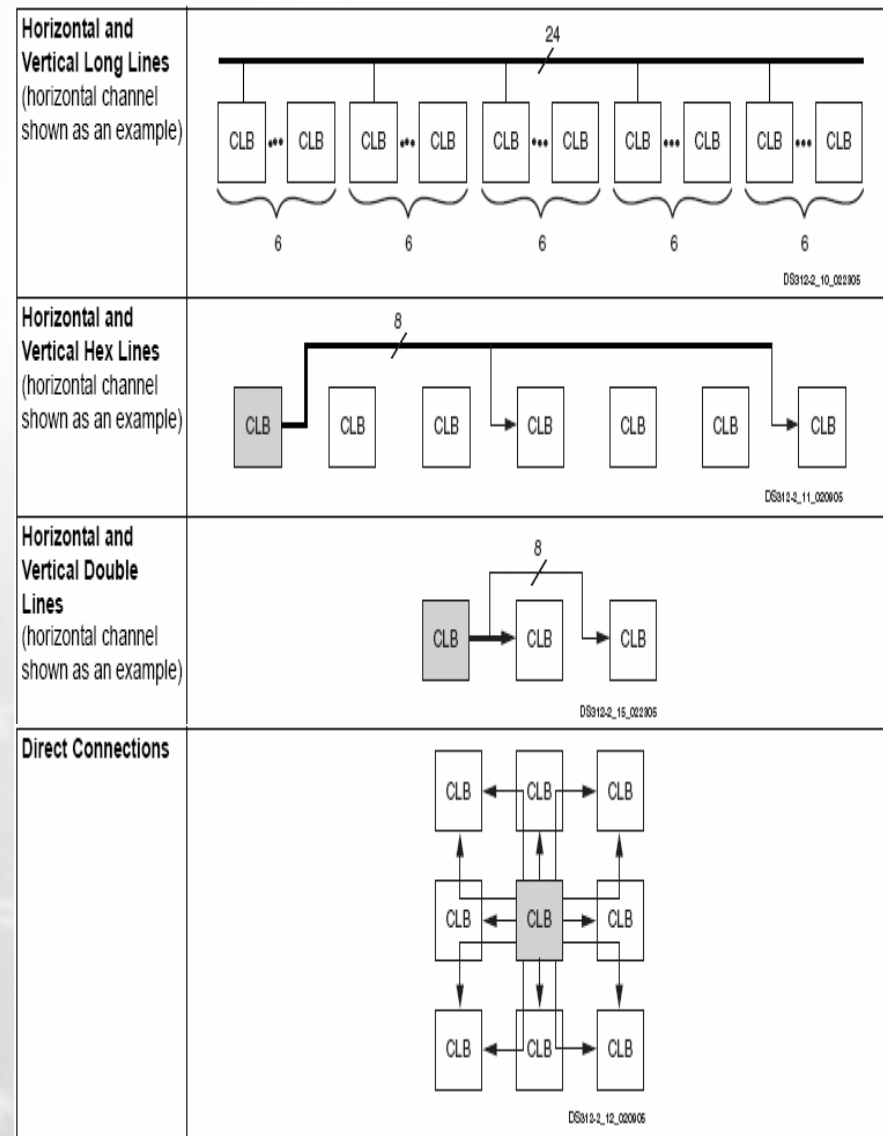
Interkonekcija - poveznice

- Programibilna mreža signala koja povezuje ulaze i izlaze osnovnih elemenata FPGA sklopa: IOB, CLB, DCM, Block RAM
- Postoje četiri osnovne vrste poveznica:
 - Long lines
 - Hex lines
 - Double lines
 - Direct connection
- Prospojna mreža (eng. Switch Matrix)
 - Povezuje osnovne elemente FPGA sklopa i poveznice

Povezivanje



- Long Lines:
 - 24 signala, rasprostiru se horizontalno i vertikalno. Spajaju svaki šesti blok. Zbog malog kapaciteta idealne za prenošenje brzih signala.
- Hex Lines:
 - 8 signala povezuje svaki treći blok horizontalno i vertikalno. Signalima može upravljati samo jedan blok na kraju signala.
- Double Lines:
 - 8 signala. Povezuje svaki drugi blok vertikalno, horizontalno i diagonalno.
- Direct Connection:
 - Povezuje blok s susjednim blokovima u svim smjerovima. Povezuju blokove s Long, Hex i Double Lines.



Neobavezna Dodatna literatura:

- www.xilinx.com
- <http://www.xilinx.com/support/documentation/spartan-3e.htm#19564>
 - Spartan-3E Data Sheets
 - Spartan-3E User Guides
 - Spartan-3E Application Notes

Toliko za danas.

