

1. ciklus Ugradbenih računalnih sustava – sažetak

2. predavanje

Osnovna podjela sklopova po stupnju integracije:

- diskretne
- integrirane

Podjela komponenti po funkcionalnosti:

- računalni dio sustava (jezgra procesora, programska i podatkovna memorija)
- periferijske sklopove
- sklopove za vezu sa analognim dijelom sustava
- komunikacijske sklopove
- senzore
- sklopove za pogon izvršnih članova (aktuatora)
- komponente za napajanje
- pomoćno sklopovlje (WatchDog)

Podjela po tipu signala:

- analogni (pojačala, filtriranje,...; operacijsko pojačalo)
- digitalni
- mixed-signal (AD/DA pretvornici; problemi u integriranju analognih i digitalnih komponenti na istu silicijsku pločici (smetnje, loša svojstva analognih,...))

Podjela s obzirom na unutarnju izvedbu:

- System-on-Chip (SoC) (sustav u čipu, integracija svih potrebnih komponenta računaa i drugih elektroničkih sustava unutar jednog integriranog sklopa)
- System-in-Package (SiP) (više silicijskih pločica u jednom kućištu; koriste se radi veće gustoće pakiranja, kao i SoC; često se koristi Flip-Chiš)

Podjela s obzirom na vanjsku izvedbu:

- sa prolaznim pinovima
 - o DIP (mala gustoća pakiranja, značajan utjecaj parazitnih kapaciteta i induktiviteta na izvodima)
 - o SIP (veća gustoća pakiranja od DIP)
 - o ZIP
 - o PGA (oznake: dolje lijevo odrezani čošak, horizontalno slova, vertikalno brojke; Zero Insertion Force)
 - za površinsku montažu (SMD)
 - o izvodi duž dvije ili četiri stranice, ili od ispod
 - o podjela izvoda
 - ravni izvodi
 - J-izvod
 - Gull-wing izvog
 - Leadless
 - Solder ball
 - o Small-Outline
 - o LCC
-

- QFP
 - BGA (lemljenje zagrijavanjem, efekt samo-poravnavanja; manje izražena parazitivna svojstva izvoda zbog malih dimenzija, velike brzine rada; prečvrsto se drže za podlogu; Flip-Chip)
- ili
- kućišta sa perifernim izvodima (dual, quad)
 - kućišta sa izvodima od ispod (grid, array)

Gustoća pakiranja: kvocijent ukupnog broja izvoda i površine koju komponenta zauzima.

Krute funkcije ograničenja u projektiranju URS-a:

- dobavlјivost komponenti
- dobavlјivost dokumentacije
- raspoloživost i/ili dobavlјivost potrebnih alata i tehnoloških postupaka za razvoj i proizvodnju
- raspoloživost dovolјnih ljudskih resursa
- raspoloživost pouzdanih vanjskih partnera
- konačan budžet projekta
- ograničenja vezana uz reguliranje i raspolaganje intelektualnim vlasništvom
- tehnička specifikacija proizvoda

Tehnička ograničenja proizlaze iz specifikacije sustava.

Svojstva okoline – temperatura, mehanički uvjeti, vlaga, vatra, zračenje

3. predavanje

Granica smetnji je ovisna o korištenom standardu logičkih nivoa, a taj je najčešće vezan uz tehnologiju izrade dotične komponente i njezin napon napajanja.

$$U_{GSV} = U_{OHmin} - U_{IHmin}$$

$$U_{GSN} = U_{ILmax} - U_{OLmax}$$

'80-tih godina – digitalni sklopovi u pravilu na +5V (CMOS +3 do +15V).

Početkom '90-tih – Low Power komponente sa naponom napajanja na 3.3V

Standardni naponi napajanja su: 3.3V, 2.5V, 1.8V, 1.5V, 1.2V, a danas već i 1V.

Problem kod smanjenja napajanja – skaliranje svih naponskih razina logičkih nivoa.

Povećanje granice smetnji traži povećanje ukupnog izlaznog naponskog hoda, što traži povećanje napona napajanja, što ima za posljedicu kvadratno povećanje disipacije sklopa.

Smetnje mogu biti prouzročene:

- KAPACITIVNIM (elektrostatskim) preslušavanjem sa susjednih vodova ili drugih izvora smetnji
 - o srazmjerne derivaciji napona na susjednoj liniji (rastu sa povećanjem izlaznog naponskog hoda i skraćanjem t_r i t_f)
- INDUKTIVNIM (elektromagnetskim) preslušavanjem unutar petlje signala sa susjednih međuinaktivno vezanih petlji, ili drugih izvora EM polja
 - o srazmjerne derivaciji struje u susjednoj petlji (ovisi o izlaznom naponskom hodu koji je prouzročio navedenu struju)
- zbog refleksija prouzročenih valnim svojstvima el. linija (kod većih brzina rada)
- uslijed smetnji u napajanju ili masi
- zbog parazitivnih svojstava izvoda (prvenstveno induktiviteta), odnosno parazitivnih svojstava ulaznih i izlaznih krugova integriranih sklopova (prvenstveno kapaciteta)

Smanjenje unutarnjih smetnji traži ili smanjenje izlaznog naponskog hoda ili povećanje t_r i t_f , jer se tako smanjuje nagib izlaznog napona. Na nagim izlaznog napona sklopa teško se može utjecati njegovim boljim projektiranjem.

Smanjenjem naponskog hoda se:

- povećavaa brzina rada sklopa
- smanjuju iznosi unutarnjih smetnji
- ostvaruje kompatibilnost s tehnologijom izuzetno visokog stupnja skaliranja i
- kvadratno se smanjuje dinamička potrošnja sklopa

TTL i CMOS standard naponskih logičkih razina.

TTL:

- obične komponente sa manjim izlaznim strujama i sabirnička pojačala (s nekoliko puta većim izlaznim strujama)
 - sve podporodice su kompatibilne
 - prvenstvene razlike u potrošnji i brzini rada, treba voditi računa o opterećenju i faktoru grananja
-

CMOS:

- naponi praga definirani relativno u odnosu na napajanje
- zbog izuzetno velikog ulaznog otpora faktor grananja je ograničen samo parazitivnim kapacitetom ulaza, a ne ulaznom strujom kao kod TTL sklopova

Nisko-naponski TTL standard:

- samo se sreže napon napajanja sa 5V na 3.3V, a sve naponske razine ostanu kakve su i bile
- ne može se ići na još manje napone, tj. još ga više smanjiti zbog fiksnog praga od 1.5V

Diferencijalni (bipolarni) prijenos signala:

- analogno rješenje za problem prevelike osjetljivosti (na vanjske smetnje)
 - dvije linije koje nose protufazne signale
 - na prijemnoj strani se mjeri razlika ta dva signala, ako je pozitivna, odgovara jednom logičkom stanju, a ako je negativna drugom
 - potiskivanje ISTOFAZNE pogreške – ako su linije na malom razmaku, onda će se npr. smetnja uslijed kapacitivnog preslušavanja javiti podjednako na obje linije, što će se nakon odbijanja signala poništiti
 - jedan od najpoznatijih standarda LVDS (Low Voltage Differential Signaling)
 - prednosti: potiskuje isto-faznu smetnju, ima vrlo mali naponski hod (350 mV), pa je moguće ostvariti velike brzine porasta i pada (velike brzine prijenosa), zbog malog naponskog hoda ima vrlo malu dinamičku disipaciju
 - najpogodniji je za povezivanje više modula unutar sustava (npr. veza između više tiskanih pločica), koristi se i za povezivanje s vanjskim jedinicama,...
-

4. predavanje

Razvojni zadatci u projektiranju ugradbenih računalnih sustava

- analiza
- razdioba zadataka na sklopovska i programska rješenja
- izrada modela
- verifikacije
- sinteze
- ...

Kod URS-ova se projektira hardware i software. Ne postoji najbolja raspodjela funkcionalnosti zbog različitih kriterija (jedno rješenje je po jednom kriteriju najbolje, dok po drugom nije). (primjer za procesor sa pomičnim zarezom i vektorskom podrškom).

SystemC – proširenje C++-a sa odgovarajućim bibliotekama, koristi se za HW/SW co-design (istovremeno projektiranje cijelog sustava), za razliku od VHDL-a i Veriloga, on opisuje cijeli sustav, a ova dva samo programski opis sklopovlja. On radi modeliranje na nivou transakcija – opisuje se blokovima, za koje se uz pomoć alata istražuje mogućnost njihove HW ili SW izbedbe.

Specifičnosti SW za URS-ove, zahtjevi:

- koji proizlaze iz vremenskih svojstava (mogućnost izvedbe zadataka koji se događaju u točno određenim trenucima,...)
- vezani uz istovremenost (multitasking, RTOS)
- vezani uz besmrtnost (ne smije crknut)

Ključni zadatci RTOS-a:

- Task Scheduling
- Inter-task Communication Synchronization
- Timers
- Device I/O Interface
- Dynamic Memory Allocation

Actor-Oriented dizajn – sustav se gradi od komponenata koje sačinjavaju parametrizirani izvršitelji (actor) (kao objekti u objektnom programiranju) (npr. Simulink).

Projektiranje URS sklopovlja:

- na razini tiskane poločice (do sredine '80-tih godina jer projektanti nisu mogli utjecati na funkcionalnost integriranih komponenti) (shematski princip)
- na razini integrirane komponente (koriste se npr. PALASM, CUPL, ABEL) (shematski dizajn prekompliciran, previše shema za velik broj logičkih vrata)

ASIC.

Programabilni: CPLD i FPGA.
