

UGRADBENI RAČUNALNI SUSTAVI PONOVLJENI ZAVRŠNI ISPIT

Zadatak 1 (1 bod)

Navesti porodice PLD sklopova.

Zadatak 2 (1 bod)

Implementirati funkcije $f = \sum m(0,1,3)$, $g = \sum m(1)$ u PROM sklopu sa 2 ulaza. Skicirati shemu sklopa.

Zadatak 3 (2 boda)

Nacrtati osnovnu shemu makroćelije u PAL sklopu.

Zadatak 4 (1 bod)

Čemu služi povratna veza u PAL sklopovima?

Zadatak 5 (2 boda)

Na koje se sve načine može programirati Spartan FPGA sklop? Koji tip programabilnih prekidača se koristi u tim sklopovima?

Zadatak 6 (1 bod)

Čemu služi grana visoke impedancije u I/O sklopu Spartan 3 uređaja?

Zadatak 7 (1 bod)

Čemu služi DCM blok u Spartan 3 uređaju?

Zadatak 8 (2 boda)

Zadan je sljedeći odsječak u VHDLu (a i b su signali tipa std_logic, početne vrijednosti '0') koji se simulira u VHDL simulatoru:

```
...
...
process (a)
variable c : std_logic := '0';
begin
    c := a;
    b <= c;
end process;
```

Kolika je vrijednost signala b nakon što se dogodila promjena (event) na signalu a sa vrijednosti '0' na '1' te ponovo sa '1' na '0'. Pojasniti!

* **Zadatak 9 (2 boda)**

Navesti vrste i osnovna svojstva poveznica u Spartan 3 sklopu.

Zadatak 10 (2 boda)

U VHDL-u projektirati kontrolnu jedinicu za semafor pomoću stroja stanja kako je to pokazano na predavanjima (dva procesa). Ulaz u jedinicu je signal vremenskog vođenja a izlazi (njih 3) se koriste za paljenje signalizacijskih svjetala (crvena, žuta, zelena). Stroj mjenja stanja tako da se dobije sljedeći redosljed svjetala: 1. Crvena, 2. Crvena i žuta, 3. Zelena, 4. Žuta, te tako iznova. Isto tako, sklop ima asinkroni reset, koji postavlja stanje u 1. Crvena.

Zadatak 11 (2 boda)

U VHDL-u je potrebno projektirati komponentu koja ispituje jednakost dva ulazna signala **bit po bit**. Signali su tipa `std_logic` veličine koja je definirana pomoću generic ključne riječi u deklaraciji entiteta, a izlaz je tipa `std_logic` koji ima vrijednost '1' ukoliko su signali jednaki, a '0' ako nisu jednaki.

Zadatak 12 (2 boda)

U VHDLu projektirati komponentu koja računa broj vodećih nula u ulaznom signalu tipa `std_logic` veličine 32 bita. Izlazni signal je tipa `std_logic` veličine 5 bitova.

Zadatak 13 (4 boda)

Na PicoBlaze procesor spojena je ulazna vanjska jedinica VJ1 (PORT ID=0x80) i izlazna vanjska jedinica VJ2 (PORT ID=0x40), te LCD jedinica sa predavanja (PORT ID = 0x60). Potrebno je isprojektirati sustav (PicoBlaze asemblerski kod, procesi u VHDL-u i blok shema spajanja KCPSM3 procesora sa jedinicama) koji će riješiti sljedeći problem: Sa vanjske jedinice VJ1 se čitaju 8 bitni podatci u formatu 2'k. Ukoliko je primljeni podatak negativan, potrebno je na LCD ispisati "NEG", a ako je pozitivan ili nula, na LCD treba napisati "POZ". Apsolutnu vrijednost podatka treba poslati na VJ2. Za ispis na LCD trebat će vam sljedeće konstante:

```

CONSTANT chr_P, 50 ;znak P
CONSTANT chr_O, 4F ;znak O
CONSTANT chr_Z, 5A ;znak Z
CONSTANT chr_N, 4E ;znak N
CONSTANT chr_E, 45 ;znak E
CONSTANT chr_G, 47 ;znak G
CONSTANT clrdisp, 01 ;ciscenje LCDa

```

Sretno!