

Prezime, Ime: Bronze God

JMBAG:

Treća domaća zadaća iz URS-a

ZADATAK	RIJEŠIO
1	DA
2	DA
3	DA
4	DA
5	DA
6	DA
7	DA
8	DA
9	DA
10	DA
11	DA
12	DA
13	DA
14	DA

Zadatak 1 (1 bod)

Nabrojite osnovne porodice PLD sklopova, navedite njihove nazive?

Osnovne porodice PLD sklopova su:

- PROM (Programmable Read Only Memory),
- PLA (Programmable Logic Array),
- PAL (Programmable Array Logic),
- GAL (Generic Array Logic),
- CPLD (Complex Programmable Logic Device),
- FPGA (Field Programmable Gate Array).

Zadatak 2 (1 bod)

Koja je najbitnija razlika između GAL i PAL sklopova?

Najbitnija razlika između GAL i PAL sklopa je u tome što se GAL može programirati više puta, a PAL samo jednom.

Zadatak 3 (2 boda)

Za funkcije:

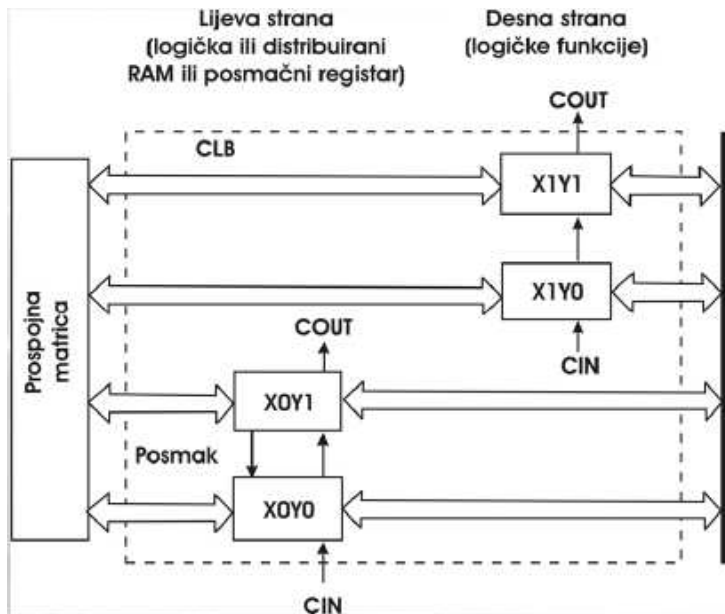
$F(A,B,C) = (A \text{ xor } B \text{ xor } C)$ i $G(A,B,C) = ((A \text{ and } B) \text{ or } (A \text{ and } C) \text{ or } (B \text{ and } C))$,
odrediti veličinu memorije i njezin cjelokupni sadržaj.

A	B	C	F	G
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Veličina memorije: 16b (8 lokacija po 2 bita)

Zadatak 4 (2 boda)

Objasnite i skicirajte strukturu CLB blokova unutar Spartan 3 uređaja.



Konfigurabilni logički blokovi (eng. Configurable Logic Blocks – CLB) su glavni dijelovi sklopa zaduženi za izvedbu slijednih i kombinacijskih funkcija.

Svaki CLB se sastoji od 4 međusobno povezana dijela koji su grupirani u parove, a svaki par organiziran je u stupce sa nezavisnim lancem za prijenos (eng. Carry look ahead).

Sva četiri dijela sadrže slijedeće elemente:

- Dva generatora funkcijske logike,
- Dva memorijska elementa,
- Multipleksore,
- Prijenosni lanca sa dodatnom logičkim sklopovima.

Osim navedenih funkcija lijevi par podržava dvije dodatne funkcije:

- Distribuirani RAM,
- Posmak podataka unutar 16 bitnog registra.

Zadatak 5 (1 bod)

Navesti osnovne vrste poveznica u Spartan 3 arhitekturi.

Postoje 4 osnovne vrste poveznica:

- Long lines,
- Hex lines,
- Double lines,
- Direct connection.

Zadatak 6 (1 bod)

Što je entitet, a što opis arhitekture u VHDL-u?

Entitet je opis sučelja sklopa, a arhitektura je opis ponašanja (funkcionalnosti).

Zadatak 7 (1 bod)

U VHDLu definirati signal s tipa std_logic koji će nakon globalnog reseta imati vrijednost '1'.

```
Signal s : std_logic := '1';
```

Zadatak 8 (1 bod)

Koja je razlika između kombinacijske i procesne logike i na koje se dvije vrste logike može podijeliti procesna logika?

Procesna logika razlikuje se od kombinacijske logike po tome što se pridruživanje radi određenim redoslijedom. Zadnje pridružena vrijednost unutar procesne logike poništava prethodnu pridruženu vrijednost. Kombinacijsku logiku karakteriziraju jednoznačna pridruživanja pri kojima redoslijed nije bitan.

Procesna logika može biti kombinacijska i slijedna.

Zadatak 9 (1 bod)

Objasnite memorijski sustav PicoBlaze procesora (programskog i podatkovnog).

Memorijski sustav PicoBlaze procesora se sastoji od programske i radne memorije.

Arhitektura memorijskog sustava je Harvardska arhitektura.

Programska se memorija sastoji od 1024 18 bit-nih lokacija.

Radna memorija sadrži 16 (8 bit-nih) registara opće namjene i Scratch Pad memoriju.

Scratch Pad memorija je memorija opće namjene kapaciteta 64 bajta.

Zadatak 10 (2 boda)

Korištenjem kombinacijske logike napišite VHDL kod (entitet i arhitekturu) za izvedbu multipleksora 8 na 1, pri čemu je defaultna vrijednost na izlazu ona sa ulaza(0).

```
library IEEE;  
use IEEE.std_logic_1164.all;
```

```
entity multipleksor is  
port (
```

```

        ulaz : in std_logic_vector(7 downto 0);
        selektor : in std_logic_vector(2 downto 0);
        izlaz : out bit
    );

end entity multipleksor;

architecture mux of multipleksor is
    begin
        with selektor select
            T <= ulaz(1) when "001",
                ulaz(2) when "010",
                ulaz(3) when "011",
                ulaz(4) when "100",
                ulaz(5) when "101",
                ulaz(6) when "110",
                ulaz(7) when "111",
                ulaz(0) when others;

    end mux;

```

Zadatak 11 (2 boda)

Napišite dio VHDL koda (potrebno je napisati samo proces) koji služi za spajanje izlaznih vanjskih jedinica na PicoBlaze. Objasnite kako radi? Napisati primjer korištenja vanjske jedinice u assembleru. Nacrtati shematski spajanje na KCPSM3 procesor.

VHDL kôd:

```

output_ports: process(clk)
    begin
        if clk'event and clk='1' then
            if write_strobe='1' then
                -- Piše na LED-icu na adresi 80 hex.
                if port_id(7)='1' then
                    led <= out_port;
                end if;
            end if;
        end if;
    end process output_ports;

```

U vanjsku se jedinicu (u ovom slučaju LED dioda) piše u trenutku nailaska rastućeg brida signala vremenskog vođenja i to samo ako je aktivan signal `write_strobe`. Budući da se u primjeru dana LED dioda nalazi na adresi \$80, gleda se da li je aktivan signal `port_id(7)` koji jednoznačno određuje diodu na toj adresi jer se koristi nepotpuno adresno dekodiranje (dakle ne moramo znati cijelu adresu kako bi utvrdili koja je vanjska jedinica prozvana, već je dovoljan samo dio adrese a u ovom slučaju to je samo jedan bit). Ako su zadovoljeni svi uvjeti piše se u izlaznu vanjsku jedinicu.

Primjer korištenja u assembleru:

```
CONSTANT LED_PORT, 40
```

```
...
```

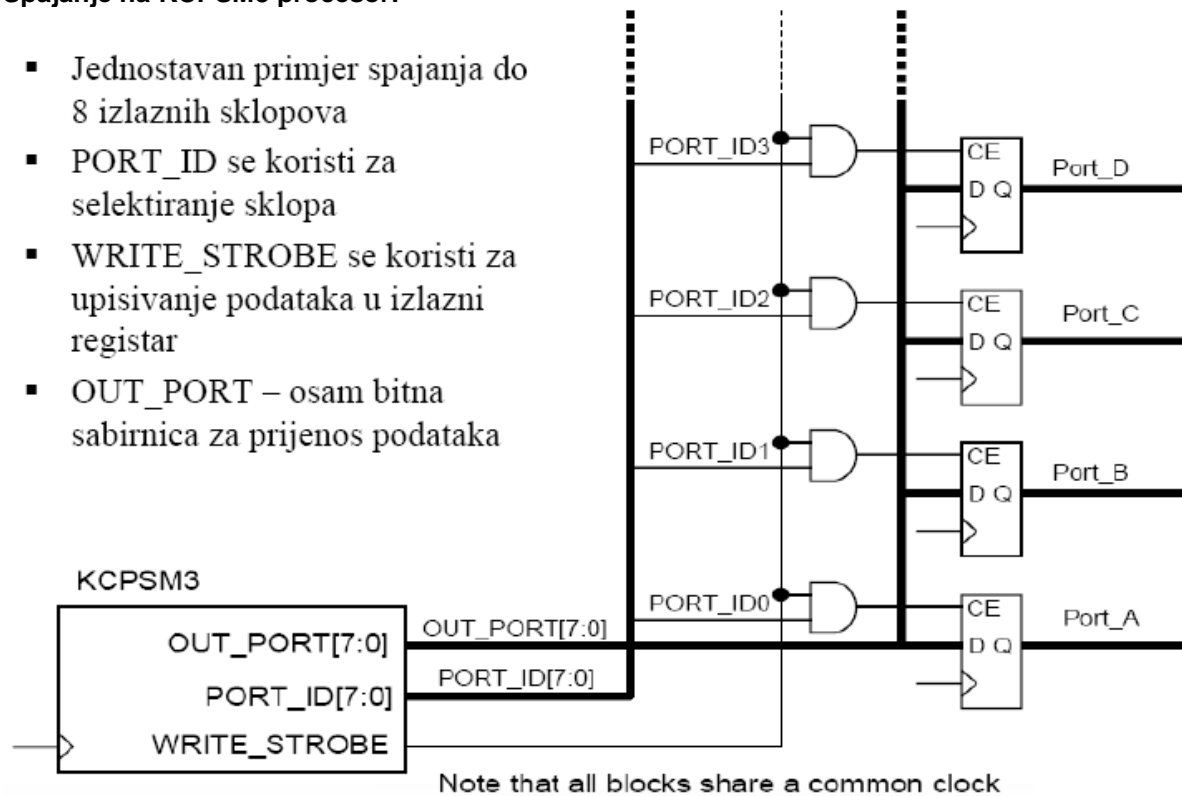
```
LOAD s0, 08
```

```
OUTPUT s0, LED_PORT
```

```
...
```

Spajanje na KCPSM3 procesor:

- Jednostavan primjer spajanja do 8 izlaznih sklopova
- PORT_ID se koristi za selektiranje sklopa
- WRITE_STROBE se koristi za upisivanje podataka u izlazni registar
- OUT_PORT – osam bitna sabirnica za prijenos podataka

**Zadatak 12 (2 boda)**

Objasnite koje je razlika između Diskretnih, Hard i Soft Core procesora? Koje su prednosti i nedostatci svakih od njih?

Diskretni (ili “off the shelf”) procesori su oni procesori kod kojih se ne može mijenjati niti jedan njihov dio.

Njihove prednosti su velik broj različitih proizvođača, velik izbor različitih funkcionalnosti te velika brzina rada.

Nedostatak takvih procesora je zahtjevan odabir odgovarajućeg procesora i nemogućnost modificiranja te skupa promjena procesora nakon što je isti već bio odabran.

Korištenje diskretnih procesora predstavlja tradicionalan pristup projektiranju sustava. Takvi su procesori u pravilu izvedeni kako ASIC sklopovi koji osim samoga procesora uglavnom sadrže i neke periferije.

Hard Core procesori su oni procesori čije se jezgre ne mogu mijenjati, ali im se zato mogu mijenjati periferije.

Prednost takvih procesora je mogućnost izmjene periferije procesora kako bi odgovarala potrebama dizajna, uz zadržavanje velike brzine rada.

Nedostatak Hard Core procesora je vrlo ograničen broj proizvođača i ograničen broj članova porodice FPGA sklopova koji imaju mogućnost izvođenja takvih procesora.

Soft Core procesori su oni procesori koji su u potpunosti izvedeni u logici, tj. oni procesori koji se u potpunosti mogu prilagoditi potrebama dizajnera sustava.

Prednosti Soft Core procesora su vrlo velika fleksibilnost (vrlo jednostavno dodavanje novih periferija u sustav, micanje komponenata, prilagođavanje dodatnim potrebama, mijenjanje same jezgre...), višestruko ubrzanje procesa izrade i mogućnost ostvarivanja više procesora u jednom sustavu.

Glavni nedostatak je višestruko sporiji rad od diskretnih i Hard Core procesora.

Zadatak 13 (2 boda)

Isprojektirati u VHDLu komponentu (entitet i arhitekturu) za 7-segmentni pokaznik korištenjem kombinacijske procesne logike. Ulaz je signal tipa int koji prima vrijednosti od 0 do 9 a izlaz je std_logic_vector veličine 7 koji predstavlja kod za 7-segmentni pokaznik kako je prikazano na slici:

```
library IEEE;
use IEEE.std_logic_1164.all;

entity 7_segm_pok is
    port (
        ulaz: in integer;
        izlaz out std_logic_vector (6 downto 0)
    );
end 7_segm_pok;

architecture pokazivac of 7_seg_pok is
    begin
        process (ulaz)
            begin
                case ulaz is
                    when 0 => izlaz <= "0111111";
                    when 1 => izlaz <= "0010100";
                    when 2 => izlaz <= "1101101";
                    when 3 => izlaz <= "1110101";
                    when 4 => izlaz <= "1010110";
                    when 5 => izlaz <= "1110011";
                    when 6 => izlaz <= "1111011";
                    when 7 => izlaz <= "0010101";
                    when 8 => izlaz <= "1111111";
                    when others => izlaz <= "1110111";
                end case;
            end process;
        end pokazivac;
```

Zadatak 14 (4 boda)

Za PicoBlaze procesor napisati sljedeću prekidni potprogram: Na svaki zahtjev za prekid potrebno je očitati stanje vanjske jedinice koja je spojena na IN_PORT. Na dobivenom podatku ispituje se parnost: Ukoliko je on paran, potrebno je povećati brojač parnih podataka u ScratchPad memoriji na adresi hex(10), a ukoliko je neparan, povećati brojač neparnih podataka koji je u ScratchPad memoriji na adresi hex(11).

```
ADDRESS 000

; postavljanje konstanti
CONSTANT IN_PORT, 80

; inicijalizacija brojaca
LOAD s0, 00
LOAD s1, 00

; dozvoljavanje prekida
ENABLE INTERRUPT

; glavni program
JUMP petlja

petlja:  JUMP petlja

prekid:  INPUT s2, IN_PORT  ;ucitaj podatak u reg s2
        ; ispitivanje parnosti
        AND s2, 01
        JUMP Z, paran
neparan: ADD s1, 01
        STORE s1, 10
        RETURNI

paran:   ADD s0, 01
        STORE s0, 11
        RETURNI

ADDRESS 3FF
JUMP prekid
```