

**ODGOVORI NA (ZASAD) PRVIH 9. PITANJA IZ PRIMJERA ISPITA NA FER-  
ovoj stranici ([http://www.fer.unizg.hr/download/repository/mi\\_primjer.pdf](http://www.fer.unizg.hr/download/repository/mi_primjer.pdf)) I  
1. MI IZ 2008./2009. Koji se nalazi na materijalima.**

Nisam stigao odgovoriti na ostatak pitanja ako netko je neka me slobodno nadopuni, dosta pitanja je slično samo malo drugačije postavljeno i otprilike se iz ovoga može naslutiti šta se treba učiti i kako. Znam da sam malo kasno ovo napisao no ovo je samo meni mala pomoć pri ponavljanju pa evo je i vama . Sve kritike i ispravke su dobrodošle.

**Zadatak 1 (1 bod)**

Objasniti princip izvedbe programske ROM memorije AGC računala.

**AGC** ili Apollo Guidance Computer je imalo tzv. Core Rope memoriju tj. binarna informacija sadržana je u činjenici dali žica koja odgovara pojedinom bitu sadržaja memorije prolazi ili ne prolazi kroz jezgru koja odgovara pojedinoj lokaciji (adresi). Koristi se princip transformatora . Jedna jezgra čuva 64 bita informacija tj. četiri 16 bitne riječi jer kroz nju prolaze 64 lakom izolirane bakrene žice.

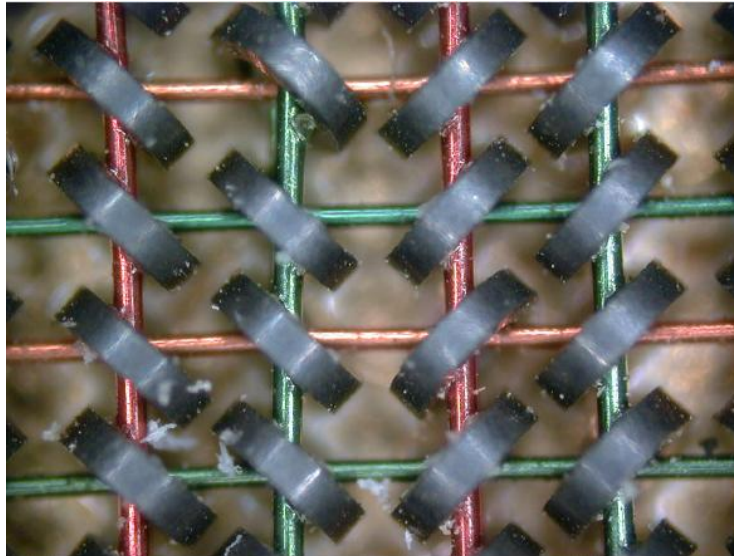
Primjer izvedbe :



Moguće pitanje : **Zadatak 1.a**

Objasniti princip rada RAM memorije AGC računala.

Radna memorija utemeljena na magnetskim jezgricama. Jedna jezgra predstavlja 1 bit informacija. Informacija se čuva kao smjer magnetizacije jezgre. Adresiranje se ostvaruje sa parom žica kao i čitanje i pisanje. Primjer izvedbe:

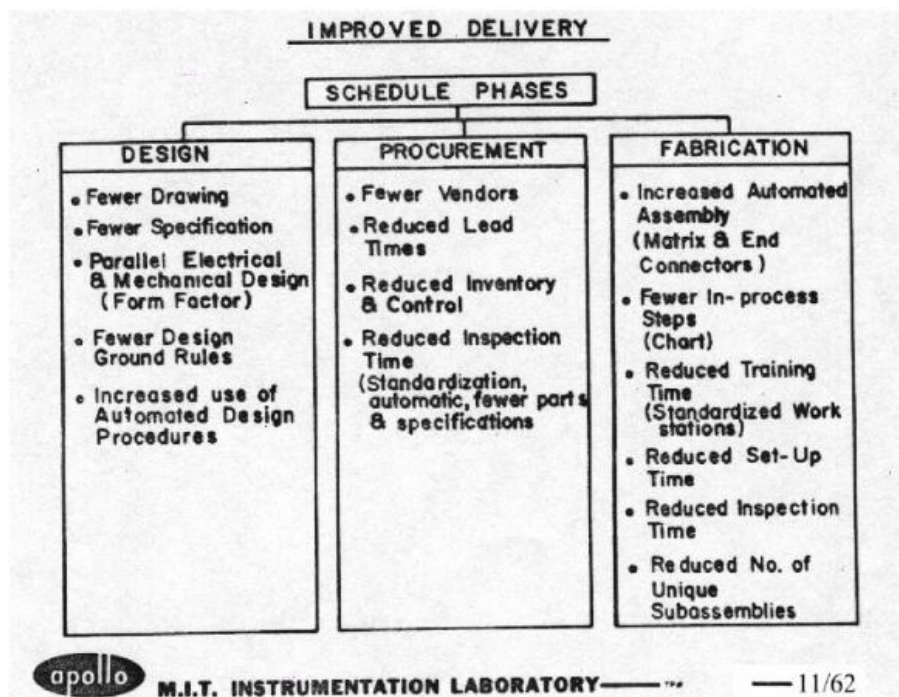


**Zadatak 1** (ispit iz 2008./2009) **(1 bod)**

Koje su bile prednosti korištenja integriranog NILI sklopa za izvedbu AGC računala u odnosu na izvedbu pomoću diskretnih tranzistora? Koliki je približni broj takvih komponenata korišten u prvoj verziji tog računala (Block I)?

Prednosti su bile ušteda u veličini i težini , veća brzina rada i trend snižavanja cijene NILI sklopova . Block I je koristio 4100 komponenti, svaka sa jednim NILI sklopom.

Primjer :





### Zadatak 2 (1 bod)

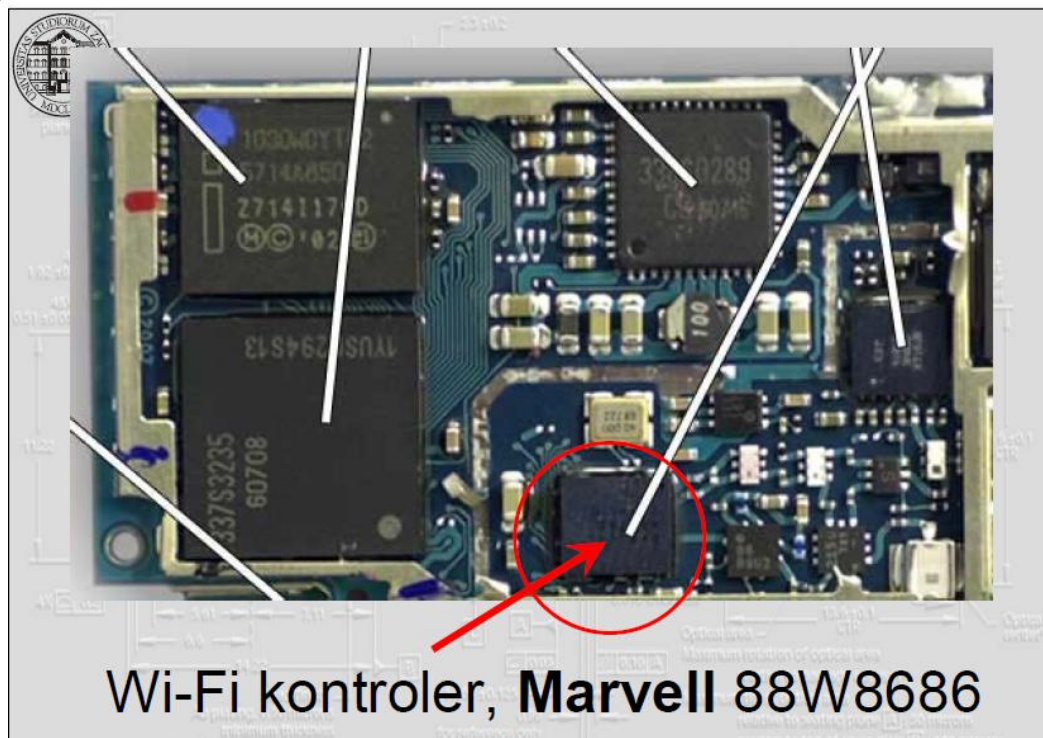
Na koji način se u iPhoneu ostvaruje bežično povezivanje putem WiFi? Koja komponenta je zadužena za ovu namjenu? (moguće i pitanje na koji način se ostvaruje povezivanje putem Bluetooth-a ,itd.)

Kontroler za navedenu bežičnu vezu nalazi se na prvoj tiskanoj pločici.

Za Wi-Fi koristi se **Marvell 88W8686**:

- radi se o inteligentnom kontroleru koji također sadrži **ARM** jezgru (ARM7 ili 9?)
- time oslobađa glavni procesor od zadataka vezanih uz prijenos podataka bežičnom mrežom
- optimiran na malu potrošnju (cca. 400mW).

Primjer:



### Zadatak 2 (ispit 2008./2009.) (1 bod)

Koji tip memorije se koristi u uređaju iPhone za izvedbe glavne memorije (koja emulira hard-disk)? Koja su svojstva takve memorije? Koji je njen kapacitet? Koji problemi postoje vezano uz pisanje i brisanje takvih memorija?

Koristi se Flash ROM memorija NAND tipa , dakle realizirana pomoću integriranog kruga. Ova memorija ima višestruko veću gustoću od NOR Flash memorije. NAND Flash memorija ima ograničen "životni vijek" tj. ograničen broj pisanja i brisanja, proizvođač garantira oko 5000 ciklusa brisanja/pisanja.

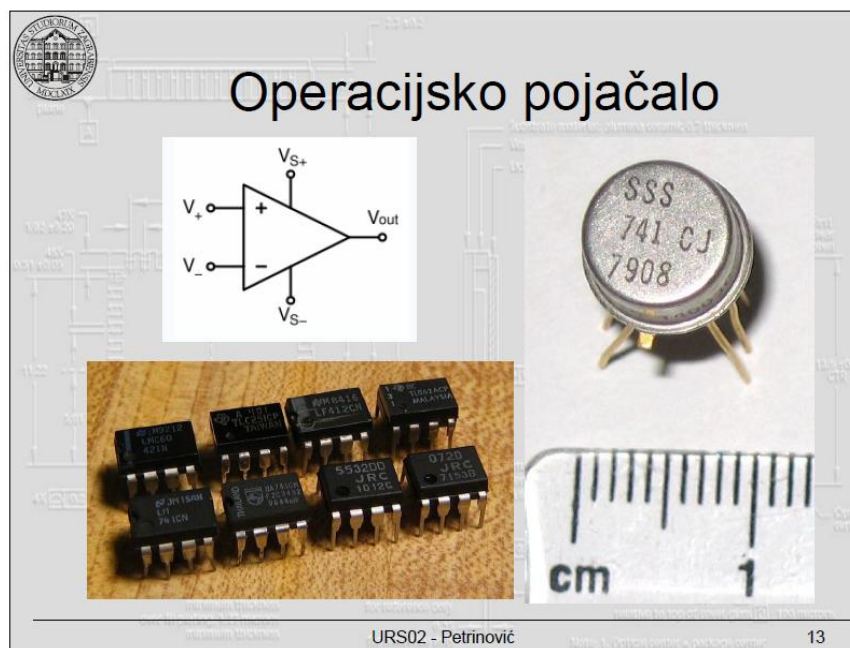
Također, moraju se koristiti ECC bitovi za zaštitu, a neki blokovi u memoriji su neupotrebljivi (bad sector), kao kod ranih harddiskova. iPhone se prodavao sa dvije verzije , jedne kapaciteta 4GB i druge 8GB.

### Zadatak 3 (1 bod)

Navesti koje parametre idealnog diferencijalnog pojačala aproksimira operacijsko pojačalo. Koje pasivne komponente je potrebno dodati takvom operacijskom pojačalu radi ostvarenja funkcije obrade signala?

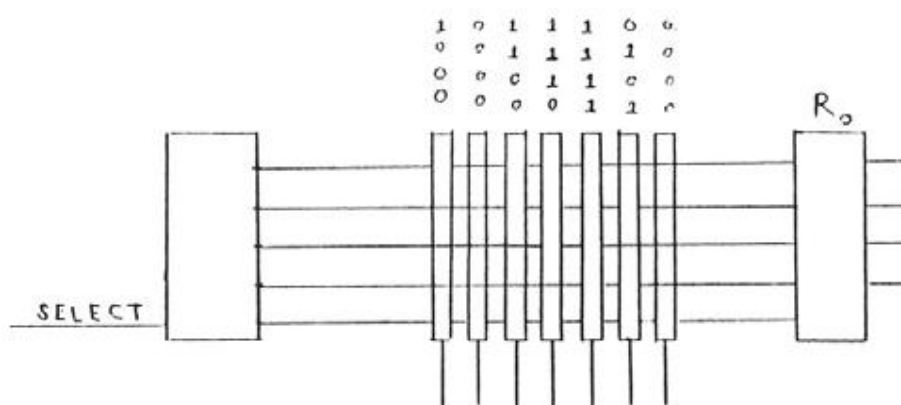
Operacijsko pojačalo aproksimira beskonačno pojačanje i ulazni otpor, ravnu frekvencijsku karakteristiku, linearnu ulazno/izlaznu karakteristiku i nulti ulazni napon pomaka što su idealne karakteristike diferencijalnog pojačala. Dodavanjem nekoliko diskretnih pasivnih komponenata (najčešće R&C) moguće je izvesti niz različitih tipova obradbe analognog signala.

Primjer:



### Zadatak 3 (ispit 2008./2009) (1 bod)

Blok shema prikazuje memoriju koja se u AGC računalu koristila za izvedbu ROM memorije? O kakvoj memoriji se radi? Koji je princip rada takve memorije? Koje suprednosti i mane u odnosu na tip memorije koja se koristila za izvedbu RAMa AGCa?



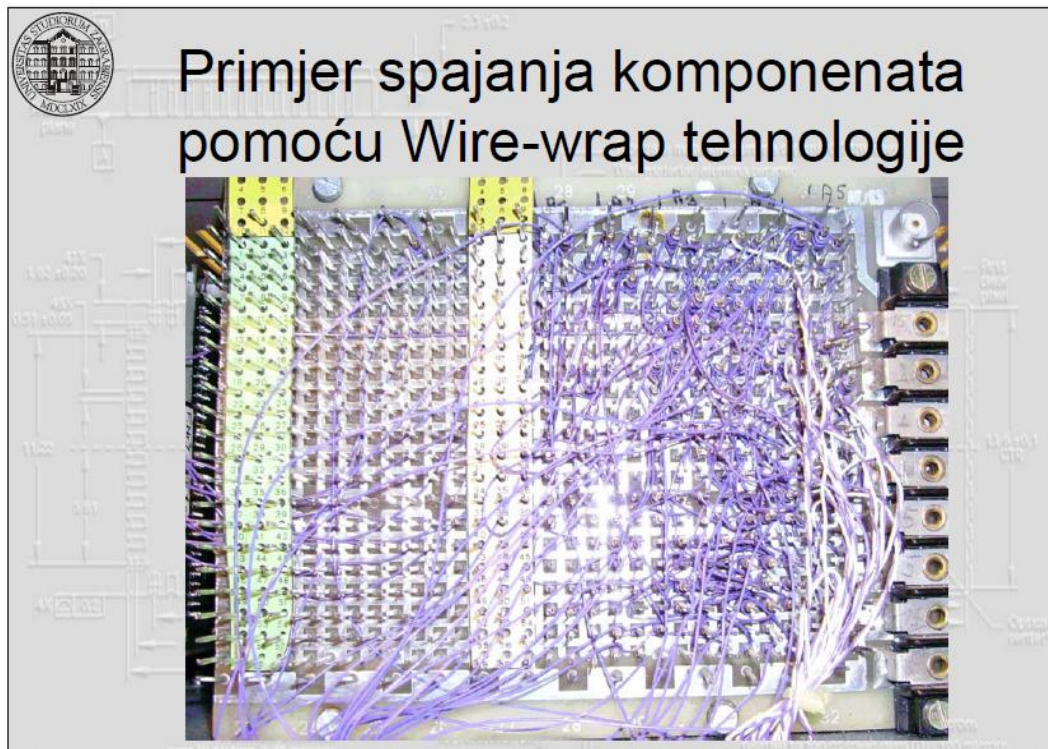
Ovo je ROM memorija temeljena na Core-Rope tehnologiji objašnjenoj u Zadatak 1. , prednosti su veća gustoća zapisa (18 puta), po jezgri ROM-a moguće

zapis 64 bita informacija , dok kod RAM memorije po jezgri 1 bit informacija , princip rada kao i kod transformatora , ako žica prolazi kroz jezgru inducira napon tj. log. Jedinicu ,a ako zaobilazi jezgru uzima se kao logička nula . Horizontalno su bitovi ,a vertikalno adrese na slici . Mana je što se isprogramiran sadržaj mora znati unaprijed i nemože se naknadno mijenjati .

#### **Zadatak 4 (2008./2009) (1 bod)**

Opiši što je Wire-wrap tehnologija povezivanja digitalnih uređaja. Na koji način se ostvaruju prospoji? Kakav tip podnožja se koristi? U kojoj fazi razvoja uređaja je pogodno koristiti takvu izvedbu prospoja?

Wire-wrap tehnologija je postupak kada se integrirani krugovi montiraju s jedne strane ploče, a spajaju tehnikom **Wire-wrap** s druge strane ploče. Svaki modul sa strane pinova zaliven je sa epoksi-smolom radi mehaničke zaštite i učvršćenja. (odgovor na ostatak pitanja nisam našao ali moja pretpostavka je da se Wire-wrap koristi u onoj Dead-bug izvedbi znači pri testiranju uređaja da bi projektant lakše utvrdio greške , a tip podnožja je vjerojatno onaj sa prolaznim pinovima ako se na to misli tj. Through-hole pins )  
Primjer:



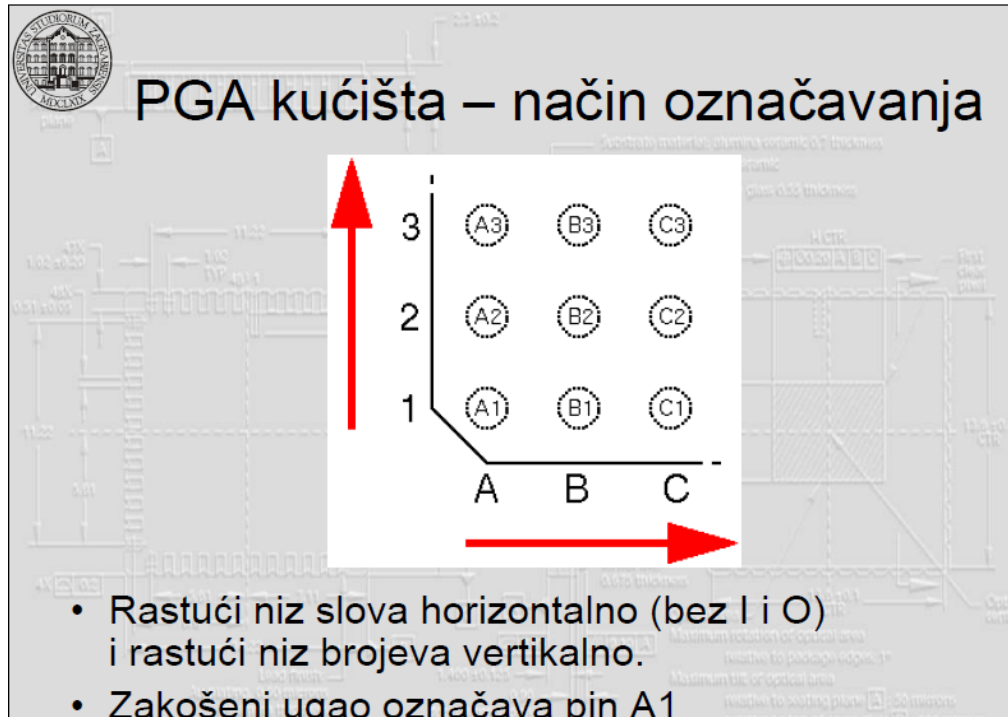
#### **Zadatak 4 (1 bod)**

Skicirati PGA kućište i napisati kako se označavaju pinovi. Što su to ZIF podnožja i za što se koriste?

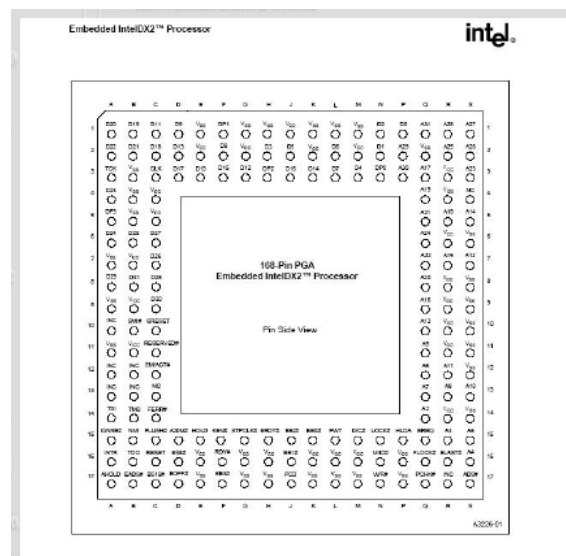
PGA kućišta su kućišta sa prolaznim pinovima gdje su pinovi ispod kućišta u obliku pravilne matrice bez centralnog dijela (dva ili više redova ispod svakog od četiri ruba kućišta) . To su najveća kućišta sa prolaznim pinovima! Zbog velikog broja pinova, potrebna je vrlo velika sila za umetanje ili vađenje sklopa u klasično podnožje sa malim oprugama u utičnim (ženskim) pinovima! Pa se počinje koristiti ZIF podnožja (engl. **Zero Insertion Force**), koja se zatvaraju pomoću poluge, čime se pinovi čvrsto "uhvate" u podnožju.



Primjer označavanja pinova:



Skica :



**Zadatak 5. (2008./2009.) (1 bod)**

Što su to System-on-Chip komponente? Zbog čega se koriste (prednosti / mane)? Navedite neke primjere SoC komponentata i njihovih primjena. (pogledati i SiP ili System In Package)

To su sklopovo koji unutar istog integriranog kruga sadrže višestruke funkcionalnosti ili čak cijeli sustav, engl. **System-on-Chip, SoC**.

Cilj: integracija svih potrebnih komponentaračunala i drugih elektroničkih sustava unutar jednog integriranog sklopa/čipa . Elementi SoC sklopa mogu biti čisto digitalni, ili mješoviti (digitalni+analogni), a često sadrže i potrebne sklopove za ostvarenje digitalne radioveze (kod mobilnih primjena).

Zbog visokog stupnja integracije i višestruke funkcionalnosti, olakšavaju projektiranje uređaja, te tipično smanjuju njegove dimenzije, potrošnju i cijenu, a u pravilu povećavaju i brzinu rada.

Primjeri SoC komponenata su procesori, komunikacijski kontroleri ,...

### **Zadatak 5 (2 boda)**

Obrazloži kako brzina porasta ili brzina pada izlaznog napona digitalnog sklopa utječe na iznos unutarnjih smetnji.

Smetnje uslijed elektrostatskog preslušavanja srazmjerne su derivaciji valnog oblika napona na susjednoj liniji:  $dU/dt$  , dakle, rastu s povećanjem izlaznog naponskog hoda  $\Delta U_O$ , kao i sa skraćanjem vremena prijelaza iz jednog logičkog stanja u drugo (vrijeme porasta  $t_r$  i vrijeme pada  $t_f$ ).

Slično vrijedi i za smetnje u napajanju i masi, koje su dodatno ovisne o iznosima parazitivnih kapaciteta na signalnim linijama. Ove smetnje su proporcionalne struji tereta i njenoj derivaciji, pa opet povećanje nagiba struje (porasta ili pada) uzrokuje povećanje smetnji.

Zaključno,... smanjenje unutarnjih smetnji traži:

- ili smanjenje izlaznog naponskog hoda  $\Delta U_O$ ,
- ili povećanje vremena porasta i pada ( $t_r$  i  $t_f$ ).

... jer se tako smanjuje nagib izlaznog napona, engl. **slew-rate** .

### **Zadatak 6 (2008./2009.) (1 bod)**

Kako dijelimo kućišta integriranih komponenata obzirom na način montaže. Koje su prednosti i mane ovih grupa?

Dijelimo ih u dvije osnovne kategorije:

1) kućišta sa pinovima koji prolaze kroz tiskanu pločicu i koja se leme sa suprotne strane, pa ih zovemo kućištima **sa prolaznim pinovima**, engl. **Throughhole Pins**,

2) kućišta predviđena **za površinsku montažu**, engl. **Surface Mounted Devices, SMD**, koja se leme sa strane komponenta, jer njihovi pinovi ne prolaze kroz tiskanu pločicu!

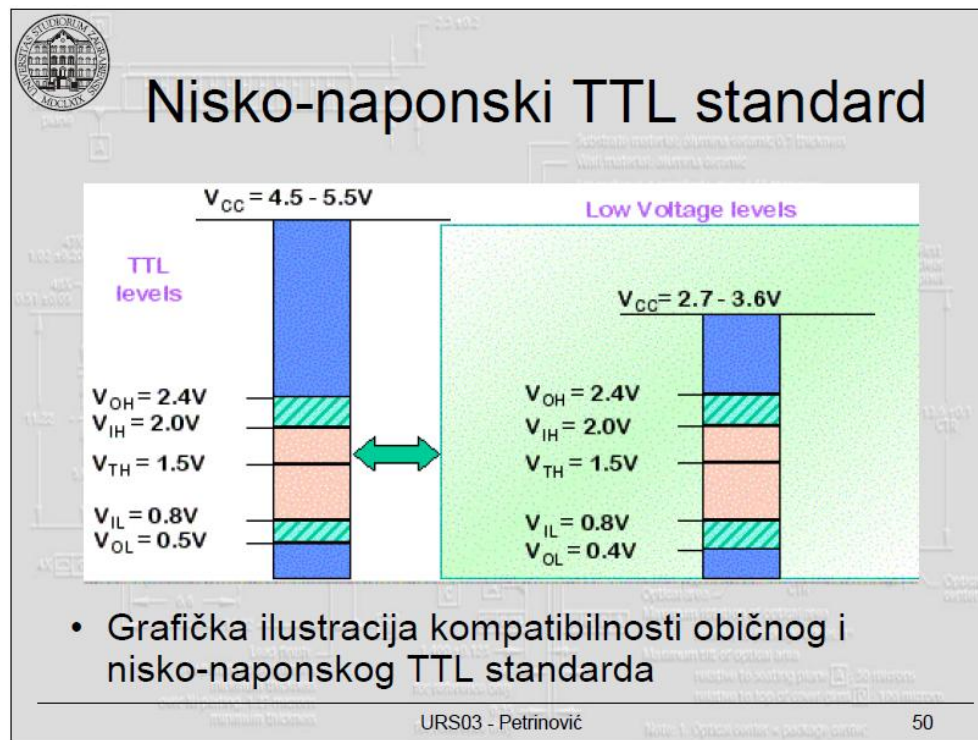
Prednosti 1. Grupe je veća robusnost , veće dimenzije te time lakša montaža komponenata na tiskane pločice ,a mane su manja gustoća pakiranja , manja integracija ....

SMD komponente su puno manjih dimenzija , što otežava montiranje koje je gotovo samo moguće pomoću strojeva, veća integracija i veća gustoća pakiranja ali manja robusnost ....



### Zadatak 6 (2 boda)

Usporedi i grafički prikaži odnos naponskih razina logičkih nivoa za obični TTL standard i nisko-naponski TTL standard (LVTTTL). Što znači da su LVTTTL komponente TTL tolerantne?



LVTTTL ili Low Voltage TTL sklopovi su dizajnirani isključivo za  $U_{CC}=3.3V$ , jer nažalost isti princip se ne može koristiti za  $U_{CC}=2.5V$  ili niže. LVTTTL sklopovi mogu direktno pogoniti TTL sklopove, obzirom na kompatibilnost izlaznih nivoa. Jedini problem je u ulaznoj kompatibilnosti, jer običan TTL sklop može na svom izlazu dati napon veći od  $3.3V$  (više od LVTTTL napajanja)! No LVTTTL sklopovi mogu biti projektirani tako da budu **TTL tolerantni**: Što znači da trpe ulazne napone koji su viši od  $U_{CC}=3.3V$  i koji potencijalno sežu do napona napajanja običnog TTL sklopa  $U_{CC}=5V$ . Zaključno, TTL tolerantni LVTTTL sklopovi i obični TTL sklopovi mogu se direktno povezivati i koristiti u istom uređaju, uz dva izvora napajanja ( $3.3V$  za LVTTTL i  $5V$  za TTL), što opet olakšava projektiranje URSa.

### Zadatak 7. (2008./2009.) (1 bod)

Navedite temeljne porodice kućišta za površinsku montažu. Koji tip izvoda se koristi kod svake od navedenih porodica? Koji tip kućišta za površinsku montažu istovremeno osigurava iznimnu gustoću pakiranja, kao i veći razmak između izvoda?

SMD kućišta možemo podijeliti u nekoliko osnovnih porodica:

- dvoredna **Small-Outline** kućišta – SO koja koriste J i Gull-Wing izvode
- četveroredna **Leaded** ili **Lead-less Chip Carrier** kućišta – LCC, koja koriste J izvode i ima ih i bez izvoda, (engl. **Leadless**) tj. umjesto izvoda na rubu keramičkog kućišta su mali vertikalni kontakti,

- četveroredna **Quad Flat Pack** kućišta – QFP koristi J izvode i također samo male vertikalne kontakte na rubovima kućišta umjesto izvoda
- matična **Ball Grid Array** kućišta – BGA koja imaju izvode u obliku loptica tinola ispod kućišta na matrici razmaka 1.27 mm te osiguravaju uz najveći razamak između izvoda od 50 mil-a i najveću gustoću izvodu .

### Zadatak 7 (2 boda)

Nabroji nisko-naponske CMOS standarde naponskih razina logičkih nivoa. Koliki je približni iznos garantiranog izlaznog naponskog hoda i granice smetnji izražen u odnosu na napon napajanja?

Nisko naponski CMOS standardi :



## Nisko-naponski standardi

I/O Standard	$V_{IL}$		$V_{IH}$		$V_{OL}$	$V_{OH}$
	V, Min	V, Max	V, Min	V, Max	V, Max	V, Min
LVTTL	-0.3	0.8	2.0	3.45	0.4	2.4
LVC MOS33,	-0.3	0.8	2.0	3.45	0.4	$V_{CCO} - 0.4$
LVC MOS25,	-0.3	0.7	1.7	$V_{CCO} + 0.3$	0.4	$V_{CCO} - 0.4$
LVC MOS18,	-0.3	$35\% V_{CCO}$	$65\% V_{CCO}$	$V_{CCO} + 0.3$	0.45	$V_{CCO} - 0.45$
LVC MOS15,	-0.3	$35\% V_{CCO}$	$65\% V_{CCO}$	$V_{CCO} + 0.3$	$25\% V_{CCO}$	$75\% V_{CCO}$
LVC MOS12	-0.3	$35\% V_{CCO}$	$65\% V_{CCO}$	$V_{CCO} + 0.3$	$25\% V_{CCO}$	$75\% V_{CCO}$

- Primjer naponskih razina logičkih nivoa za svih 6 nisko-naponskih standarda (LVTTL & LVC MOS) – za FPGA sklop, Virtex-5, Xilinx

URS03 - Petrinović 55

Kod CMOS sklopova, naponske razine su definirane relativno u odnosu na napon napajanja, dakle nemaju ograničenja LVTTL sklopova koji zbog fiksnog praga  $U_T = 1.5V$  ne mogu raditi s naponima nižim od  $U_{CC} = 3.3V$ . Granica smetnji i naponski hod nisko-naponskih standarda:

	$U_{CC}$	$U_{GSV}$	$U_{GSN}$	$U_{GS}$	$\Delta U_{Omin}$
LVTTL	3.3V	0.40	0.40	0.40	2.00
LVC MOS3.3	3.3V	0.90	0.40	0.40	2.50
LVC MOS2.5	2.5V	0.40	0.30	0.30	1.70
LVC MOS1.8	1.8V	0.18	0.18	0.18	0.90
LVC MOS1.5	1.5V	0.15	0.15	0.15	0.75
LVC MOS1.2	1.2V	0.12	0.12	0.12	0.60

Granica smetnji  $U_{GS}$  u pravilu oko 10% napona napajanja, a da je pri tome garantirani minimalni naponski hod na izlazu  $\Delta U_O$  oko 50% napona napajanja.

**Zadatak 8. (2008./2009.) (1 bod)**

Nabrojati standarde napajanja digitalnih integriranih komponenata. Objasniti zašto i na koji način standard napona napajanja utječe na standarde naponskih razina logičkih stanja.

Standardni naponi napajanja danas su: 3.3V, 2.5V, 1.8V, 1.5V, 1.2V, 1V dok su krajem 80-ih bili 5V.

Standardi napajanja utječu na naponske razine logičkih stanja jer skaliranjem napona dolazi do skaliranja naponskih razina logičkih stanja jer svi ulazni i izlazni naponski nivoi moraju biti unutar dinamike napajanja:

$$0 < UOL_{max} < UIL_{max} < U_T < UIH_{min} < UOH_{min} < U_{CC}$$

**Zadatak 8 (3 boda)**

Zapisati sve tri instrukcije jednostavnog procesora koji je ilustriran na zadnjim predavanjima prvog ciklusa. Koliko ima ukupno kombinacija sve 3 instrukcije? Kolika je minimalna potrebna širina instrukcijske riječi?

Tri instrukcije su MOV direct, Rr, MOV Rr, direct, MOV Rr, #data.

MOV direct, Rr ima ukupno 4 kombinacije argumenata (2 x 2), MOV Rr, direct još 4 kombinacije i MOV Rr, #data ima ukupno 8 kombinacija

(2 moguća registra x 4 mogućih konstanti). Dakle, sve tri naredbe zajedno traže ukupno 16 kombinacija programske riječi – što daje potrebnu širinu programske/instrukcijske riječi od točno 4 bita.

**Zadatak 9 (2008./2009.) (1 bod)**

Navedite koji se uvjeti okoline mogu specificirati za URSove. Na koji način se navedeni uvjeti okoline najčešće specificiraju i verificiraju? Ilustrirati primjerom.

Uvjeti okoline mogu obuhvaćati:

- 1) temperaturni raspon za rad odnosno skladištenje uređaja,
- 2) uvjete na dozvoljenu vlagu (nekad i slanu maglu), naprskajuću vodu, a kod nekih uređaja traži se otpornost i na uranjanje u vodu,
- 3) mehaničke uvjete, kao što su otpornost na vibracije, akceleraciju i udar (pad na tvrdu podlogu),
- 4) uvjete za rad u zapaljivoj ili eksplozivnoj okolini, uvjete na maksimalnu dozvoljenu energiju (spektar) izračenog elektromagnetskog signala,
- 5) uvjete na rad u okolini s izraženim elektromagnetskim smetnjama,
- 6) uvjete na rad u okolini s mogućim radioaktivnim zračenjem,
- 7) uvjete na pouzdanost uređaja (MTBF, Mean Time Between Failure),
- 8) propise vezane uz najveću dopuštenu količinu toksičnih tvari sadržanih u URSu.

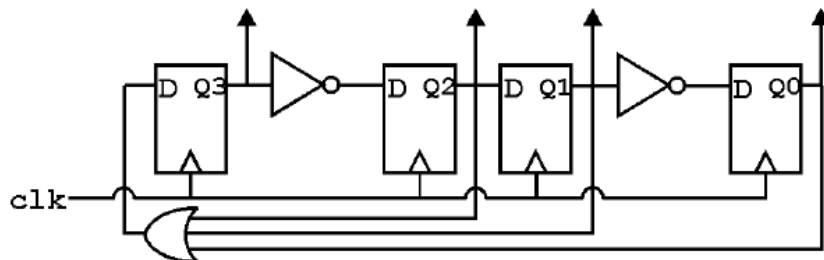
Svojstva okoline uobičajeno se definiraju korištenjem velikog broja internacionalnih i nacionalnih standarda i propisa.

Npr. Američka vojska ima vrlo precizno definirane standarde koji moraju ispunjavati uređaji za određene primjene unutar obrambenog sustava.

Jedan od poznatijih standarda je **MIL-STD-810**.

**Zadatak 9 (3 boda)**

U sintaksi PALASM-a napisati deklaracije signala  $Q[3..0]$ , te napisati odgovarajući EQUATIONS blok koji implementira sklop sa slike. Ako je početno stanje registara  $Q[3..0] = \#b1001$  (nemojte to posebno ugrađivati u kôd, jednostavno pretpostavite da je to početno stanje), izračunati kroz koja stanja prolazi ovaj sklop, dakle koje sve vrijednosti redom poprima izlazni vektor  $Q[3..0]$ .



Dalje nisam stigao ,a i ovdje mi nije jasno pošto moramo napisati i deklaraciju signala koji čip koristimo koje pinove , itd.