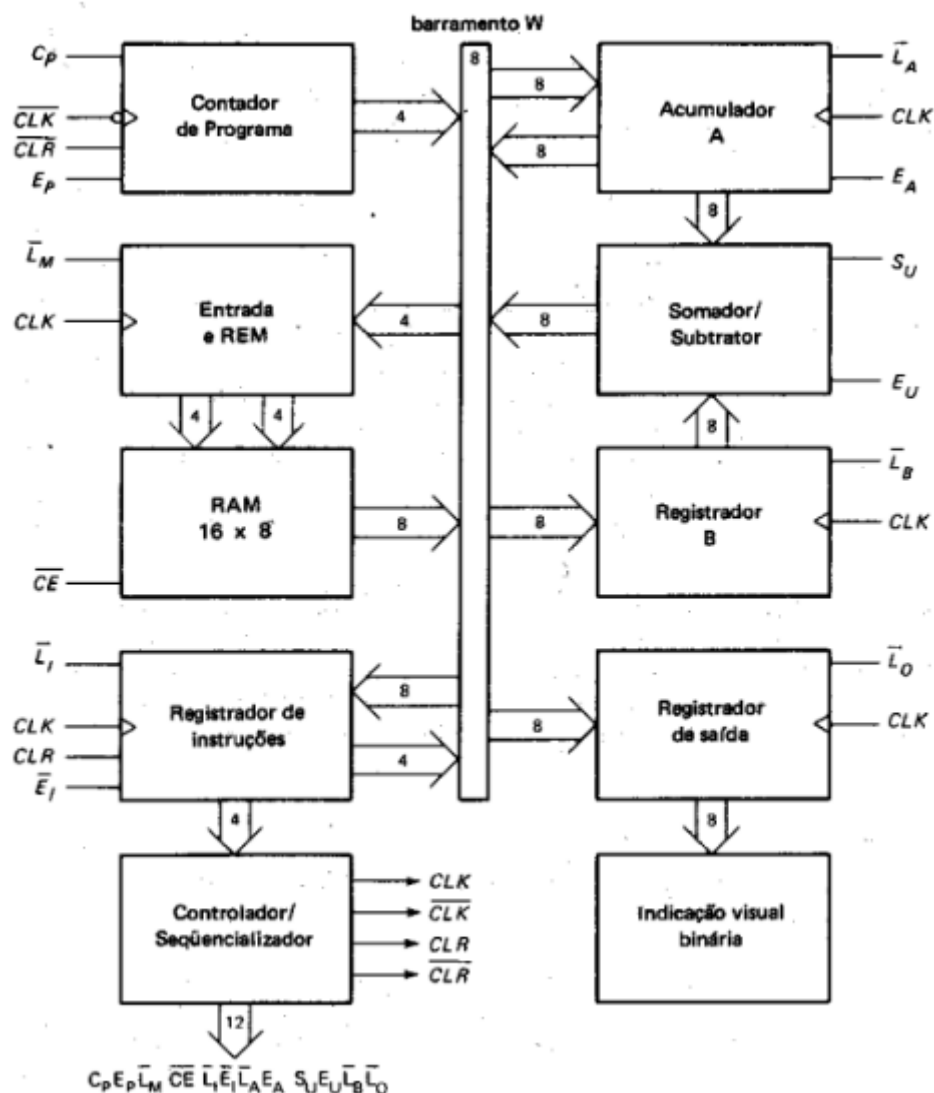


Resumo SAP-1

Introdução

O computador SAP (Simple-As-Possible) foi projetado para iniciantes, com o objetivo de introduzir conceitos cruciais sobre a operação de computadores sem sobrecarregá-los com detalhes desnecessários. Apesar de sua simplicidade aparente, o SAP engloba conceitos avançados, sendo o SAP-1 a primeira geração desse computador. Este estágio inicial, embora primitivo, representa um grande passo para iniciantes. O capítulo incentiva os leitores a estudarem com determinação, adquirindo conhecimento prático sobre a arquitetura, programação e circuitos do SAP-1 antes de avançar para o SAP-2.



ARQUITETURA

A arquitetura do SAP-1 é organizada em barramentos, destacando registradores com saídas de três estados para transferência ordenada de dados. O diagrama enfatiza os registradores, sem consolidar todos os circuitos de controle em uma única unidade, proporcionando uma visão geral para estudos mais aprofundados. Explicações detalhadas sobre cada caixa são fornecidas posteriormente.

Contador de Programa

O Contador de Programa é uma parte crucial da unidade de controle em um computador. Ele desempenha o papel de acompanhar e apontar para as instruções armazenadas na memória durante a execução de um programa. Inicializado em 0000 antes de cada processamento, o contador de programa envia o endereço da próxima instrução à memória. Após a execução da instrução atual, o contador é incrementado, indicando assim o próximo endereço a ser acessado. Essa função é semelhante a alguém apontando em uma lista de instruções, indicando a ordem de execução. Portanto, o contador de programa é frequentemente chamado de ponteiro, pois aponta para o endereço na memória onde informações importantes estão armazenadas.

Entrada e REM

O bloco de entrada e REM, localizado abaixo do contador de programa, engloba os registradores de chaves de dados e endereço mencionados na seção 9-4. Estes registros, pertencentes à unidade de entrada, possibilitam a transmissão de 4 bits de endereço e 8 bits de dados para a RAM. Durante o processamento, o registrador de endereços na memória (REM) retém o endereço presente no contador de programa. Posteriormente, o REM utiliza esse endereço de 4 bits para acessar a RAM, onde ocorre uma operação de leitura.

RAM

A RAM é uma RAM TTL estática de 16 x 8 e pode ser programada por meio dos registradores de chaves de dados e endereços, conforme discutido na seção 9-4. Essa capacidade permite o armazenamento prévio de programas e dados na memória antes do processamento do computador. Durante o processamento, a RAM recebe endereços de 4 bits do REM, realizando operações de leitura. Isso possibilita que a instrução ou palavra de dados armazenada na RAM seja transferida para o barramento W, ficando disponível para uso em outras partes do computador.

Registrador de Instruções

O registrador de instruções, parte da unidade de controle, desempenha um papel crucial na execução do computador. Para buscar uma instrução da memória, o computador realiza uma operação de leitura, colocando o conteúdo do local de memória endereçado no barramento W. Simultaneamente, o registrador de instruções é preparado para o carregamento na próxima transição positiva de relógio. O conteúdo deste registrador é

dividido em dois nibbles, sendo o superior uma saída de dois estados direcionada ao bloco "controlador-sequencializador". O nibble inferior é uma saída de três estados, lida no barramento W quando necessário.

Controlador – Sequencializador

O bloco inferior esquerdo do SAP-1 contém o controlador-sequencializador, que desempenha um papel fundamental na coordenação das operações do computador. Antes de cada processamento, sinais CLR são enviados ao contador de programa e ao registrador de instruções, resetando o contador de programa para 0000 e eliminando a última instrução no registrador de instruções. Um sinal de relógio (CLK) é enviado a todos os registradores de memória intermediária para sincronizar as operações do computador, garantindo que ocorram na transição positiva do sinal CLK. A palavra de controle de 12 bits que sai do controlador-sequencializador direciona as operações do restante do computador e é transmitida pelos fios chamados barramento de controle. Essa palavra de controle determina como os registradores reagirão à próxima transição positiva do relógio (CLK), indicando operações como retenção de conteúdo no REM ou transferência de dados da RAM para o acumulador. Diagramas de temporização serão examinados posteriormente para entender detalhadamente o momento e a execução dessas transferências de dados.

Acumulador

O acumulador (A) é um registrador de memória intermediária no SAP-1 que armazena respostas intermediárias durante o processamento do computador. Ele possui duas saídas: uma saída de dois estados direcionada ao somador-subtrator e uma saída de três estados para o barramento W. Assim, a palavra de 8 bits do acumulador controla continuamente o somador-subtrator, aparecendo também no barramento W quando EA está alto.

O Somador-subtrator

O SAP-1 utiliza um somador-subtrator de complemento de 2, operando de forma assíncrona. Quando o sinal SU é baixo, a saída do somador-subtrator realiza a soma $S=A+B$. Em contrapartida, quando SU é alto, a saída representa a diferença $S = A + B'$. O somador-subtrator assíncrono significa que seu conteúdo pode variar imediatamente conforme as palavras de entrada variam. Quando o sinal EU é alto, esses conteúdos são refletidos no barramento W.

Registrador B

O registrador B, uma memória intermediária, desempenha um papel nas operações aritméticas. Quando ocorre uma transição positiva de relógio juntamente com um sinal de baixo LB, a palavra do barramento W é carregada no registrador B. A saída de dois estados desse registrador controla o somador-subtrator, determinando o número a ser adicionado ou subtraído do conteúdo do acumulador.

Registrador de Saída

O Exemplo 8-1 (no pdf principal) abordou o registrador de saída, crucial para transferir a resposta do acumulador para o exterior após o processamento do computador. Quando EA está alto e L0 está baixo, na próxima transição positiva do relógio, a palavra do acumulador é carregada no registrador de saída. Este registrador, muitas vezes chamado de porta de saída, permite que os dados processados saiam do computador. Em microcomputadores, as portas de saída estão conectadas a circuitos de interface que controlam dispositivos periféricos, como impressoras, tubos de raios catódicos e teleimpressoras, sendo o circuito de interface responsável por preparar os dados para comandar cada dispositivo.

Indicador Visual em Binário

O indicador visual em binário consiste em oito LEDs, cada um conectado a um biestável da porta de saída. Essa disposição permite que o indicador visual represente o conteúdo atual da porta de saída em forma binária. Assim, ao transferir uma resposta do acumulador para a porta de saída, é possível visualizar a resposta em formato binário por meio dos LEDs.

CONJUNTO DE INSTRUÇÕES

Um computador é apenas um conjunto de hardware sem utilidade até que alguém o programe. Isso implica carregar instruções passo-a-passo na memória antes de iniciar o processamento. Antes de programar um computador, é necessário aprender seu conjunto de instruções, que são as operações básicas que ele pode executar, como exemplificado pelo conjunto de instruções do SAP-1.

LDA

A instrução LDA (Load the Accumulator) é utilizada para carregar os dados da RAM no acumulador. Essa operação é fundamental para a manipulação de dados no SAP-1, permitindo que informações sejam transferidas da memória para o acumulador para posterior processamento.

ADD

A instrução ADD (Addition) é responsável por realizar a operação de adição, somando os dados da RAM com o conteúdo atual do acumulador. Essa operação aritmética é essencial para a execução de cálculos e processamento de dados numéricos no SAP-1.

SUB

A instrução SUB (Subtraction) é utilizada para realizar a operação de subtração, subtraindo os dados da RAM do conteúdo atual do acumulador. Essa operação aritmética fornece a capacidade de realizar cálculos de subtração e manipulação de valores negativos no SAP-1.

OUT

A instrução OUT (Output) tem a função de carregar os dados do acumulador no registrador de saída. Essa operação é crucial para a transferência de dados processados para dispositivos de saída, permitindo que o SAP-1 forneça resultados para o ambiente externo.

HLT

A instrução HLT (Halt) é responsável por interromper o processamento, parando a execução do programa. Essa instrução é utilizada para encerrar a operação do SAP-1, indicando o fim do programa ou a necessidade de interrupção do processamento.

Instruções de Referência à Memória

Além das instruções LDA, ADD e SUB, que lidam diretamente com a manipulação de dados armazenados na memória, já OUT e HLT, são instruções que não envolvem dados armazenados na memória. Essa diferenciação é crucial para compreender como o SAP-1 interage com a memória durante a execução das instruções.

Mnemônicos

Os mnemônicos, como LDA, ADD, SUB, OUT e HLT, são essenciais para a programação do SAP-1, pois representam as operações que o computador executará quando as instruções forem acionadas. A tabela abaixo resume o conjunto de instruções do SAP-1

Mnemônicos	Operação
LDA	Carregue os dados da RAM no acumulador.
ADD	Some os dados da RAM com o acumulador.
SUB	Subtraia os dados da RAM do acumulador.
OUT	Carregue os dados do acumulador no registrador de saída.
HLT	Pare o processamento.

Os Microprocessadores 8080 e 8085

As instruções do SAP-1 são compatíveis com o conjunto de instruções dos microprocessadores (8080 e 8085) amplamente utilizados. Essa compatibilidade ascendente permite que o conhecimento adquirido sobre as instruções do SAP-1 seja transferido para o entendimento dos microprocessadores 8080 e 8085, preparando os leitores para explorar esses sistemas mais avançados. Essa conexão entre o SAP-1 e estes microprocessadores destaca a relevância e a aplicabilidade prática do conhecimento adquirido sobre o SAP-1.

PROGRAMAÇÃO DO SAP-1

O código de operação (op code) no SAP-1 é essencial para carregar dados e instruções na memória. O código correspondente a cada operação: LDA (0000), ADD (0001), SUB (0010), OUT (1110) e HLT (1111). Este código direciona o computador sobre a operação a ser executada. As chaves de dados e endereços, conforme mostrado no PDF, permitem a programação da memória SAP-1, produzindo um 1 na posição para cima (U) e um 0 na

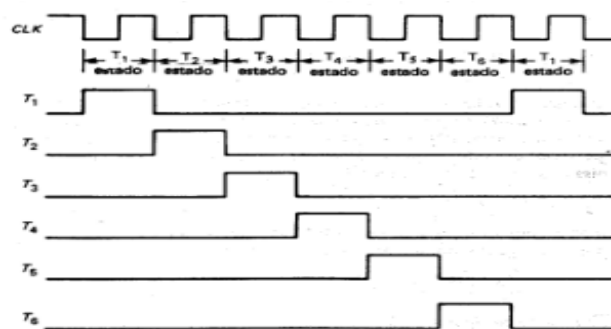
posição para baixo (D). Ao programar as chaves de dados com uma instrução, o código de operações ocupa o nibble superior, enquanto o operando é inserido no nibble inferior.

CICLO DE BUSCA (FETCH)

A unidade de controle desempenha um papel fundamental na operação automática do computador, gerando palavras de controle para buscar e executar instruções. Durante esse processo, o computador atravessa estados de temporização (estados T), nos quais os conteúdos dos registradores mudam.

Contador em Anel

O contador em anel gera palavras de anel, começando com $T = 000001$, e a cada pulso de relógio sucessivo, a palavra de anel muda, percorrendo os valores binários de 000010 a 100000. Após atingir 100000, o contador é redefinido para 000001, reiniciando o ciclo. Cada palavra de anel representa um estado T. A Figura abaixo ilustra os pulsos de temporização fora do contador em anel, destacando que cada estado T corresponde a seis pulsos de relógio. Durante cada estado T, um bit específico do contador em anel está alto, indicando o estado atual. A transição de relógio positiva ocorre no meio de cada estado T, o que terá relevância posteriormente no processo.

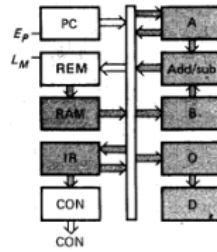


Estado de Endereço

No estado T1, denominado estado de endereço, ocorre a transferência do endereço presente no contador de programa (PC) para o registrador de endereços da memória (REM). Durante esse estado, as seções ativas do computador incluem EP, e todos os outros bits de controle permanecem inativos. A Figura abaixo ilustra as áreas ativas e inativas durante esse estado. Durante o estado de endereço, o controlador-sequencializador emite uma palavra de controle específica:

$$CON = C_P E_P \overline{L_M} \overline{C_E} \overline{L_I} \overline{E_I} \overline{L_A} E_A S_U E_U \overline{L_B} \overline{L_O}$$

$$= 101111100011$$

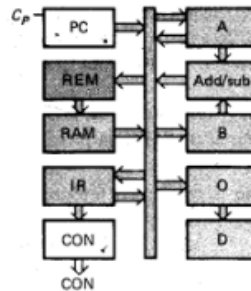


Estado de Incremento

A Figura abaixo ilustra as partes ativas do SAP-1 durante o estado T2, conhecido como estado de incremento devido ao aumento do contador de programa. Nesse estado, o controlador-sequencializador gera uma palavra de controle

$$\begin{aligned} \text{CON} &= C_P E_P \overline{L_M} \overline{C_E} \overline{L_I} \overline{E_I} \overline{L_A} E_A S_U E_U \overline{L_B} \overline{L_O} \\ &= 1 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 1 \ 1 \end{aligned}$$

para SAP-1, destacando a ativação do bit CP (Contador de Programa).

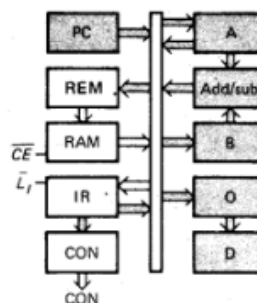


Estado de Memória

O estado T3, também conhecido como estado de memória, envolve a transferência da instrução de RAM para o registrador de instrução no SAP-1. Durante esse estado, os bits de controle ativos são LI, e a palavra fora do controlador-sequencializador é igual a:

$$\begin{aligned} \text{CON} &= C_P E_P \overline{L_M} \overline{C_E} \overline{L_I} \overline{E_I} \overline{L_A} E_A S_U E_U \overline{L_B} \overline{L_O} \\ &= 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 1 \ 1 \end{aligned}$$

A Figura abaixo mostra as partes ativas do SAP-1 durante o estado de memória:



Ciclo de Busca

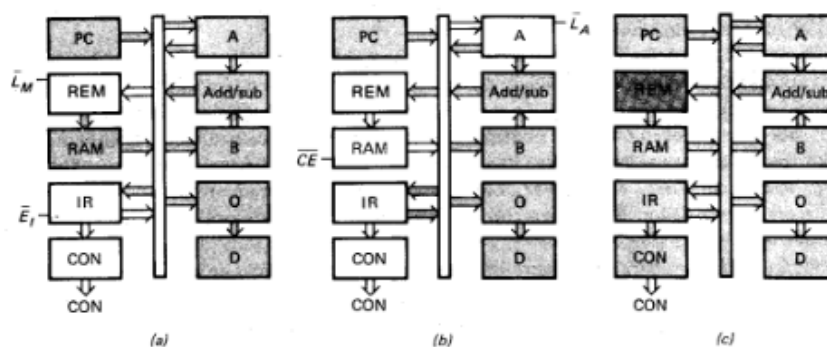
O ciclo de busca do SAP-1 engloba os estados de endereço, incremento e memória. No estado de endereço, os sinais EP e LM são ativados, permitindo que o contador de programa carregue o registrador de endereço de memória (REM) com o conteúdo do contador de programa (PC) através do barramento W. Uma transição positiva de relógio a meio caminho nesse estado carrega o REM com o conteúdo do PC. Durante o estado de incremento, apenas o bit de controle CP está ativo, preparando o contador de programa para contar transições positivas de relógio. A meio caminho desse estado, uma transição positiva de relógio ocorre, avançando o contador de programa em 1. No estado de memória, os sinais E e LI são ativados, permitindo que a palavra na RAM, no endereço especificado, seja carregada no registrador de instruções através do barramento W. Uma transição positiva de relógio a meio caminho desse estado carrega o registrador de instruções com a palavra da RAM endereçada.

CICLO DE EXECUÇÃO

Os estados T4, T5 e T6 compõem o ciclo de execução do SAP-1. Durante esse ciclo, as transferências de registrador variam de acordo com a instrução específica em execução, como no caso de LDA 9H e ADD BH. As rotinas de controle correspondentes a diferentes instruções do SAP-1 determinam as transferências específicas de registrador durante o ciclo de execução.

Rotina LDA

Durante a execução da rotina LDA em um estudo específico, considerando o registrador de instruções carregado com LD A 9H (IR = 0000 1001), ocorrem vários estados temporais. No estado T4, o campo de instrução é decodificado, resultando na ativação de EI e LM, enquanto outros bits de controle permanecem inativos. No estado T5, CE e LA são elevados, indicando que a palavra de dados endereçada à RAM será carregada no acumulador na próxima transição positiva de relógio. O estado T6 é uma operação nula (nop), onde todos os registradores estão inativos. O diagrama de temporização destaca as atividades em diferentes estados, desde a ativação de EP e LM no estado T1 até CE e LA no estado T5, delineando a execução da rotina LDA e os estados sem operação.

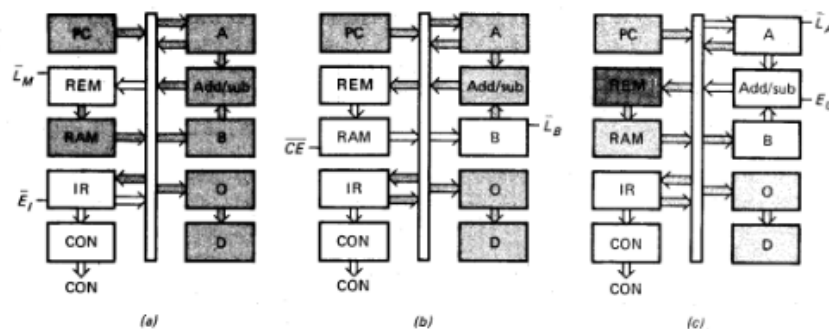


Rotina LDA: (a) estado T4; (b) estado T5; (c) estado T6.

Rotina ADD

Durante o ciclo de busca, supondo que o registrador de instruções contenha "ADD BH" (IR = 0001 1011) no final, ocorrem diversas operações. No estado T4, o campo de instruções vai para o controlador-sequencializador, e o campo de endereços vai para o REM, com EI e LM ativados. Durante o estado T5, os bits de controle CE e LB ficam ativos, permitindo que a palavra de RAM endereçada prepare o registrador B. Geralmente, o carregamento ocorre a meio caminho do estado T5, na transição positiva de relógio.

No estado T6, com EU e LA ativados, o somador-subtrator estabelece ou prepara o acumulador. A meio caminho desse estado, a transição positiva de relógio carrega a soma no acumulador. Importante notar que o tempo de preparação e o tempo de retardo de propagação evitam corridas no acumulador durante este estado final de execução. Quando ocorre a transição positiva de relógio, o conteúdo do acumulador se modifica, mas os novos conteúdos não chegam até dois retardos de propagação após a transição positiva de relógio, evitando assim a corrida do acumulador.



Rotinas ADD e SUB: (a) estado T₄; (b) estado T₅; (c) estado T₆.

O diagrama de temporização para as rotinas de busca e ADD é mostrado na figura abaixo. A rotina de busca envolve os estados T1, T2 e T3, carregando o endereço PC no REM, incrementando o contador de programa e enviando a instrução endereçada para o registrador de instrução. Durante o estado T4, EI e LM estão ativos, e na transição positiva de relógio seguinte, o campo de endereços no registrador de instrução vai para o REM. No estado T5, CE e LB estão ativos, permitindo que a palavra de RAM endereçada seja carregada no registrador B a meio caminho do estado. No estado T6, EU e LA estão ativos, e a transição positiva de relógio armazena a soma do somador-subtrator no acumulador.

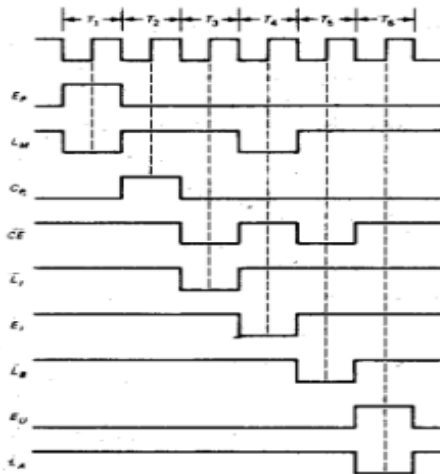


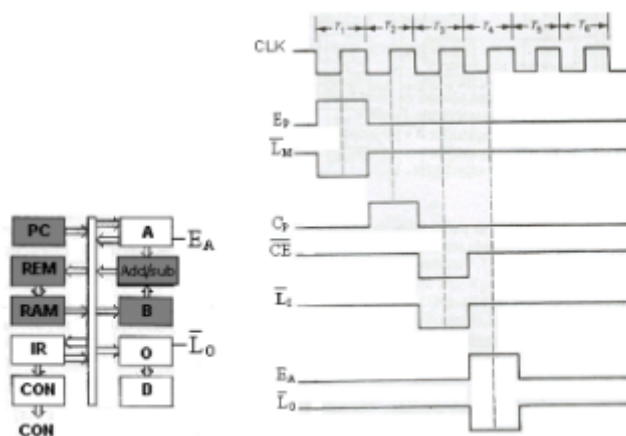
Diagrama de temporização de busca e ADD.

Rotina SUB

A rotina SUB em SAP-1 é semelhante à rotina ADD. Durante os estados T4 e T5, as partes ativas do SAP-1 são mostradas na penúltima figura acima. No estado T6, um sinal SU alto é enviado ao somador-subtrator. O diagrama de temporização é quase idêntico ao da figura acima, com SU baixo nos estados T1 a T5 e SU alto no estado T6.

Rotina OUT

Suponhamos que o registrador de instruções contenha a instrução OUT no fim de um ciclo de busca (IR = 1110 XXXX). Após a busca, o campo de instrução é enviado ao controlador-sequencializador para decodificação. O controlador emite a palavra de controle necessária para transferir o conteúdo do acumulador para o registrador de saída. Durante a execução da instrução OUT, as seções ativas de SAP.1 são mostradas na primeira figura abaixo, destacando que durante o estado T4, a transição positiva de relógio ativa EA e L0, resultando na transferência da palavra do acumulador para o registrador de saída. Os estados T5 e T6 são nops. A segunda figura abaixo apresenta o diagrama de temporização das rotinas OUT e de busca, indicando que durante o estado T4 do ciclo de busca, EA e L0 estão ativos, permitindo a transferência da palavra do acumulador para o registrador de saída na transição positiva de relógio.



HLT

O comando HLT não necessita de uma rotina de controle devido à ausência de registradores envolvidos na execução da instrução HLT. Quando o registrador de instrução (IR) contém o valor 1111 XXXX, o campo 1111 indica ao controlador-sequencializador que deve interromper o processamento dos dados. O controlador-sequencializador interrompe o funcionamento do computador desativando o relógio, composto por conjuntos de circuitos, durante a transição positiva do relógio.

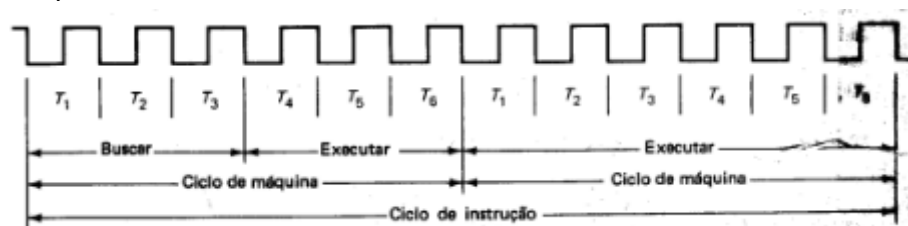
Ciclo de máquina e Ciclo de Instrução

O SAP-1 possui seis estados T, divididos em três de busca e três de execução, formando o ciclo de máquina. Cada instrução requer um ciclo de máquina, e o relógio SAP-1 opera a uma frequência de 1kHz, resultando em um período de 1ms. Assim, um ciclo completo do SAP-1 leva 6ms.

O SAP-2 difere ligeiramente, pois algumas instruções exigem mais de um ciclo de máquina para busca e execução. A temporização para uma instrução de dois ciclos de máquina é ilustrada na Figura 10-10b. Os três primeiros estados T compõem o ciclo de busca, enquanto os nove estados T seguintes constituem o ciclo de execução. Isso torna as instruções de dois ciclos de máquina mais complexas, necessitando dos estados T extras para conclusão.

O termo "ciclo de instrução" refere-se ao número de estados T necessários para buscar e executar uma instrução. No SAP-1, o ciclo de instrução é igual ao ciclo de máquina. No entanto, em microcomputadores como o SAP-2, o ciclo de instrução pode ser igual a dois ou mais ciclos de máquina, conforme exemplificado na figura abaixo.

Para o 8080 e o 8085, os ciclos de instrução variam de um a cinco ciclos de máquina, como será detalhado posteriormente.



O Microprograma do SAP-1

As microinstruções são instruções de baixo nível que controlam o funcionamento dos circuitos do SAP-1, enquanto as macroinstruções são instruções de alto nível que representam as operações que o SAP-1 pode executar.

Microinstruções

O controlador-sequencializador emite palavras de controle, uma em cada estado T ou ciclo de relógio, que funcionam como instruções para orientar as operações do computador. Estas palavras, conhecidas como microinstruções, representam pequenas etapas no processamento de dados. Ao observar o diagrama-bloco do SAP-1 (Fig. 10-1), percebemos uma corrente contínua de microinstruções que se desloca do controlador-sequencializador para os demais circuitos do SAP-1.

Macroinstruções

As macroinstruções, como LDA, ADD e SUB, são compostas por três microinstruções cada. O texto destaca a compactação hexadecimal para simplificar a representação visual das microinstruções. A Tabela 10-5 apresenta o microprograma do SAP-1, detalhando as microinstruções necessárias para executar cada macroinstrução. Essa tabela serve como um resumo das rotinas de execução para as instruções do SAP-1, podendo ser aplicada a conjuntos de instruções mais avançados de maneira semelhante.

O DIAGRAMA ESQUEMÁTICO DO SAP-1

Macro	Estado	C_P	E_P	\overline{L}_M	\overline{CE}	\overline{L}_I	\overline{E}_I	\overline{L}_A	E_A	S_U	E_U	\overline{L}_B	\overline{L}_0	Ativo
LDA	T ₄	0	0	0	1	1	0	1	0	0	0	1	1	$\overline{L}_M, \overline{E}_I$
	T ₅	0	0	1	0	1	1	0	0	0	0	1	1	$\overline{CE}, \overline{L}_A$
	T ₆	0	0	1	1	1	1	1	0	0	0	1	1	Nada

Macro	Estado	CON	Ativo
LDA	T ₄	1A3H	$\overline{L}_M, \overline{E}_I$
	T ₅	2C3H	$\overline{CE}, \overline{L}_A$
	T ₆	3E3H	Nada

Macro	Estado	CON	Ativo
LDA	T ₄	1A3H	$\overline{L}_M, \overline{E}_I$
	T ₅	2C3H	$\overline{CE}, \overline{L}_A$
	T ₆	3E3H	Nada
ADD	T ₄	1A3H	$\overline{L}_M, \overline{E}_I$
	T ₅	2E1H	$\overline{CE}, \overline{L}_B$
	T ₆	3C7H	\overline{L}_A, E_U
SUB	T ₄	1A3H	$\overline{L}_M, \overline{E}_I$
	T ₅	2E1H	$\overline{CE}, \overline{L}_B$
	T ₆	3CFH	\overline{L}_A, S_U, E_U
OUT	T ₄	3F2H	E_A, \overline{L}_0
	T ₅	3E3H	Nada
	T ₆	3E3H	Nada

$$* \text{ CON} = C_P E_P \overline{L}_M \overline{CE} \overline{L}_I \overline{E}_I \overline{L}_A E_A S_U E_U \overline{L}_B \overline{L}_0$$

Contador de Programa

As pastilhas C1, C2 e C3, compõem o contador de programa. A pastilha C1, um 74LS107, é um biestável duplo J-K mestre-escravo responsável por gerar os 2 bits de endereço superiores. A pastilha C2, também um 74LS107, produz os 2 bits de endereço inferiores. A pastilha C3, um 74LS126, atua como uma chave quadrupla de três estados normalmente aberta, proporcionando ao contador de programa uma saída de três estados.

No início do processamento do computador, um sinal CLR baixo reinicia o contador de programa para 0000. Durante o estado T1, um sinal EP alto coloca o endereço no barramento W. No estado T2, um sinal CP alto é aplicado ao contador de programa, e a transição CLR negativa (equivalente à transição CLK positiva) incrementa o contador de programa a meio caminho através deste estado.

É importante notar que o contador de programa permanece inativo durante os estados T3 a T6.

REM

A pastilha C4, um registrador de memória intermediária (74LS173), é um buffer de 4 bits semelhante ao REM. Os pinos 1 e 2 estão conectados à terra, convertendo a saída de três estados para uma saída de dois estados. Isso significa que a saída do REM não está vinculada ao barramento W, eliminando a necessidade de usar a saída de três estados.

Multiplexador de 2-para-1

A pastilha C5 é um multiplexador 74LS157, utilizado como um multiplexador de nibble 2-para-1. O nibble da esquerda, proveniente do registrador (S1) de chaves de endereço (pino 14, 11, 5, 2), e o nibble da direita, proveniente do REM (pino 13, 0, 6, 3), são conectados a C5. A chave (S2) RUN-PROG determina qual nibble será selecionado para a saída de C5. Na posição PROG, o nibble do registrador de chaves de endereço é escolhido, enquanto na posição RUN, a saída do REM é selecionada.

RAM 16X8

As pastilhas C6 e C7 são 74189s, cada uma sendo uma RAM estática de 16 x 4. Juntas, formam uma memória de leitura-escrita de 16 x 8. S3 é o registrador de 8 bits da chave de dados, e S4 é a chave de leitura-escrita com um botão de calcar. Para programar a memória, a chave S2 é posicionada em PROG, o que baixa a entrada CE (pino 2). As chaves de dados e de endereços são ajustadas com as palavras corretas. Ao pressionar momentaneamente a chave de leitura-escrita, o WE (pino 3) é reduzido, e a memória é carregada. Após programar a memória com programa e dados, a chave S2 (RUN-PROG) é colocada em RUN em preparação para o processamento no computador.

Registrador de Instruções

As pastilhas C8 e C9 são 74LS173s, cada uma funcionando como um registrador de memória intermediária de 4 bits com três estados. Juntas, formam o registrador de instruções. Ao conectar à terra os pinos 1 e 2 de C8, a saída de três estados se converte em uma saída de dois estados, representada por I7I6I5I4. Esse nibble é enviado ao decodificador de instruções no controlador-sequencializador. O sinal EI controla a saída de C9, o nibble inferior no registrador de instruções. Quando EI está baixo, esse nibble é transferido para o barramento W.

Acumulador

As pastilhas C10 e C11, 74LS173s, formam o acumulador na Figura 10-13. Os pinos 1 e 2 estão conectados à terra em ambas as pastilhas para gerar uma saída de dois estados no somador-subtrator. Já as pastilhas C12 e C13, 74LS126s, são chaves de três estados que transferem o conteúdo do acumulador para o barramento W quando EA está alto.

Somador-subtrator

As pastilhas C14 e C15, identificadas como 74LS86s, funcionam como portas XOR, formando um inversor controlado. Quando a entrada U S está em nível baixo, o conteúdo do registrador B é transmitido. No entanto, quando U S está em nível alto, é transmitido o complemento de 1, adicionando um 1 ao LSB para formar o complemento de 2.

Por outro lado, as pastilhas C16 e C17, designadas como 74LS83s, são somadores totais de 4 bits que se combinam para gerar uma soma ou diferença de 8 bits. Para converter essa resposta de 8 bits em uma saída de três estados para controlar o barramento W, são utilizadas as pastilhas C18 e C19, que são 74LS126s.

Registrador B e Registrador de saída

As pastilhas C20 e C21, identificadas como 74LS173s, compõem o registrador B, responsável por armazenar os dados destinados a serem somados ou subtraídos do acumulador. Ao conectar os pinos 1 e 2 de ambas as pastilhas à terra, é gerada uma saída de dois estados para o somador-subtrator. Por sua vez, as pastilhas C22 e C23, também 74LS173s, formam o registrador de saída, controlando o indicador visual binário e permitindo a visualização dos dados processados.

Eliminador de Trepidação de Iniciar(“Clear-Start Debouncer”)

O eliminador de trepidação de iniciar-ímpar gera duas saídas, CLR para o registrador de instruções e CLR para o contador de programa e contador em anel. Além disso, CLR é enviado para C29, o biestável de relógio-início, quando a chave de botão S5 é comprimida. S5, ao ser pressionada, vai para a posição CLEAR, gerando um sinal CLR alto e outro CLR baixo. Ao ser liberada, retorna à posição START, resultando em um CLR baixo e um CLR alto. Notavelmente, metade de C24 é empregada no eliminador de trepidação de

iniciar-limpar, enquanto a outra metade é usada no eliminador de trepidação de etapa única. A pastilha C24 é uma porta NAND quádrupla de 2 entradas, do tipo 7400.

Eliminador de Trepidação de Etapa Única

O SAP-1 é capaz de operar em dois modos: manual e automático. No modo manual, o pulso de relógio é gerado ao comprimir e liberar S6, resultando em CLK alto quando comprimido e CLK baixo quando liberado. Esse processo, realizado pelo eliminador de trepidação de etapa única, permite a geração sequencial dos estados T conforme o botão é pressionado e liberado. Essa funcionalidade facilita a identificação e correção de defeitos, bem como a depuração do programa, envolvendo a busca por erros no hardware e a depuração do software.

Eliminador de Trepidação Manual-Automático

A chave S7 é uma chave monopolar de inversão (SPDT) com duas posições: MANUAL e AUTO. Na posição MANUAL, um botão de um único estágio está ativo, enquanto na posição AUTO, o processamento é realizado automaticamente pelo computador. Para evitar trepidação na transição entre MANUAL e AUTO, duas portas NAND em C26 são utilizadas. Além disso, as outras duas portas NAND em C26 fazem parte de uma estrutura NAND/NAND que guia os relógios de etapa única ou automático para as saídas finais CLK e CLR.

Memórias Intermediárias de Relógio(“Clock Buffers”)

O pino 11, C26, controla as memórias intermediárias de relógio, gerando as saídas finais CLK e CLR por meio de inversores. Diferentemente de outras pastilhas, C27 é do tipo TTL padrão em vez de Schottky de baixa potência, escolha explicada na SAP-1, Lista das Partes, Apêndice 4. Isso se deve à capacidade do TTL padrão de comandar 20 cargas TTL Schottky de baixa potência.

Ao analisar as características de dados do 74LS107 e do 74LS173 para correntes de entrada, é possível determinar a quantidade de cargas TTL Schottky (LS) de baixa potência que os sinais de relógio e de limpar podem suportar (levando ao estado lógico 0). Os resultados são os seguintes:

$$\begin{array}{l} \overline{\text{CLK}} = 19 \text{ LS cargas} \\ \overline{\text{CLR}} = 2 \text{ LS cargas} \\ \text{CLR} = 1 \text{ LS cargas} \\ \overline{\text{CLR}} = 20 \text{ LS cargas} \end{array}$$

Isso implica que os sinais CLK e CLR provenientes de C27 (TTL padrão) são adequados para controlar as cargas TTL Schottky de baixa potência. Além disso, os sinais CLR e CLR de C24 (TTL padrão) também são capazes de comandar suas respectivas cargas.

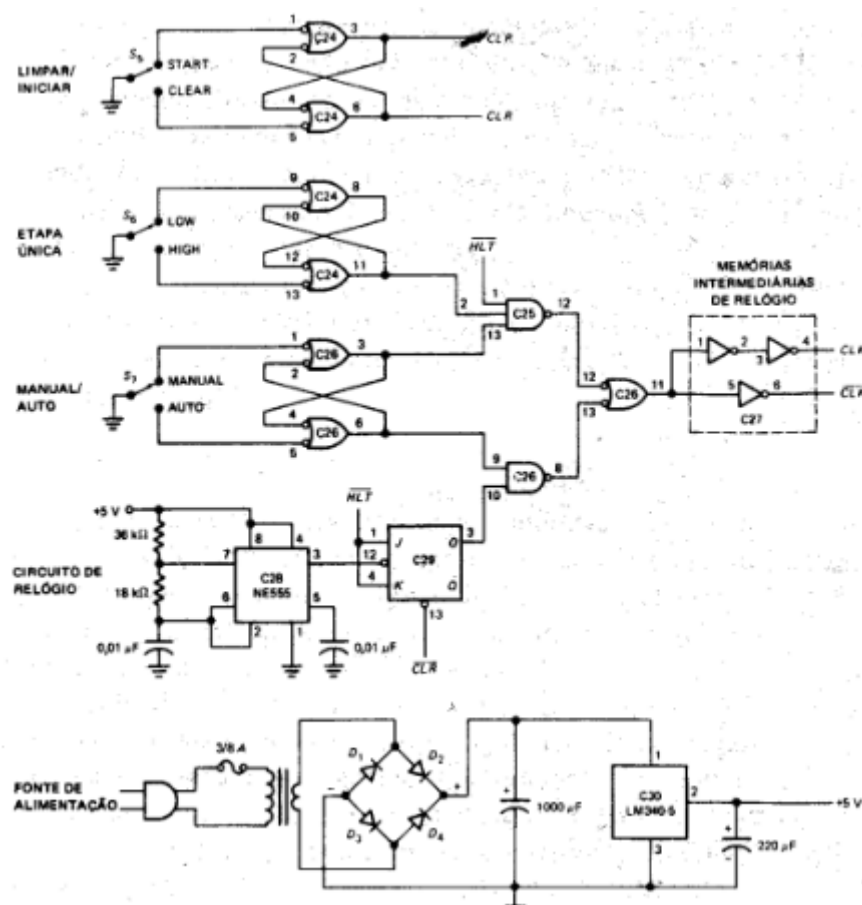
Circuitos de Relógio e Fonte de Alimentação

O circuito apresentado utiliza a pastilha C28, um temporizador 555, para gerar uma saída retangular de 2 kHz com um ciclo de atividade de 75%. Um biestável (C29) divide o sinal,

resultando em 1 kHz com um ciclo de atividade de 50%. A fonte de alimentação consiste em um retificador em ponte de onda completa com filtro de capacitor de entrada. A tensão contínua no capacitor de 1000 μF é de aproximadamente 20V. A pastilha C30, um LM340T-5, atua como regulador de tensão, fornecendo uma saída estável de +5 V.

Decodificador de Instrução

A pastilha C31, um inversor hexadecimal, gera complementos dos bits no código op (I7I6I5I4). As pastilhas C32, C33 e C34 decodificam o código op, gerando sinais de saída LDA, ADD, SUB, OUT e HLT, sendo apenas um ativo por vez. Quando a instrução HLT está no registrador de instruções com os bits I7I6I5I4 sendo 1111, o sinal HLT é baixo. Esse sinal interrompe os relógios C25 (etapa única) e C29 (automático), resultando na parada do relógio e término do processamento no computador, seja no modo MANUAL ou AUTO.



Contador em Anel

O contador em anel, também conhecido como contador de estados, é composto por três pastilhas (C36, C37 e C38), cada uma delas sendo um 74LS107, um biestável duplo mestre-escravo JK. Este contador é reiniciado para zero quando o botão de limpar-iniciar (S5) é pressionado. O biestável Q0 é invertido, fazendo com que sua saída Q (pino 6, C38) controle a entrada J do biestável Q1 (pino 1, C38), mantendo a saída T1 inicialmente alta. O sinal CLK, que comanda uma entrada de baixa atividade, inicia cada estado T com a

transição negativa do sinal CLK. Meio-ciclo depois, a transição positiva do sinal CLK realiza o carregamento do registrador, como explicado anteriormente.

Matriz de Controle

O decodificador de instruções controla a matriz de controle por meio dos sinais LDA, ADD, SUB e OUT. Simultaneamente, os sinais do contador em anel (T1 a T6) também influenciam a matriz, que gera uma microinstrução de 12 bits chamada CON. Esta microinstrução orienta as operações do computador.

Estado	CON	Bits ativos
T ₁	5E3H	E_P, \bar{L}_M
T ₂	BE3H	C_P
T ₃	263H	\bar{C}_E, \bar{L}_I

Durante os estados de execução (T4 a T6), os sinais codificados (LDA a OUT) e os estados T determinam as ações da matriz. Por exemplo, durante a execução, se LDA estiver alto e T4 estiver ativo, a matriz orienta a carga do registrador de endereços com o campo de endereço. Os estados de execução ADD, SUB e OUT também são analisados para gerar as microinstruções correspondentes na tabela 10-5 do microprograma do SAP-1.

Operação

O SAP-1 é um computador no qual, antes de cada processamento, o operador insere o programa e os dados na memória. Com o programa na memória inferior e os dados na superior, o operador inicia o ciclo pressionando o botão de limpar. Os sinais CLK e CLK controlam registradores e contadores, enquanto uma microinstrução fora do controlador-sequencializador determina as ações em cada transição CLK positiva.

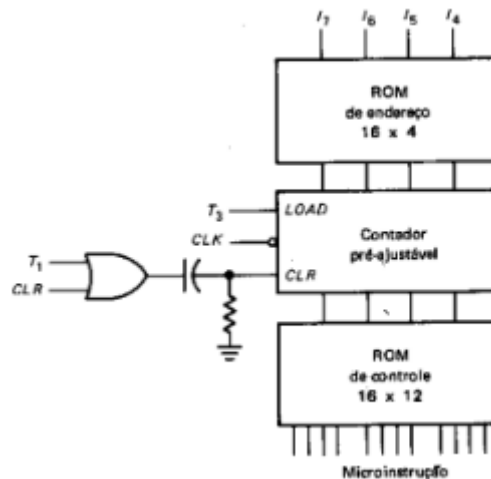
O ciclo de máquina do SAP-1 inicia com um ciclo de busca, passando pelos estados de endereço (T1), incremento (T2) e memória (T3). No final do ciclo de busca, a instrução é armazenada no registrador de instruções. Após a decodificação do campo de instrução, a matriz de controle automaticamente gera a rotina de execução apropriada. Ao término do ciclo de execução, o contador em anel é resetado para zero, iniciando o próximo ciclo de máquina. O processamento de dados continua até que uma instrução HLT seja carregada no registrador de instruções.

MICROPROGRAMAÇÃO

A matriz de controle apresentada é uma abordagem para gerar microinstruções necessárias em cada ciclo de execução. No entanto, à medida que os conjuntos de instruções aumentam, a matriz de controle se torna complexa, exigindo centenas ou até milhares de portas. Isso levou ao desenvolvimento da microprogramação como uma alternativa, na qual microinstruções são armazenadas em uma ROM em vez de serem geradas por uma matriz de controle. Essa abordagem simplifica a construção de um controlador-sequencializador em comparação com o método de controle por fios fixos, que envolve a conexão física de portas da matriz.

Armazenamento do Microprograma

LDA, ADD, SUB e OUT são as microinstruções do SAP-1 que atribuem endereços. Essas microinstruções podem ser armazenadas em uma ROM de controle com endereços específicos para cada rotina. A obtenção de uma rotina requer três etapas: conhecer o endereço de partida, percorrer os endereços da rotina e aplicar os endereços à ROM de controle.



ROM de Endereços

A ROM de endereço é um contador pré-ajustável, que armazena os pontos de partida de diferentes rotinas, conforme indicado na tabela abaixo. Os bits I7I6I5I4 do código de operação comandam a ROM de endereço, gerando o endereço de partida correspondente à instrução executada. Por exemplo, se a instrução ADD estiver sendo executada, com I7I6I5I4 sendo 0001, isso serve como entrada para a ROM de endereço, cuja saída seria 0110.

Endereço	Conteúdos	Rotina
0000	0011	LDA
0001	0110	ADD
0010	1001	SUB
0011	XXXX	Nada
0100	XXXX	Nada
0101	XXXX	Nada
0110	XXXX	Nada
0111	XXXX	Nada
1000	XXXX	Nada
1001	XXXX	Nada
1010	XXXX	Nada
1011	XXXX	Nada
1100	XXXX	Nada
1101	XXXX	Nada
1110	1100	OUT
1100	XXXX	Nada

Contador Pré-ajustável

Quando o sinal T3 é alto, a entrada de carga do contador é elevada, carregando o endereço de partida da ROM de endereços. Em outros estados temporais (T), o contador realiza a contagem. Inicialmente, um sinal CLR elevado é utilizado para redefinir o contador, gerando um pico positivo estreito. Durante o processamento no computador, a saída do contador é

0000 no estado T1, 0001 no estado T2 e 0010 no estado T3. Cada ciclo de busca é consistente, já que 0000, 0001 e 0010 são as saídas do contador nos estados T1, T2 e T3, respectivamente.

Endereço	Conteúdos	Rotina	Ativo
0H	5E3H	Fetch	E_P, \overline{L}_M
1H	BE3H		C_P
2H	263H		$\overline{CE}, \overline{L}_A$
3H	1A3H	LDA	$\overline{L}_M, \overline{E}_I$
4H	2C3H		$\overline{CE}, \overline{L}_A$
5H	3E3H		Nada
6H	1A3H	ADD	$\overline{L}_M, \overline{E}_I$
7H	2E1H		$\overline{CE}, \overline{L}_B$
8H	3C7H		\overline{L}_A, E_U
9H	1A3H	SUB	$\overline{L}_M, \overline{E}_I$
AH	2E1H		$\overline{CE}, \overline{L}_B$
BH	3CFH		\overline{L}_A, S_U, E_U
CH	3F2H	OUT	E_A, \overline{L}_0
DH	3E3H		Nada
EH	3E3H		Nada
FH	X	X	Não usado

$$, CON = C_P E_P \overline{L}_M \overline{CE} \quad \overline{L}_I \overline{E}_I \overline{L}_A E_A \quad S_U E_U \overline{L}_B \overline{L}_0$$

O ciclo de execução é controlado pelo código op no registrador de instruções. No caso da instrução ADD, os bits I7I6I5I4 são 0001, comandando a ROM de endereços para produzir a saída 0110. Esse endereço é a entrada para o contador pré-ajustável. Quando T3 está alto, a próxima transição negativa de relógio carrega 0110 no contador pré-ajustável, que agora está ajustado. A contagem começa no endereço de partida da rotina ADD, com saídas do contador de 0110 em T4, 0111 em T5 e 1000 em T6. No início do estado T1, a transição frontal do sinal T1 restaura o contador em 0000, o endereço inicial da rotina de busca, iniciando um novo ciclo de máquina.

ROM de Controle

A ROM de controle do SAP-1 armazena microinstruções e é acessada durante diferentes ciclos de operação. Durante o ciclo de busca, os endereços 0000, 0001 e 0010 são fornecidos à ROM, resultando nas saídas **5E3H, BE3H e 263H**, correspondentes aos estados de endereço, incremento e memória, conforme indicado na Tabela 10-6. Para a execução da instrução ADD, os endereços 0110, 0111 e 1000 são utilizados, gerando as saídas **1A3H, 2E1H e 3C7H**, que realizam a adição.

Em um cenário onde a instrução OUT está sendo executada, com o código op sendo 1110 e o endereço de partida sendo 1100, a ROM de controle recebe os endereços 1100, 1101 e 1110 durante o ciclo de execução. As saídas correspondentes são 3F2H, 3E3H e 3E3H, conforme listado na Tabela 10-6. Essa sequência de microinstruções transfere o conteúdo do acumulador para a porta de saída.

Ciclo variável de Máquina

A microinstrução 3E3H é uma "nop", que é utilizada no SAP-1 para garantir um ciclo de máquina fixo de seis estados T para todas as instruções. No entanto, ressalta que em situações em que a velocidade é crucial, as "nops" podem representar um desperdício de tempo e serem eliminadas. Propõe-se acelerar o SAP-1 eliminando os estados "nop" ao saltar qualquer estado T com uma "nop". Ao redesenhar o circuito, é possível abreviar o ciclo de máquina da instrução LDA para cinco estados e da instrução OUT para quatro estados. Apresenta-se uma abordagem para obter um ciclo de máquina variável, onde a instrução LDA é executada nos estados T1 a T5, e a ocorrência de uma "nop" no estado T6 reduz o ciclo de máquina de seis para cinco estados. O mesmo princípio é aplicado à instrução OUT, reduzindo seu ciclo de máquina de seis para quatro estados. Destaca-se que ciclos variáveis de máquina são comuns em microprocessadores, como o 8085, onde ciclos podem durar de dois a seis estados T, ignorando estados "nop" indesejáveis para otimizar a velocidade de operação.

Vantagens

A microprogramação oferece uma vantagem significativa ao eliminar o decodificador de instruções e a matriz de controle, que se tornam complexos em conjuntos maiores de instruções. Armazenar microinstruções em uma ROM é mais simples do que montar um decodificador e uma matriz de controle. Além disso, ao contrário da montagem tradicional, onde seria necessário desconectar e remontar para alterar o conjunto de instruções, o controle microprogramado permite modificações diretas na ROM de controle e na ROM de endereço de partida, oferecendo uma flexibilidade valiosa, especialmente para melhorias pós-venda no equipamento.

RESUMO

O SAP-1 é um exemplar notável de arquitetura de computadores, destacando-se por sua unidade de controle que engloba o contador de programa, o registrador de instruções e o controlador-sequencializador. Este último é responsável por gerar a palavra de controle, os sinais de limpar (ou restabelecer) e os sinais de relógio. No domínio da Unidade Lógica Aritmética (ULA) do SAP-1, encontramos um acumulador, um somador-subtrator e um registrador B, proporcionando funcionalidades cruciais para operações aritméticas. A memória, com seu Registrador de Endereços de Memória (REM) e a RAM de 16x8, desempenha papel vital no armazenamento e recuperação de dados. Além disso, a unidade de Entrada/Saída (E/S) do SAP-1 incorpora chaves de programação de entrada, uma porta de saída e um indicador visual em binário.

Atualmente, a maioria dos computadores adota uma abordagem de controle microprogramado em contraste com o controle por fios fixos. Embora as tabelas e os circuitos de microprogramação possam ser mais complexos do que os do SAP-1, a essência do conceito permanece a mesma. As microinstruções, armazenadas em uma ROM de controle, são acessadas mediante a aplicação do endereço da microinstrução desejada. Essa evolução reflete a constante busca por eficiência e flexibilidade nas arquiteturas de computadores contemporâneas.