

“Flip-Flops e Dispositivos Correlatos – Parte I”

Prof. Dr. Emerson Carlos Pedrino
emerson@dc.ufscar.br
DC/UFSCar



Circuitos Combinatórios x Sequenciais

- **Circuitos Combinatórios:** o valor da saída no instante t depende apenas da combinação dos valores das entradas neste instante. Os estados anteriores não interessam.
- **Circuitos Sequenciais:** o valor da saída no instante t não depende apenas dos valores das entradas neste instante, mas também da sequência das entradas anteriores.



Circuitos Combinatórios x Sequencias

- Nem todos os projetos em sistemas digitais conseguem ser resolvidos utilizando circuitos combinatórios.
- Algumas vezes é necessário o conhecimento de um ou mais estados anteriores e também da sequência anterior para se calcular a saída do circuito.
- Exemplo: Contadores

Exemplo

- Observar uma fileira de 3 lâmpadas;
- As lâmpadas só acendem uma de cada vez;
- Se as lâmpadas acenderem na sequência 1 – 2 – 3, deve-se soar um alarme.



ALARME !

- Não pode ser resolvido utilizando circuito combinatório.

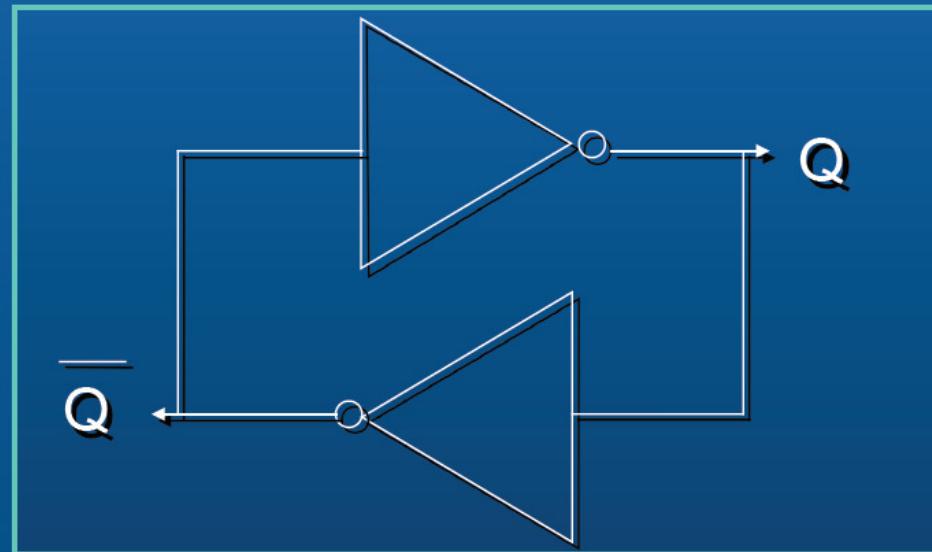
*Latch** Básico – Estático

- * Também chamado de Multivibrador Biestável.

2 estados de saída possíveis:

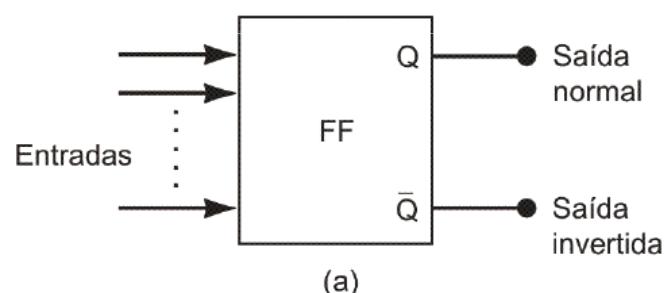
$Q = 1$ (SET)

$Q = 0$ (RESET/CLEAR)



Símbolo Geral de um *Latch*

2 estados de saída possíveis: $Q = 1$ e $Q = 0$



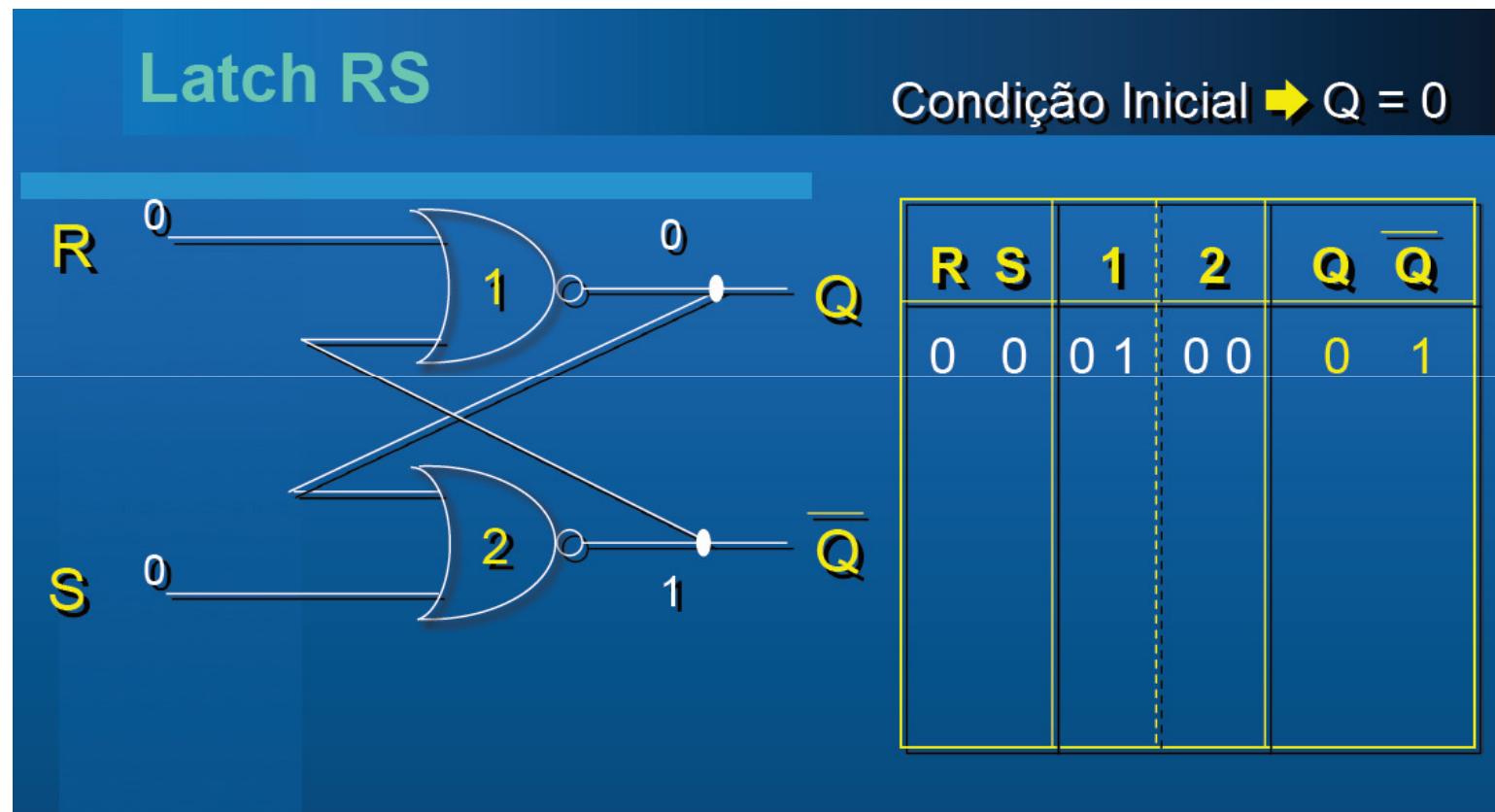
Estados de saída

$Q = 1, \bar{Q} = 0$: denominado estado ALTO ou 1; também chamado de estado SET

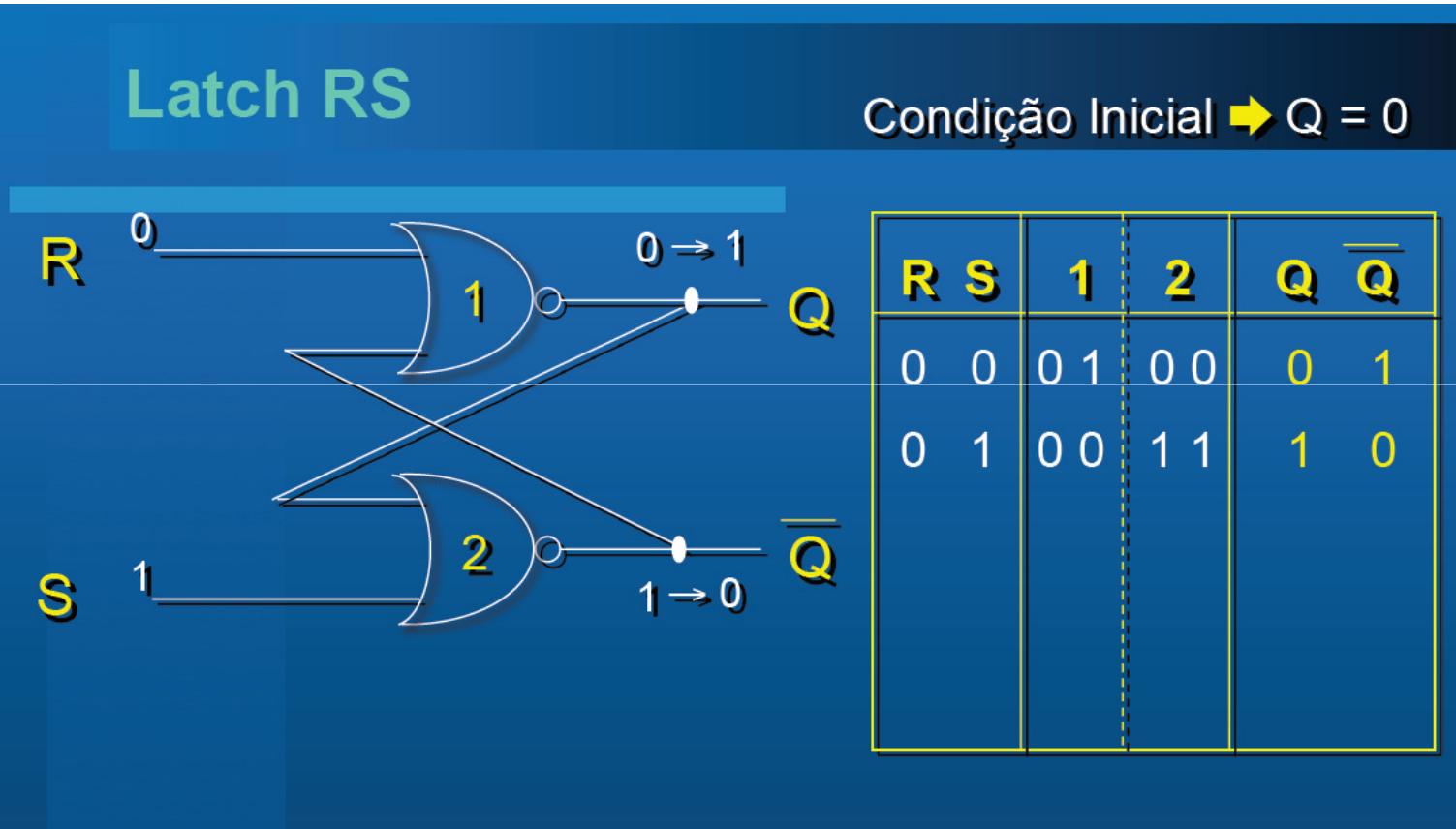
$Q = 0, \bar{Q} = 1$: denominado estado BAIXO ou 0; também chamado de estado CLEAR ou RESET

(b)

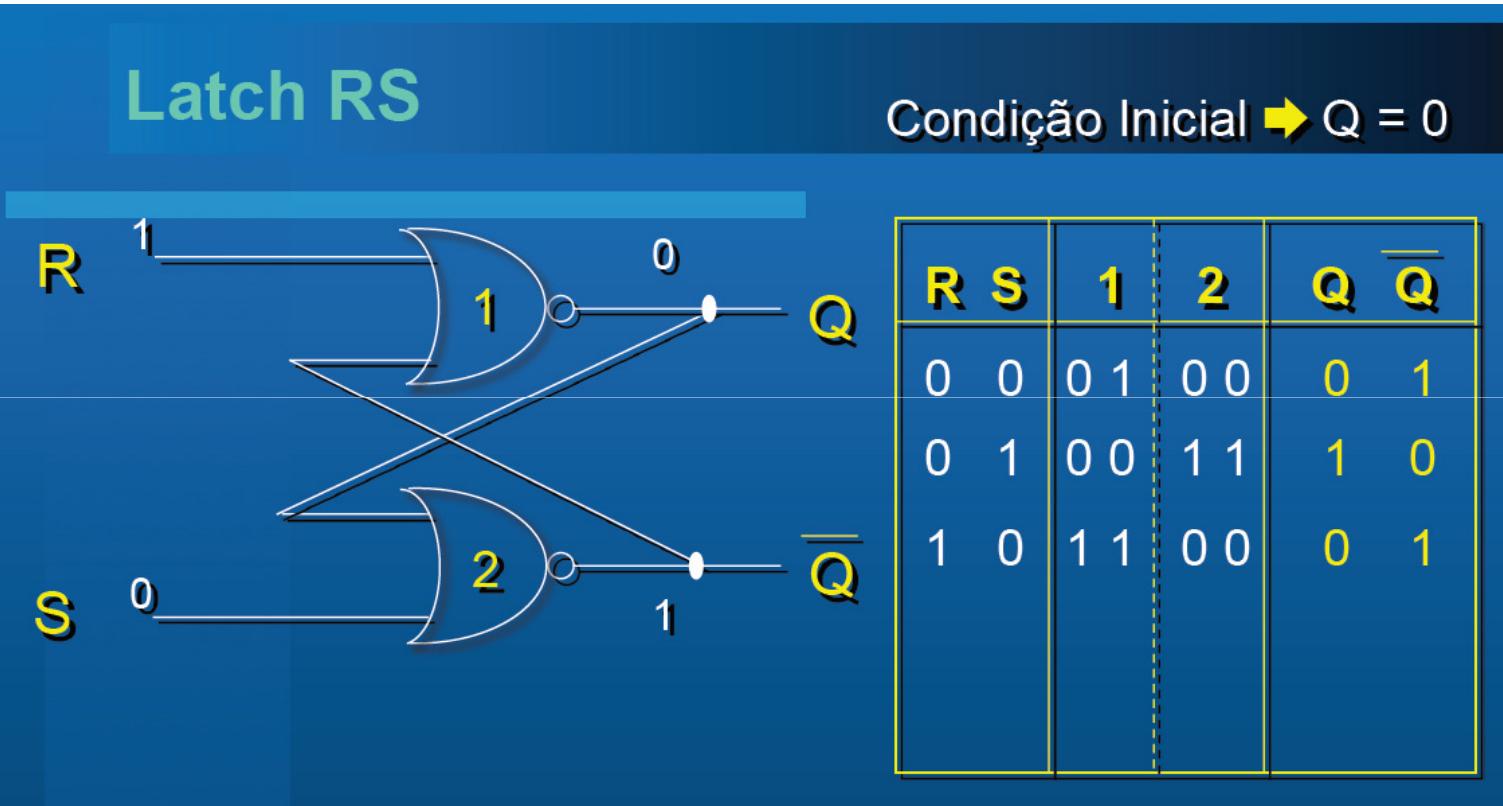
Latch RS



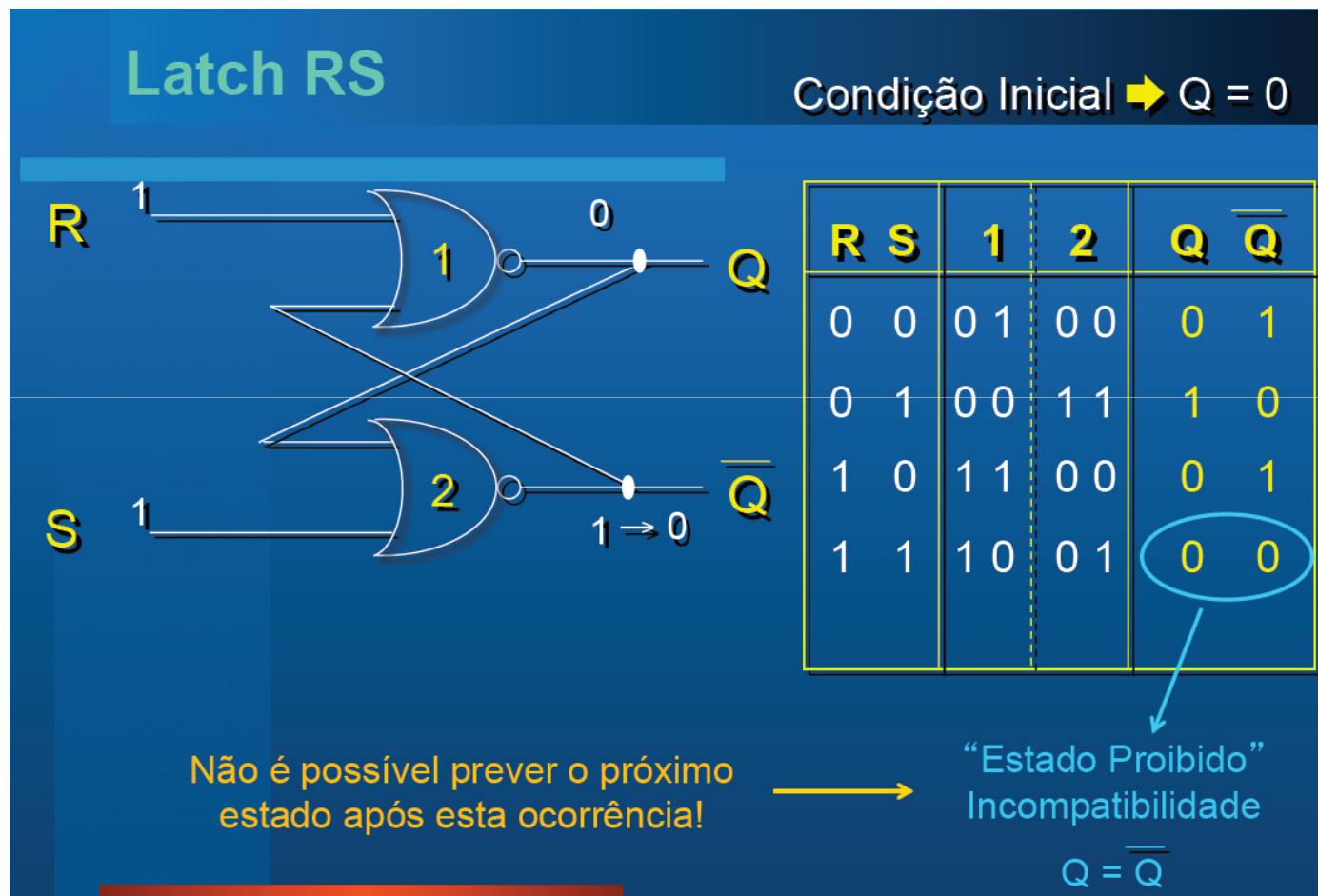
Latch RS



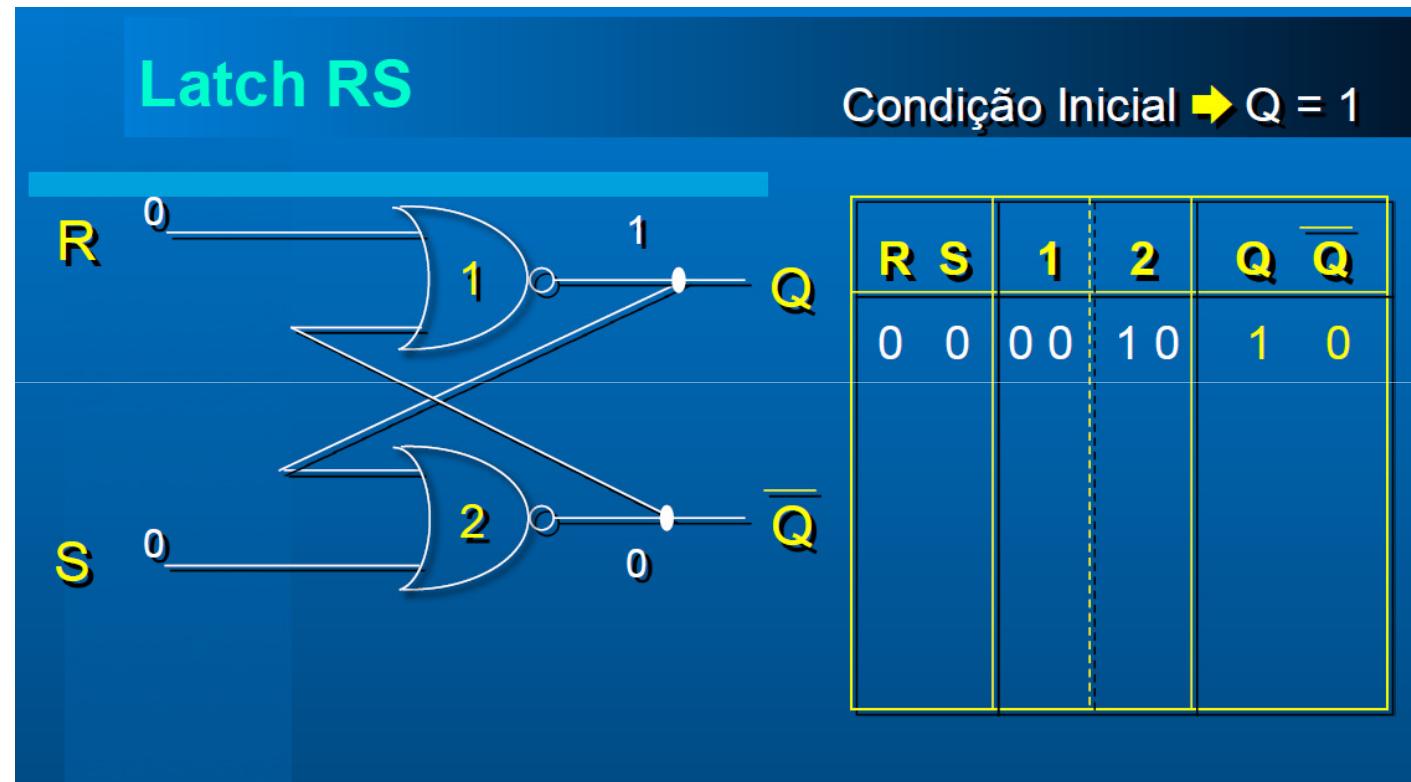
Latch RS



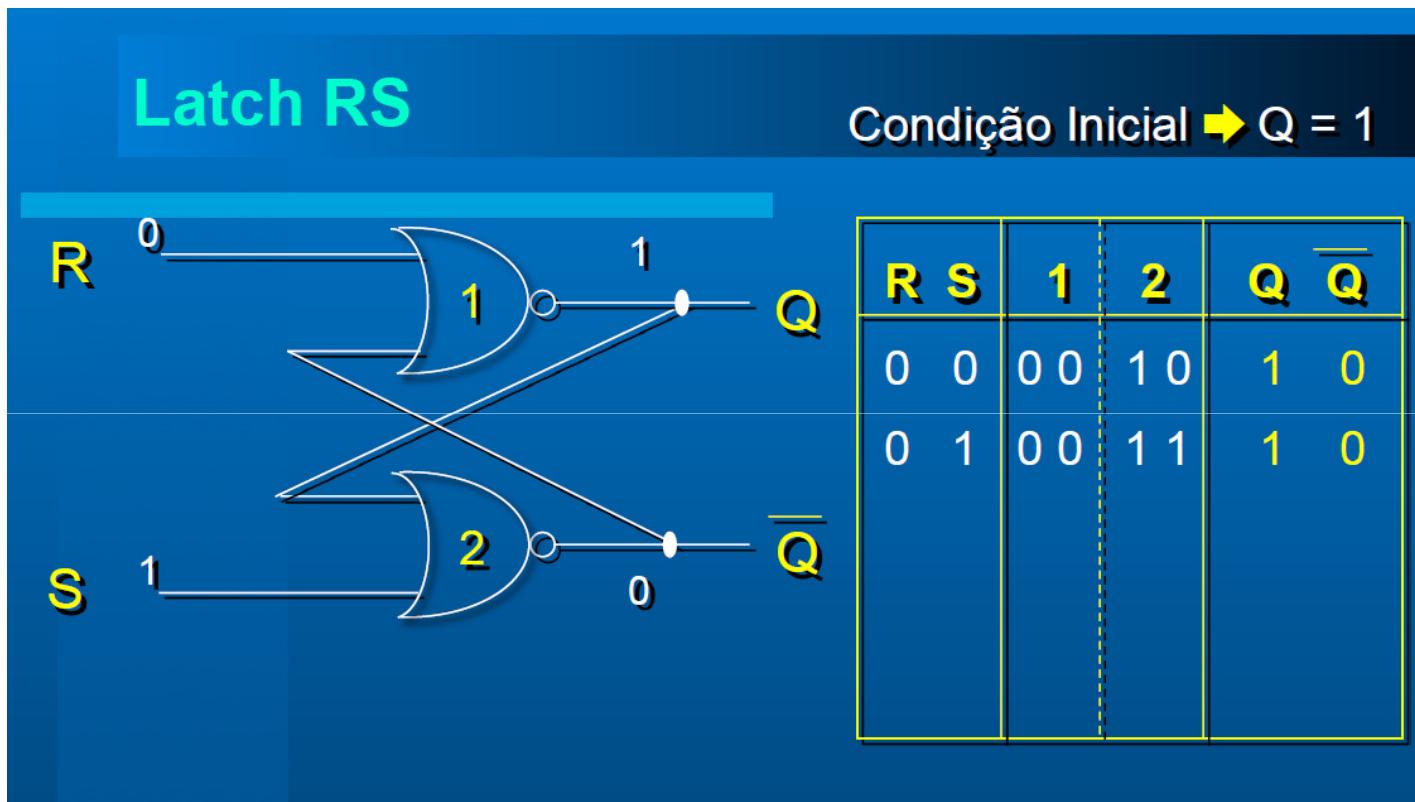
Latch RS



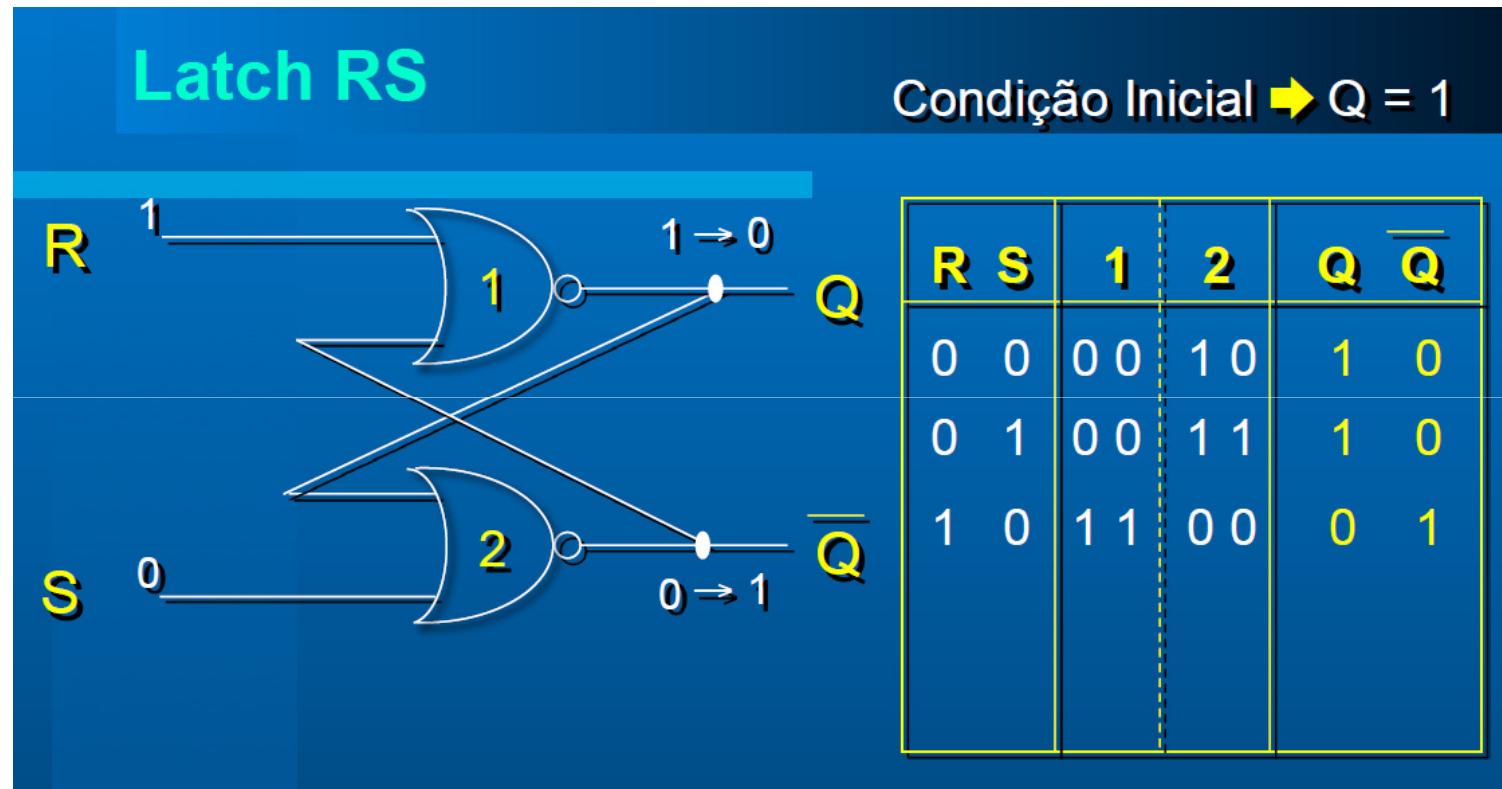
Latch RS



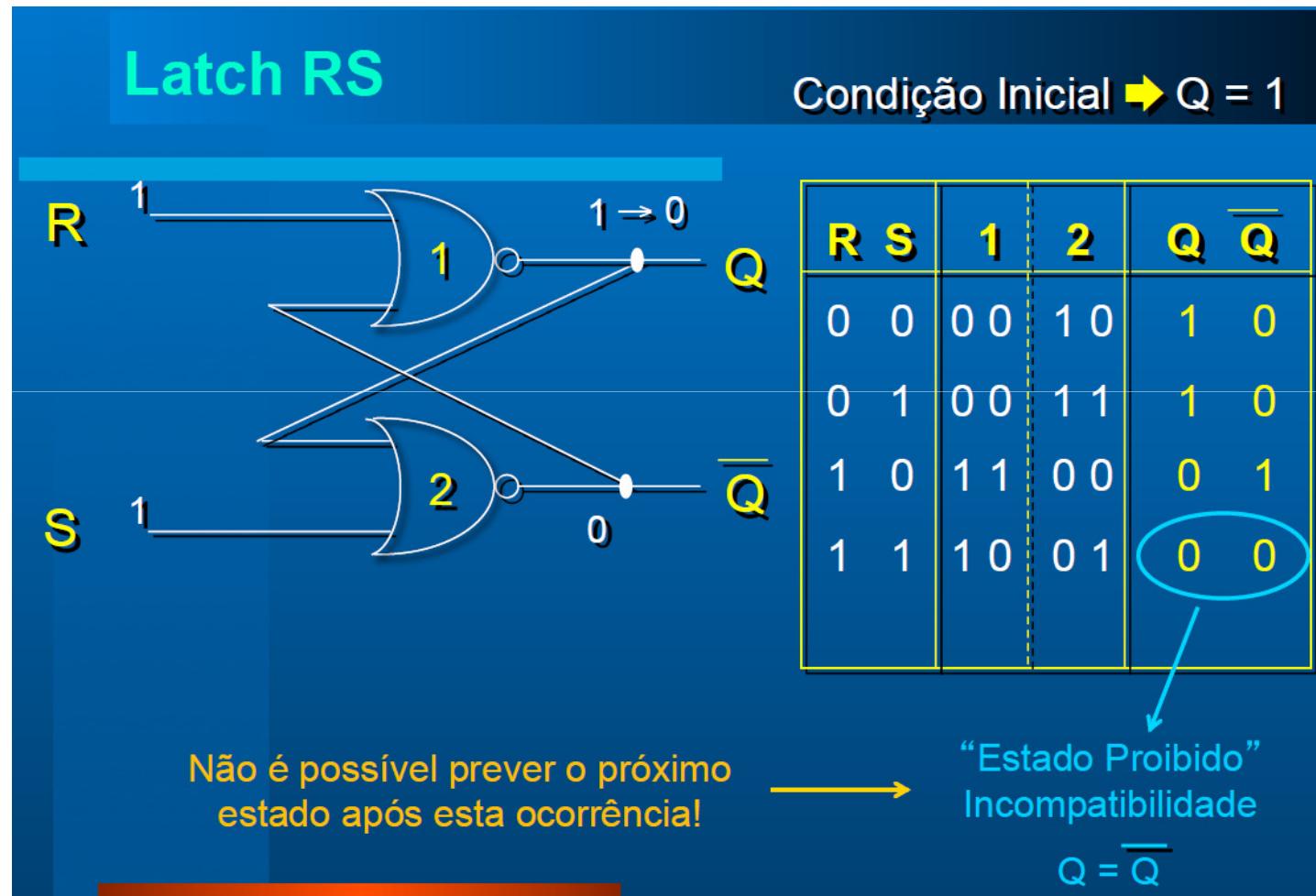
Latch RS



Latch RS



Latch RS



Latch RS

Tabela verdade:

Latch RS

$Q = 0$

R	S	Q	\bar{Q}
0	0	0	1
0	1	1	0
1	0	0	1
1	1	0	0**

$Q = 1$

R	S	Q	\bar{Q}
0	0	1	0
0	1	1	0
1	0	0	1
1	1	0	0**

R = Reset

(nível lógico 0)

S = Set

(nível lógico 1)

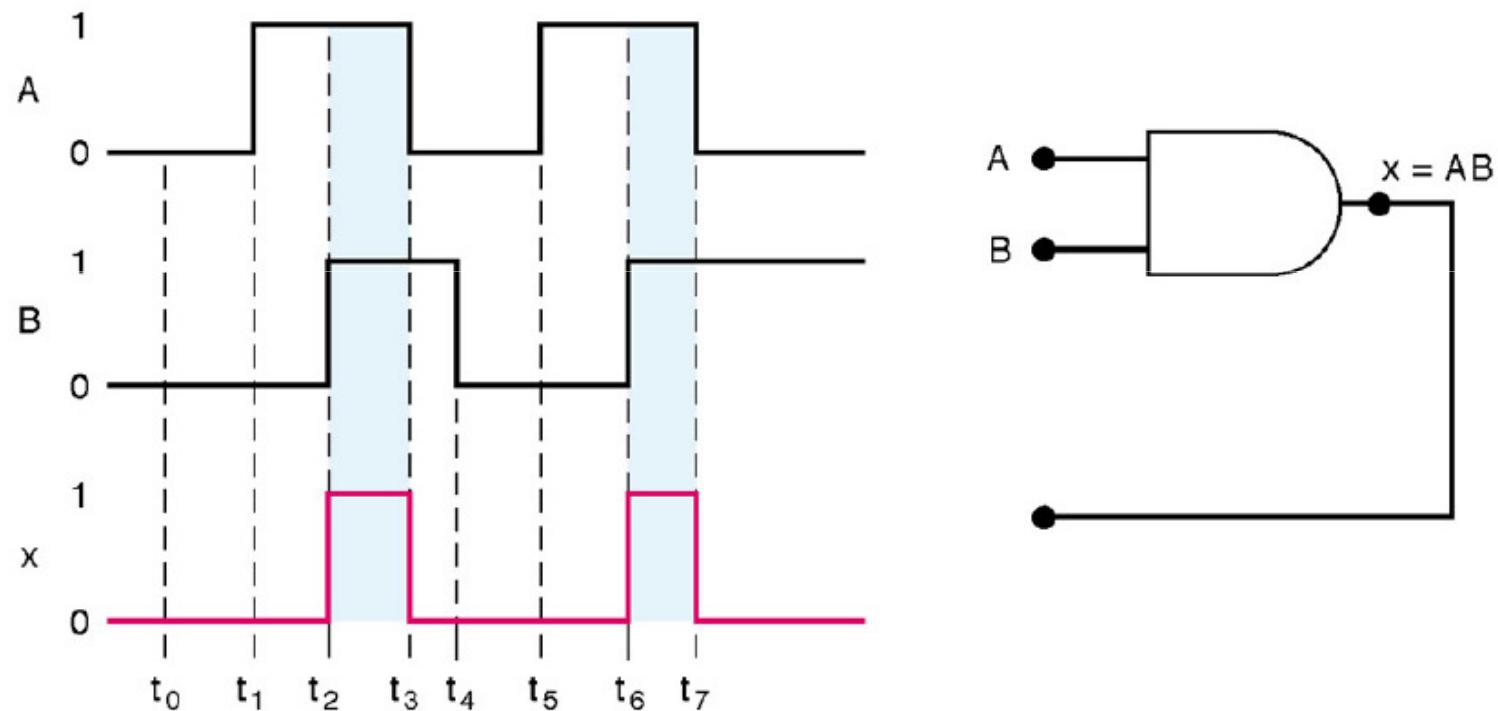
Mantém o estado anterior

R	S	Q
0	0	Q_0
0	1	1
1	0	0
1	1	0*

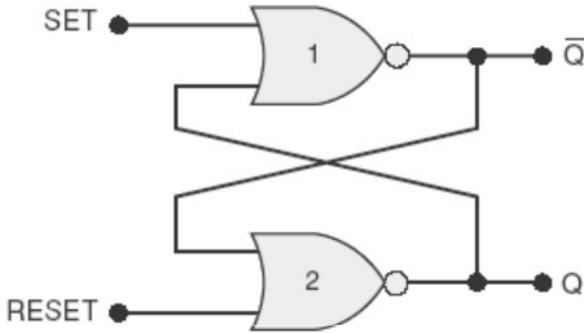
* “Incompatibilidade”
(Est. “proibido”)

Não é possível prever o
próximo estado após esta
ocorrência.

Diagrama de Tempos de Circuitos Combinacionais



Diagramas de Tempo de Circuitos Sequenciais

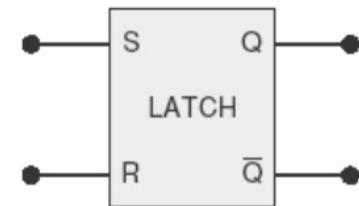


(a)

Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

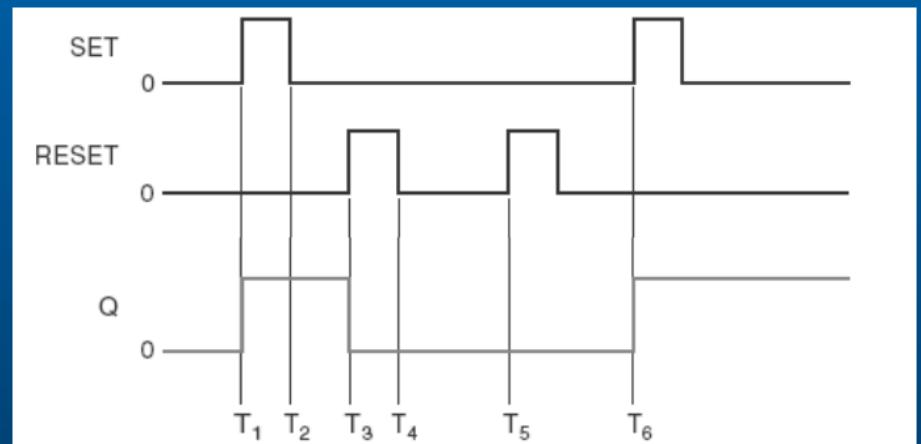
*Produz $Q = \bar{Q} = 0$.

(b)



(c)

Funcionamento:



SET

RESET

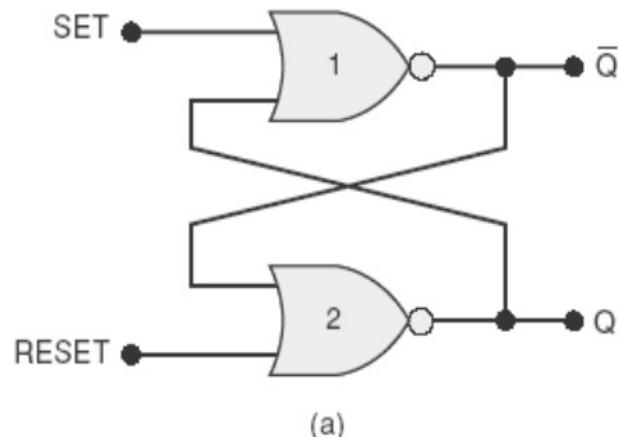
Q

$T_1 \quad T_2 \quad T_3 \quad T_4 \quad T_5 \quad T_6$

Tipos de *Latch*

- RS com portas Nor:

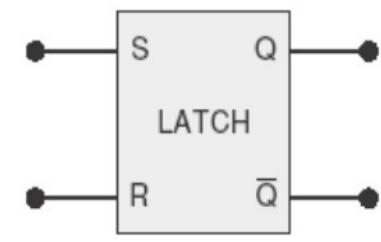
- Set e Reset ativados em nível lógico alto
- Estado proibido: saída = 0 0



Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

*Produz $Q = \bar{Q} = 0$.

(b)



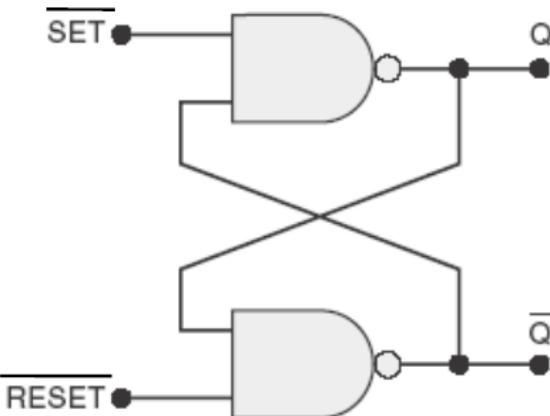
(c)

Tipos de *Latch*

- RS com portas *Nand*:

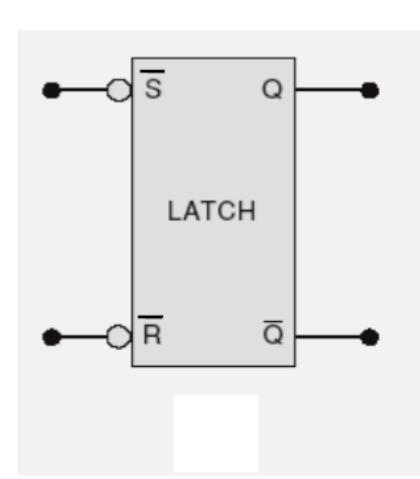
Latch RS com portas NAND

- Set e Reset ativados em nível lógico baixo
- Estado proibido: saída = 1 1

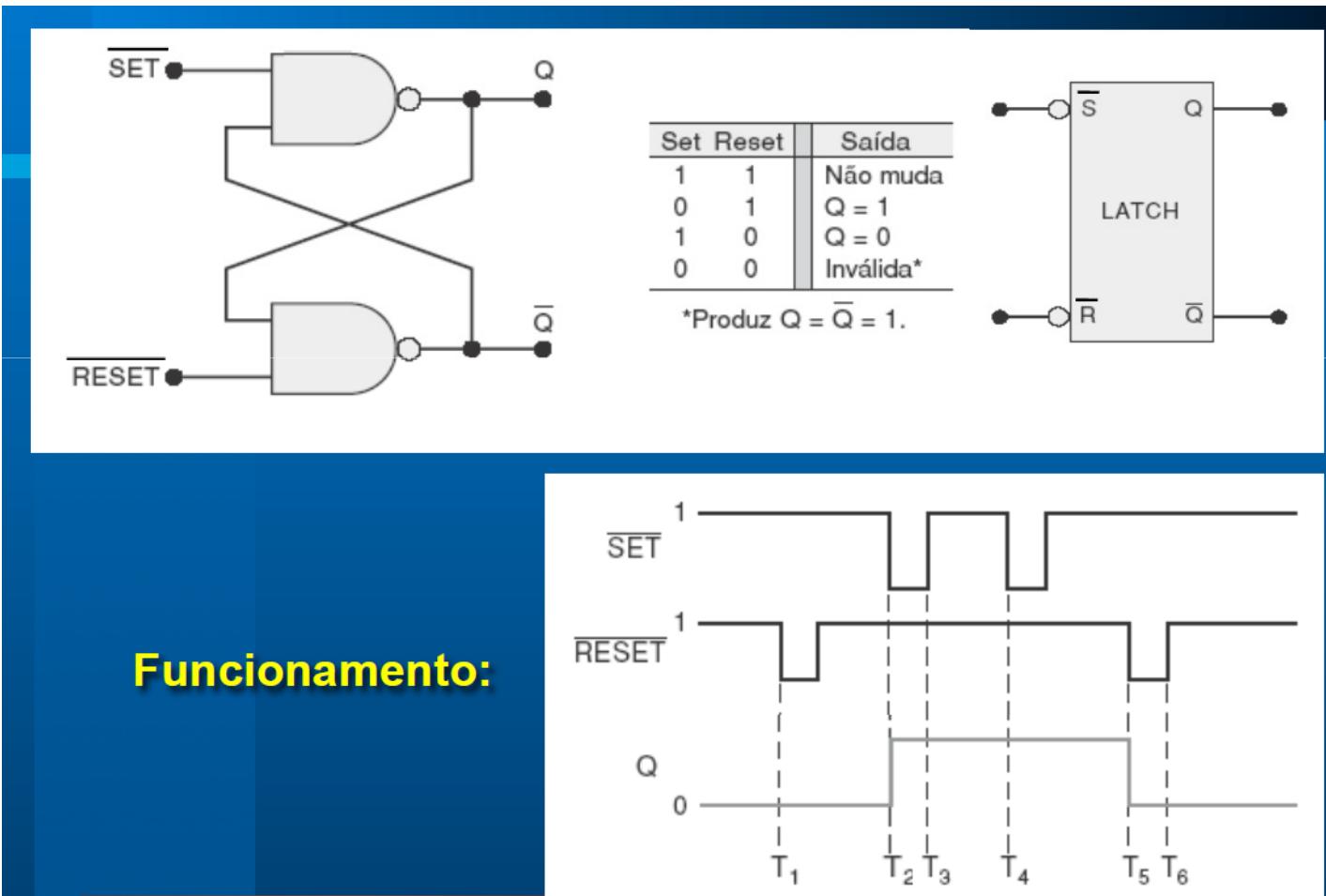


Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Produz $Q = \bar{Q} = 1$.



Latch RS com Portas Nand

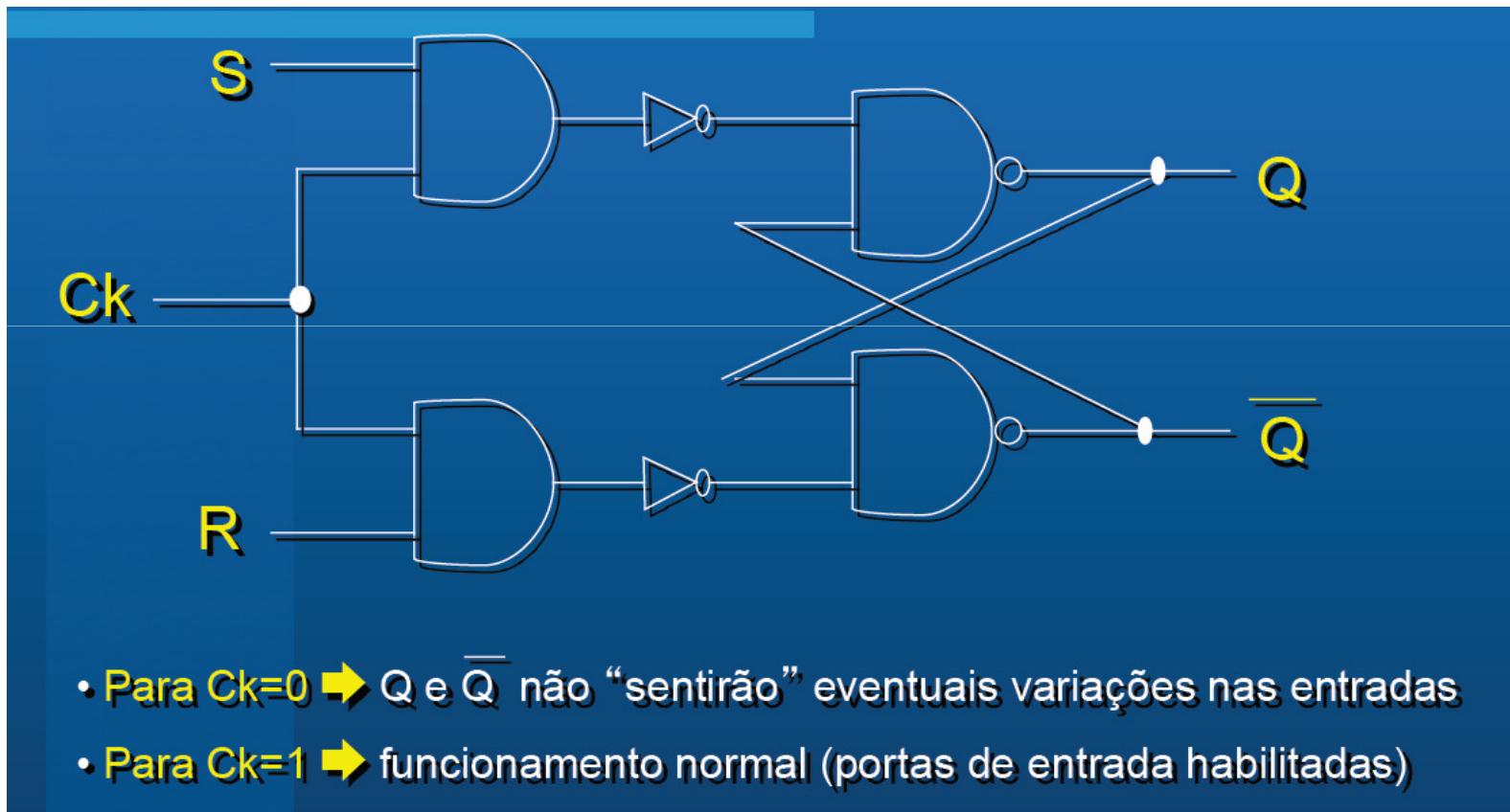


Assíncronos X Síncronos

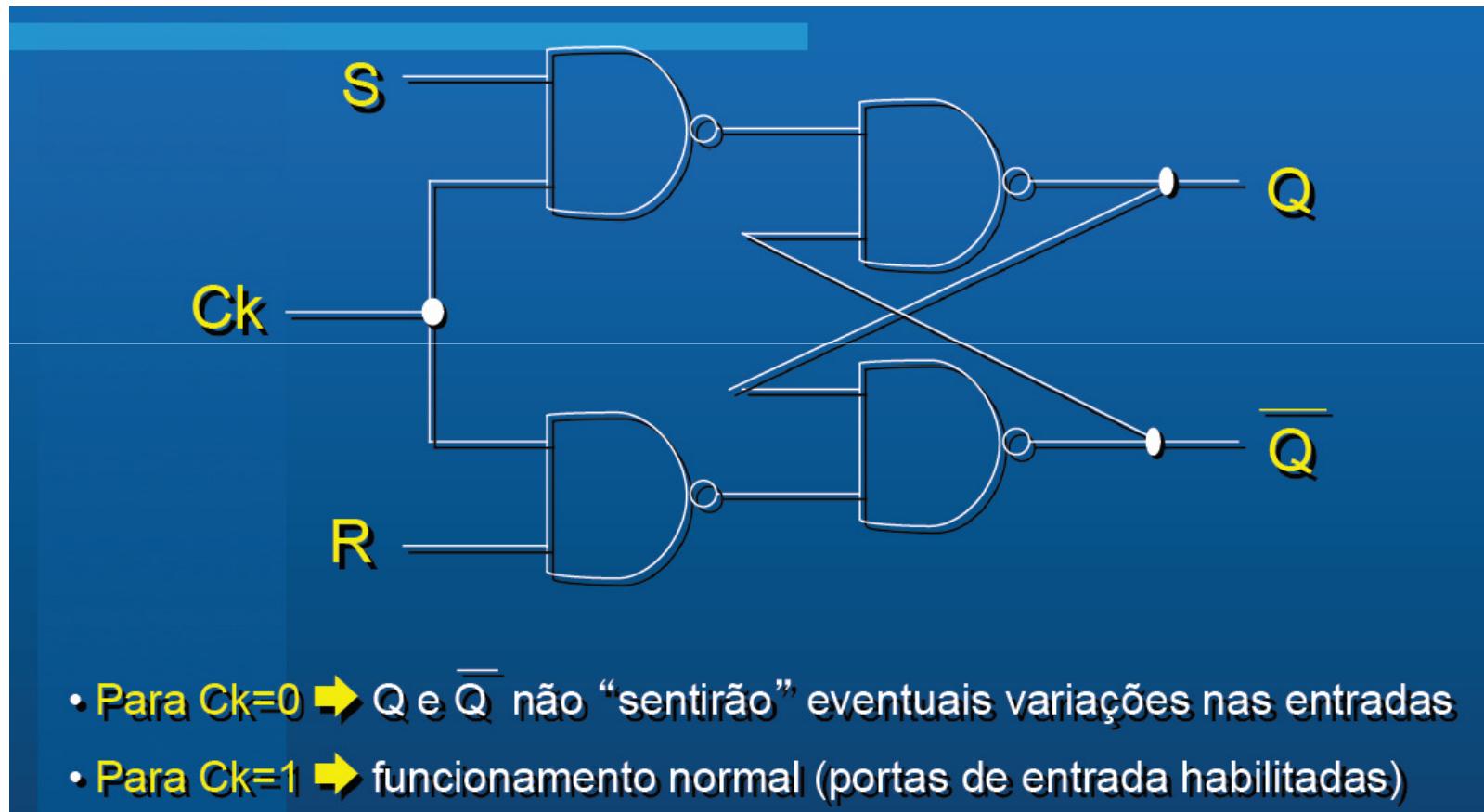
Os **Circuitos Sequenciais** podem ser divididos em dois grandes grupos:

- **Circuitos Sequenciais Assíncronos (Latch):**
 - As saídas podem mudar de estado a qualquer momento em que uma ou mais entradas mudarem de estado;
 - Há um atraso entre a mudança na entrada e a alteração da saída;
- **Circuitos Sequenciais Síncronos (Flip-Flop):**
 - O momento exato em que a saída pode mudar de estado é determinado por um sinal periódico – “clock”;
 - Geralmente um trem de pulsos de onda quadrada;
 - Sensível à nível ou à borda (subida ou descida) do “clock”.

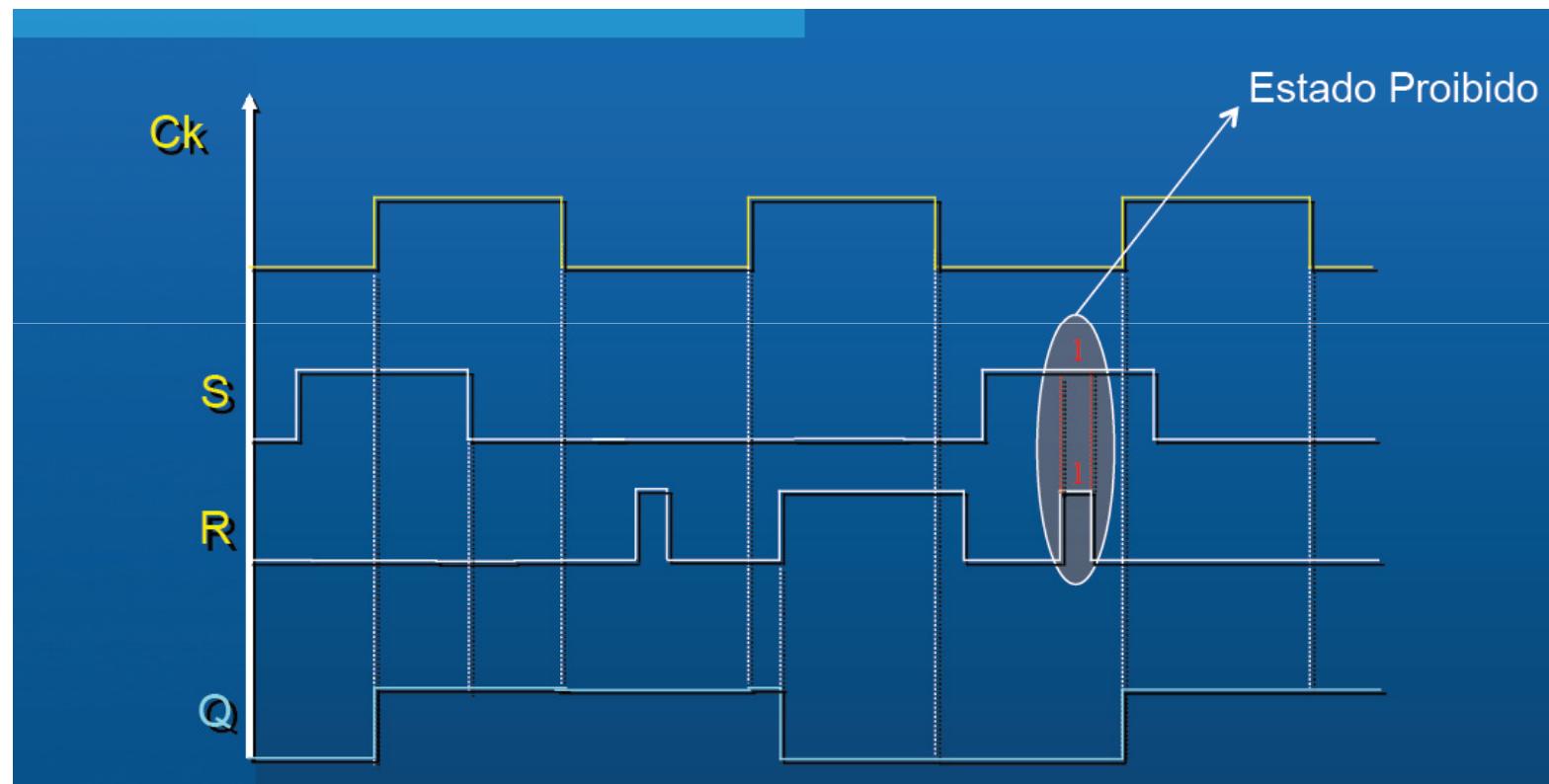
Flip-Flop RS Síncrono – Sensível a Nível



Flip-Flop RS Síncrono – Sensível a Nível



Flip-Flop RS Síncrono – Sensível a Nível - Comportamento





Circuitos Sequenciais Síncronos

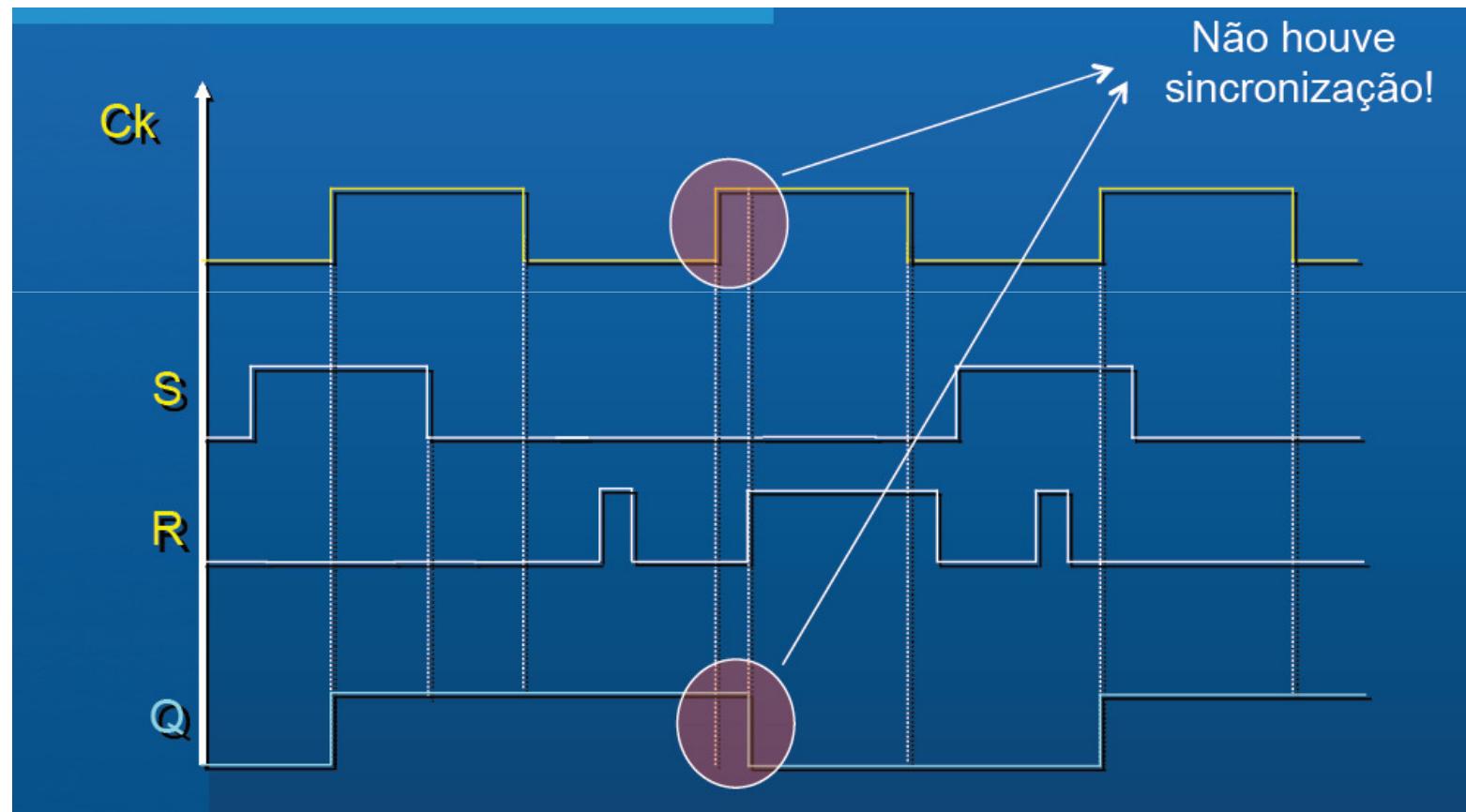
- Em um sistema sequencial completo, que contém vários componentes digitais síncronos, as entradas de alguns deles podem ser ligadas às saídas de outros componentes;
- Todos eles devem seguir o mesmo pulso de *clock*;
- Para que a resposta final do sistema seja confiável, é necessário que cada circuito execute uma operação por ciclo do *clock*.



Circuitos Sequenciais Síncronos

- Nesse caso, é necessário saber o momento exato da variação do valor de saída de cada componente, ou seja, é necessário que as mudanças sejam sincronizadas com o *clock* do sistema;
- Se o flip-flop for sensível à nível, ele fica “transparente” à mudanças de estado na entrada durante todo o $\frac{1}{2}$ período do *clock*, e a saída pode variar durante esse tempo, fazendo com que a sincronização não seja perfeita.

Flip-Flop RS Síncrono – Sensível a Nível - Comportamento



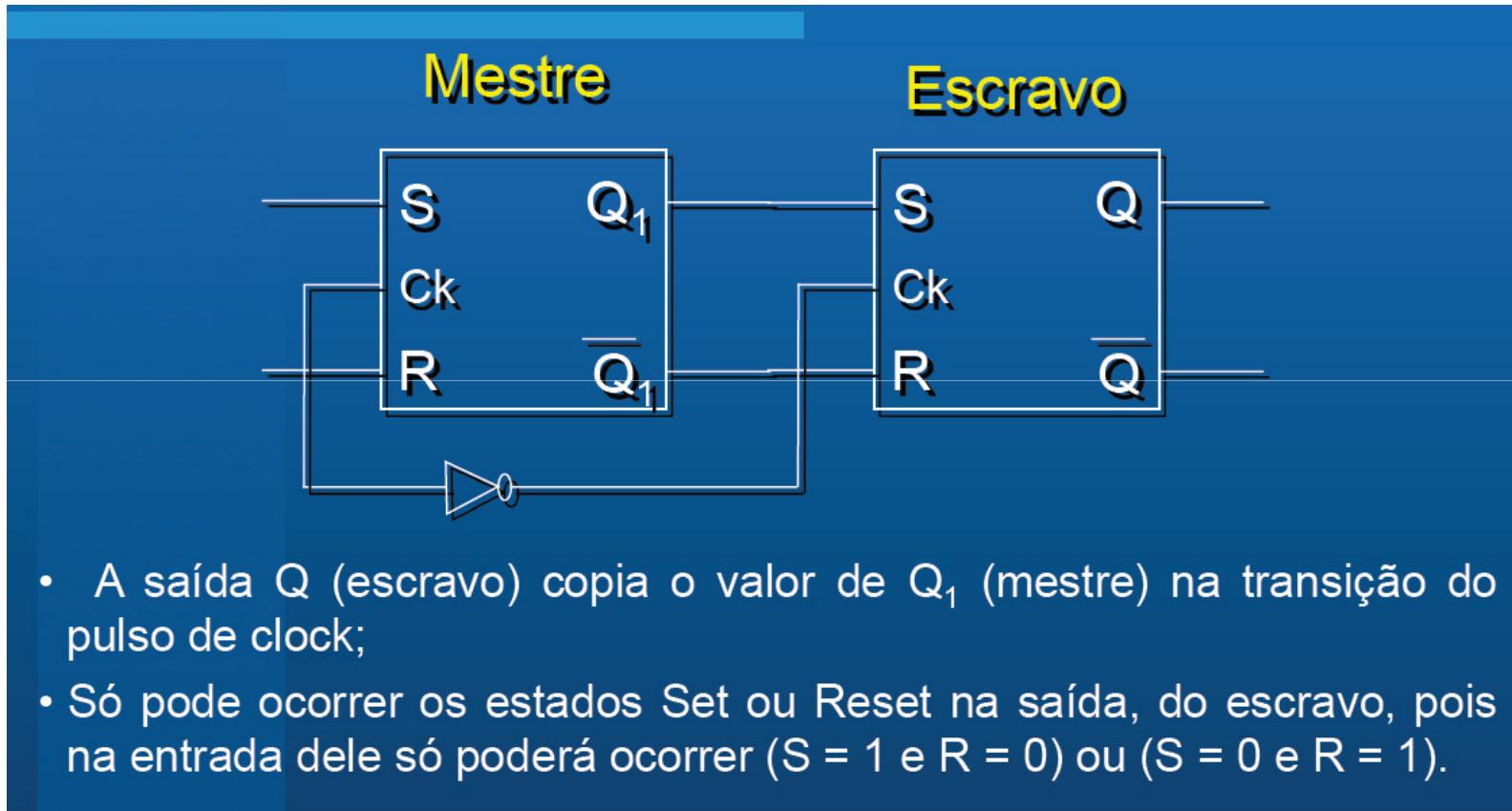


Flip-Flop Mestre Escravo

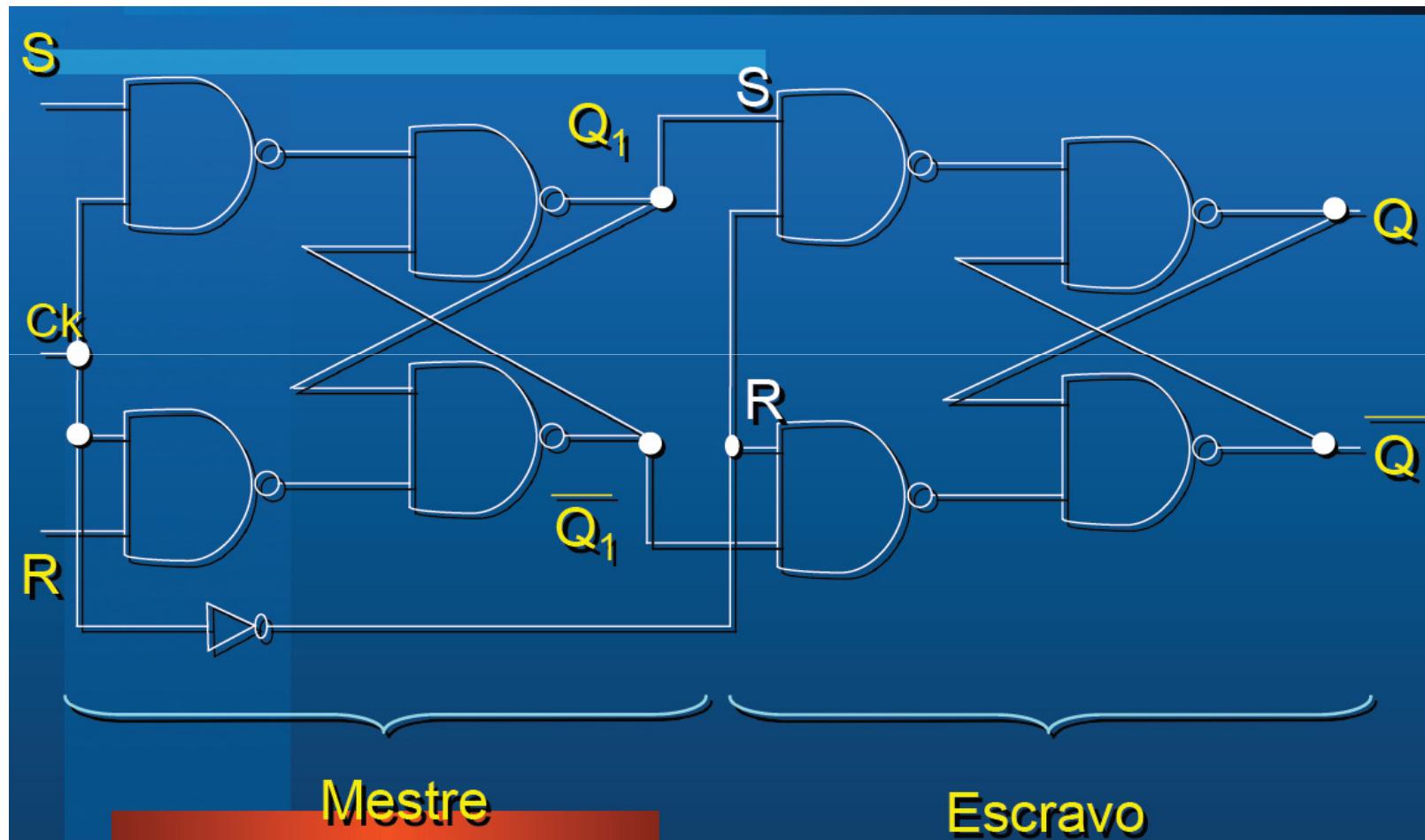
- Solução:

- Resolve o problema de sincronização fazendo com que o FF não altere a saída durante o $\frac{1}{2}$ período do *clock*;
- A mudança na saída só pode ocorrer na transição do pulso de *clock*, e mantém a saída em estado de memória até a próxima transição;
- Consiste em dois FFs individuais interligados de modo que um seja o mestre (*master*) e o outro o escravo (*slave*).

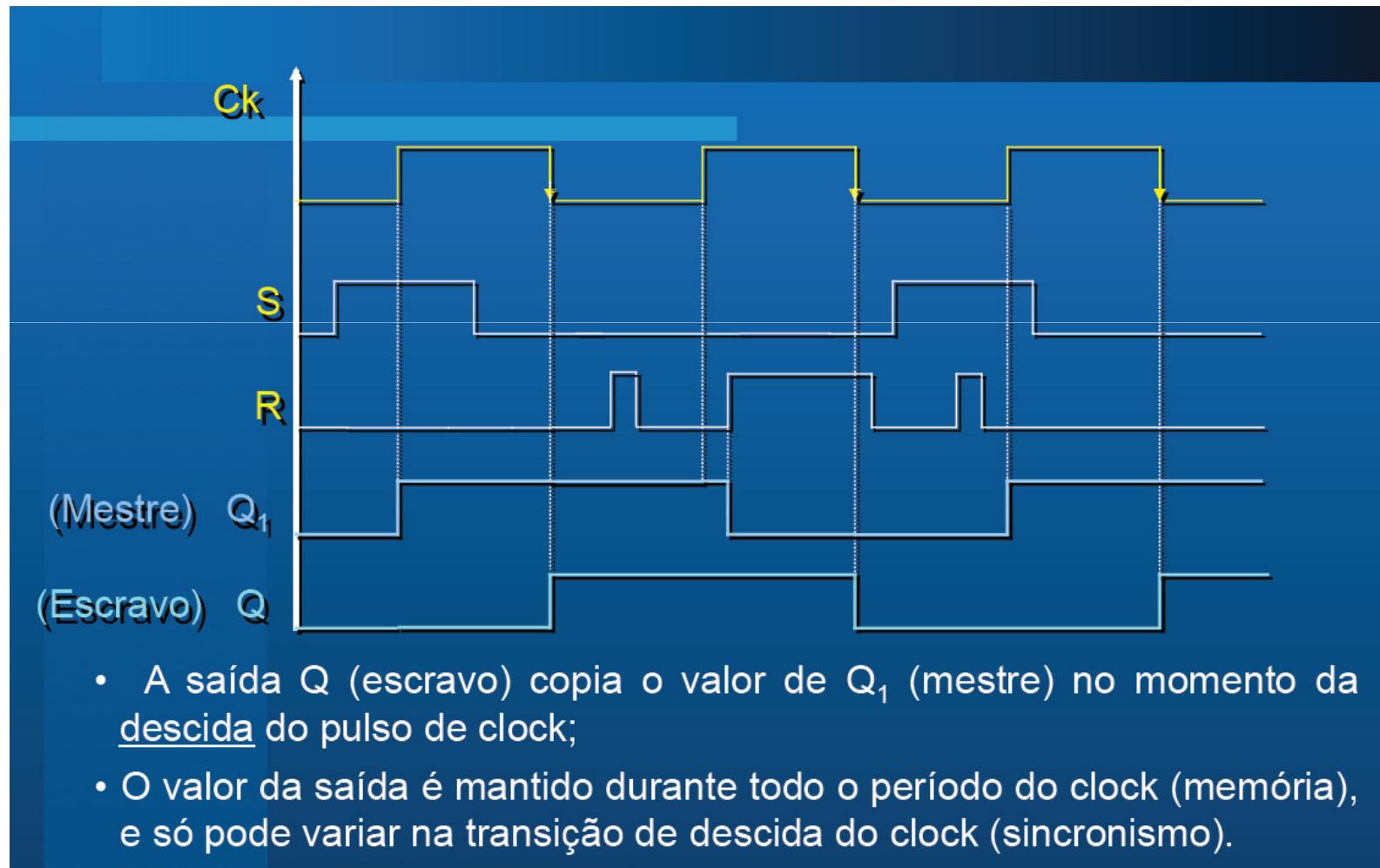
Flip-Flop Mestre Escravo



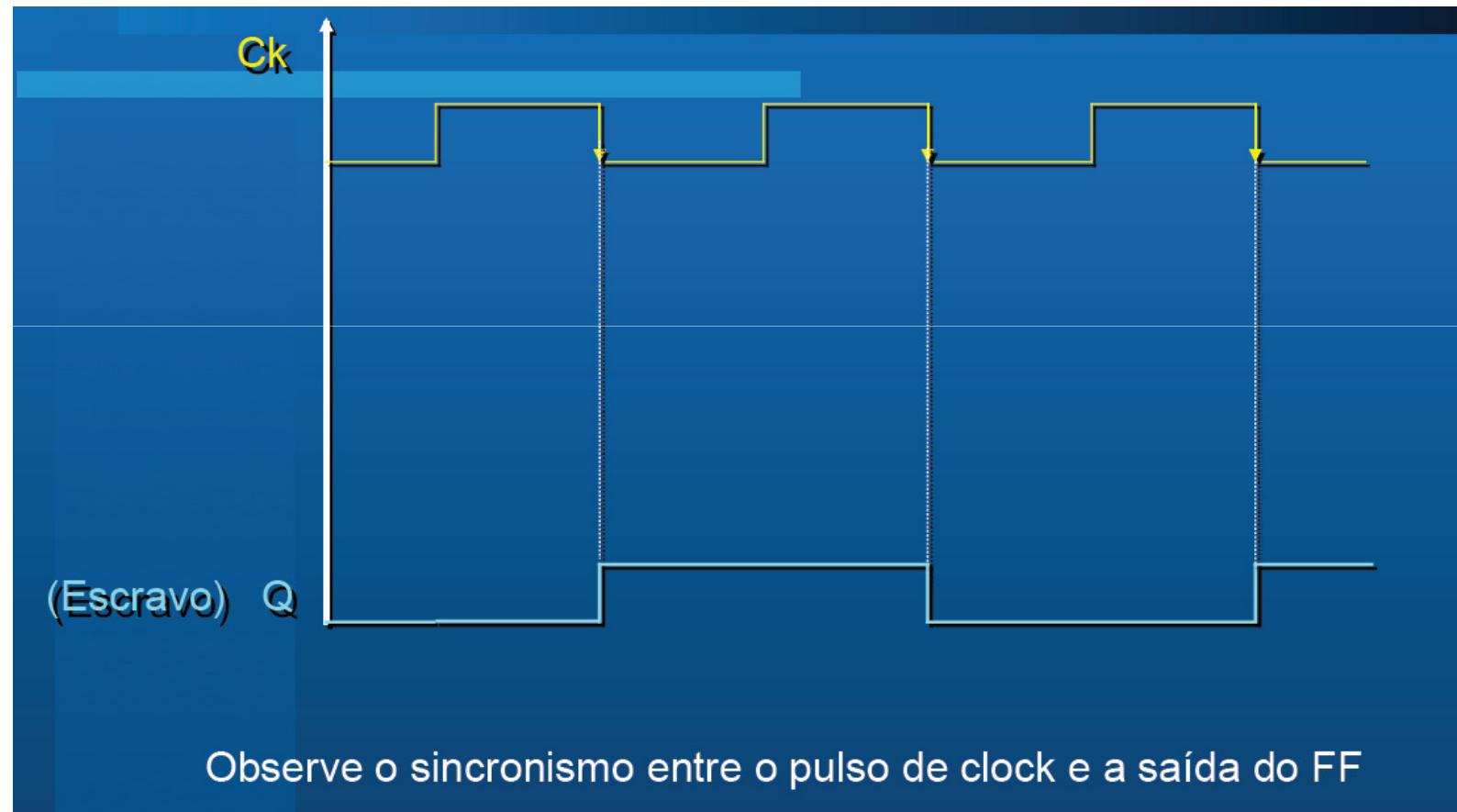
Flip-Flop RS – Mestre Escravo



Flip-Flop RS – Mestre Escravo - Comportamento



Sincronismo





Problema com o FF Mestre Escravo

- Apesar de garantir que o estado de saída só se altere na borda de descida do pulso de *clock*, durante o $\frac{1}{2}$ período positivo do *clock*, o estado do FF mestre pode alterar, resultando em operação imprevisível na saída;
- Assim, para um perfeito sincronismo, é necessário garantir que as estradas sejam mantidas extremamente estáveis durante todo o período do *clock*;
- Por isso, atualmente, o FF Mestre/Escravo tornou-se obsoleto, e foram substituídos por FF disparados por borda.



Referências

- I.Tocci, R. J. **Sistemas Digitais - Princípios e Aplicações**. Pearson, Prentice Hall, 2011.
- **Flip-Flop – Parte I.** SEL 0414 - Sistemas Digitais. Prof. Dr. Marcelo Andrade da Costa Vieira.