

! ! !

!

```

LW    R1, 0(R0)
LW    R2, 4(R0)
ADD   R3, R1, R2    ;a=b+e
SW    R3, 12(R0)
LW    R4, 8(R0)
ADD   R5, R1, R4    ;c=b+f
SW    R5, 16(R0)
  
```

EX ID WB ID
EX MEM ID
EX

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
|----------------|----|----|----|-----|-----|----|----|----|-----|
| LW R1, 0(R0) | IF | ID | EX | MEM | WB | | | | |
| LW R2, 4(R0) | | IF | ID | EX | MEM | WB | | | |
| ADD R3, R1, R2 | | | IF | ID | ID | ID | ID | EX | MEM |
| SW R3, 12(R0) | | | | IF | IF | IF | IF | ID | EX |
| LW R4, 8(R0) | | | | | | | | IF | ID |
| ADD R5, R1, R4 | | | | | | | | | IF |
| SW R5, 16(R0) | | | | | | | | | |

| | 10 | 11 | 12 | 13 | 14 | 15 |
|----------------|-----|-----|----|-----|-----|----|
| LW R1, 0(R0) | | | | | | |
| LW R2, 4(R0) | | | | | | |
| ADD R3, R1, R2 | WB | | | | | |
| SW R3, 12(R0) | MEM | WB | | | | |
| LW R4, 8(R0) | EX | MEM | WB | | | |
| ADD R5, R1, R4 | ID | ID | EX | MEM | WB | |
| SW R5, 16(R0) | IF | IF | ID | EX | MEM | WB |

15

```

LW    R1, 0(R0)
LW    R2, 4(R0)
LW    R4, 8(R0)
ADD   R5, R1, R4    ;c=b+f    LW
SW    R5, 16(R0)
ADD   R3, R1, R2    ;a=b+e    LW
SW    R3, 12(R0)
  
```

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 |
|--------------|----|----|----|-----|----|---|---|---|---|----|----|----|
| LW R1, 0(R0) | IF | ID | EX | MEM | WB | | | | | | | |

| | | | | | | | | | | | | | |
|----------------|--|----|----|----|-----|-----|----|-----|-----|-----|-----|----|--|
| LW R2, 4(R0) | | IF | ID | EX | MEM | WB | | | | | | | |
| LW R4, 8(R0) | | | IF | ID | EX | MEM | WB | | | | | | |
| ADD R5, R1, R4 | | | | IF | ID | ID | EX | MEM | WB | | | | |
| SW R5, 16(R0) | | | | | IF | IF | ID | EX | MEM | WB | | | |
| ADD R3, R1, R2 | | | | | | | IF | ID | EX | MEM | WB | | |
| SW R3, 12(R0) | | | | | | | | IF | ID | EX | MEM | WB | |

12 3

MEM EX

WB EX

13-11=2

13

| | | | | | | | | | | | | | |
|----------------|----|----|----|-----|-----|----|-----|-----|-----|-----|-----|----|----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 |
| LW R1, 0(R0) | IF | ID | EX | MEM | WB | | | | | | | | |
| LW R2, 4(R0) | | IF | ID | EX | MEM | WB | | | | | | | |
| ADD R3, R1, R2 | | | IF | ID | ID | EX | MEM | WB | | | | | |
| SW R3, 12(R0) | | | | IF | IF | ID | EX | MEM | WB | | | | |
| LW R4, 8(R0) | | | | | | IF | ID | EX | MEM | WB | | | |
| ADD R5, R1, R4 | | | | | | | IF | ID | EX | MEM | WB | | |
| SW R5, 16(R0) | | | | | | | | IF | ID | EX | MEM | WB | |

LW R1, 0(R0)
 LW R2, 4(R0)
 LW R4, 8(R0)
 ADD R3, R1, R2 ;a=b+e
 ADD R5, R1, R4 ;c=b+f
 SW R3, 12(R0)
 SW R5, 16(R0)
 11 2

!!

!

与

与

!

MIPS

LW R1, 0(R0) ; load A
 LW R2, 4(R0) ; load B
 ADD R3, R1, R2 ; A=A+B
 SUB R4, R3, R2 ; C=A-B
 SW R3, 0(R0) ; store A
 SW R4, 8(R0) ; store C

| | | | | | | | | | | | | | | | |
|----------------|----|----|----|-----|-----|----|----|----|-----|----|----|----|----|----|----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| LW R1, 0(R0) | IF | ID | EX | MEM | WB | | | | | | | | | | |
| LW R2, 4(R0) | | IF | ID | EX | MEM | WB | | | | | | | | | |
| ADD R3, R1, R2 | | | IF | ID | ID | ID | ID | EX | MEM | WB | | | | | |

| | | | | | | | | | | | | | | | |
|----------------|--|--|--|----|----|----|----|----|----|----|----|----|-----|-----|----|
| SUB R4, R3, R2 | | | | IF | IF | IF | IF | ID | ID | ID | ID | EX | MEM | WB | |
| SW R3, 0(R0) | | | | | | | | IF | IF | IF | IF | ID | EX | MEM | WB |
| SW R4, 8(R0) | | | | | | | | | | | | IF | ID | ID | ID |

| | | | |
|----------------|----|-----|----|
| | 16 | 17 | 18 |
| LW R1, 0(R0) | | | |
| LW R2, 4(R0) | | | |
| ADD R3, R1, R2 | | | |
| SUB R4, R3, R2 | | | |
| SW R3, 0(R0) | | | |
| SW R4, 8(R0) | EX | MEM | WB |

!!

!

| | | | |
|-------|-------|-------------|-----------------|
| | ADDIU | R3, R0, N | ; N |
| | SLL | R3, R3, 2 | ; N*4 |
| | ADDU | R3, R1, R3 | ; R3=R1+N*4 |
| Loop: | LWC1 | F1, 0(R1) | ; load X(i) |
| | LWC1 | F2, 0(R2) | ; load Y(i) |
| | MUL.S | F3, F0, F1 | ; a*X(i) |
| | ADD.S | F4, F2, F3 | ; a*X(i)+Y(i) |
| | ADDIU | R1, R1, 4 | ; i++ for X |
| | ADDIU | R2, R2, 4 | ; i++ for Y |
| | BNE | R1,R3, Loop | |
| | SWC1 | F4, -4(R1) | ; store to X(i) |

X

EX

| | | | | | | | | | |
|------------------|----|----|----|-----|-----|-----|-----|-----|-----|
| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 |
| LWC1 F1, 0(R1) | IF | ID | EX | MEM | WB | | | | |
| LWC1 F2, 0(R2) | | IF | ID | EX | MEM | WB | | | |
| MUL.S F3, F0, F1 | | | IF | ID | EX1 | EX2 | EX3 | EX4 | MEM |
| ADD.S F4, F2, F3 | | | | IF | ID | ID | ID | ID | EX1 |
| ADDIU R1, R1, 4 | | | | | IF | IF | IF | IF | ID |
| ADDIU R2, R2, 4 | | | | | | | | | IF |
| BNE R1,R3, Loop | | | | | | | | | |
| SWC1 F4, -4(R1) | | | | | | | | | |

| | | | | | | | | |
|----------------|----|----|----|----|----|----|----|----|
| | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 |
| LWC1 F1, 0(R1) | | | | | | | | |
| LWC1 F2, 0(R2) | | | | | | | | |

| | | | | | | | | |
|------------------|-----|-----|-----|-----|-----|-----|-----|----|
| MUL.S F3, F0, F1 | WB | | | | | | | |
| ADD.S F4, F2, F3 | EX2 | EX3 | MEM | WB | | | | |
| ADDIU R1, R1, 4 | ID | ID | EX | MEM | WB | | | |
| ADDIU R2, R2, 4 | IF | IF | ID | EX | MEM | WB | | |
| BNE R1,R3, Loop | | | IF | ID | EX | MEM | WB | |
| SWC1 F4, -4(R1) | | | | IF | ID | EX | MEM | WB |

!!与!

(1)99

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
|-----------------|----|----|----|-----|----|----|-----|----|----|-----|-----|
| LD R1, 0(R2) | IF | ID | EX | MEM | WB | | | | | | |
| DADDI R1, R1, 4 | | IF | ID | ID | ID | EX | MEM | WB | | | |
| SD R1, 0(R2) | | | IF | IF | IF | ID | ID | ID | EX | MEM | WB |
| DADDI R2, R2, 4 | | | | | | IF | IF | IF | ID | EX | MEM |
| DSUB R4, R3, R2 | | | | | | | | | IF | ID | ID |

BNEZ R4, LoopIFIF

Loop:

| | |
|-------|------------|
| LD | R1, 0(R2) |
| DADDI | R2, R2, #4 |
| DSUB | R4, R3, R2 |
| DADDI | R1, R1, #4 |
| BNEZ | R4, Loop |
| SD | -4(R2), R1 |

| | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
|-----------------|----|----|----|-----|-----|-----|-----|-----|-----|-----|----|
| LD R1, 0(R2) | IF | ID | EX | MEM | WB | | | | | | |
| DADDI R2, R2, 4 | | IF | ID | EX | MEM | WB | | | | | |
| DSUB R4, R3, R2 | | | IF | ID | EX | MEM | WB | | | | |
| DADDI R1, R1, 4 | | | | IF | ID | EX | MEM | WB | | | |
| BNEZ R4, Loop | | | | | IF | ID | EX | MEM | WB | | |
| SD -4(R2), R1 | | | | | | IF | ID | EX | MEM | WB | |
| LD R1, 0(R2) | | | | | | | IF | ID | EX | MEM | WB |

99

6

10

6 $99+10=604$

! !

(nop) 与

nop

memory

alignment

hazard

branch delay slot

! !

(1) ALU

!

与

！

！

！

！

！！

！

与

！

！

与

！

！

！

！！

！

！

！

！

！

！

！

！

! 与 !!

| | | | | |
|---|---|---|---|---|
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |

The diagram illustrates two 2D grids of nodes, represented by exclamation marks (!).

Left Grid (4x2):

- Top row: 2 nodes.
- Second row: 2 nodes.
- Third row: 2 nodes.
- Bottom row: 2 nodes.

Right Grid (4x3):

- Top row: 3 nodes.
- Second row: 3 nodes.
- Third row: 3 nodes.
- Bottom row: 3 nodes.

A diagram showing a 2x2 grid. Each of the four cells in the grid contains an exclamation mark (!).

| | | | | |
|---|---|---|---|---|
| ! | ! | ! | ! | ! |
|---|---|---|---|---|

! !

| | |
|---|---|
| ! | ! |
| ! | ! |
| ! | ! |
| ! | ! |

! ! ! !

!

| | | | | |
|---|---|---|---|---|
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |

| | | | |
|---|---|---|---|
| ! | ! | ! | ! |
| ! | ! | ! | ! |
| ! | ! | ! | ! |
| ! | ! | ! | ! |

| | | | | |
|---|---|---|---|---|
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |
| ! | ! | ! | ! | ! |

!

!

!!

!

! ! !

!

与

!

!

!

!

!

！

！

！

与

！

！

！

！

！

！

！

！

| | | | |
|---|---|---|----|
| ！ | ！ | ！ | ！！ |
| ！ | ！ | ！ | ！ |
| ！ | ！ | ！ | ！ |
| ！ | ！ | ！ | ！ |

！

！

！

！

！

！

！

与

！

_____！

_____与！

！

！_____！

！

！

| | | | |
|----|--------|------------|--------------------|
| L: | L.D | F0, 0(R1) | ; load X[i] |
| | L.D | F6, -8(R1) | ; load X[i-1] |
| | MUL.D | F0, F0, F2 | ; a*X[i] |
| | MUL.D | F6, F6, F2 | ; a*X[i-1] |
| | L.D | F4, 0(R2) | ; load Y[i] |
| | L.D | F8, -8(R2) | ; load Y[i-1] |
| | ADD.D | F0, F0, F4 | ; a*X[i] + Y[i] |
| | ADD.D | F6, F6, F8 | ; a*X[i-1]+ Y[i-1] |
| | DSUBUI | R2, R2, 16 | |
| | DSUBUI | R1, R1, 16 | |
| | S.D | F0, 16(R2) | ; store Y[i] |
| | S.D | F6, 8(R2) | ; store Y[i-1] |
| | BNEZ | R1, L | |

!

!

!

!

| | 定点指令线 | | 浮点指令线 | |
|----|--------|--------------|-------|---------------|
| L: | L.D | F0, 0(R1) | | |
| | L.D | F6, -8(R1) | | |
| | L.D | F10, -16(R1) | MUL.D | F0, F0, F2 |
| | L.D | F14, -24(R1) | MUL.D | F6, F6, F2 |
| | L.D | F4, 0(R2) | MUL.D | F10, F10, F2 |
| | L.D | F8, -8(R2) | MUL.D | F14, F14, F2 |
| | L.D | F12, -16(R2) | ADD.D | F0, F0, F4 |
| | L.D | F16, -24(R2) | ADD.D | F6, F6, F8 |
| | DSUBUI | R2, R2, 32 | ADD.D | F10, F10, F12 |
| | DSUBUI | R1, R1, 32 | ADD.D | F14, F14, F16 |
| | S.D | F0, 32(R2) | | |
| | S.D | F6, 24(R2) | | |
| | S.D | F10, 16(R2) | | |

| | | | | |
|--|------|-------|--|--|
| | BNEZ | R1, L | | |
|--|------|-------|--|--|

!

!

!

! !

```
int main()
{
    // initialize the X[i] and Y[i];
    int i;
    for (i=100; i>=0; i--)
        Y[i] = a*X[i] + Y[i];
    return 0;
}
```

gcc -O 与 -O1, -O2, 与 -O3

5. :

$$n \quad t^2+m$$

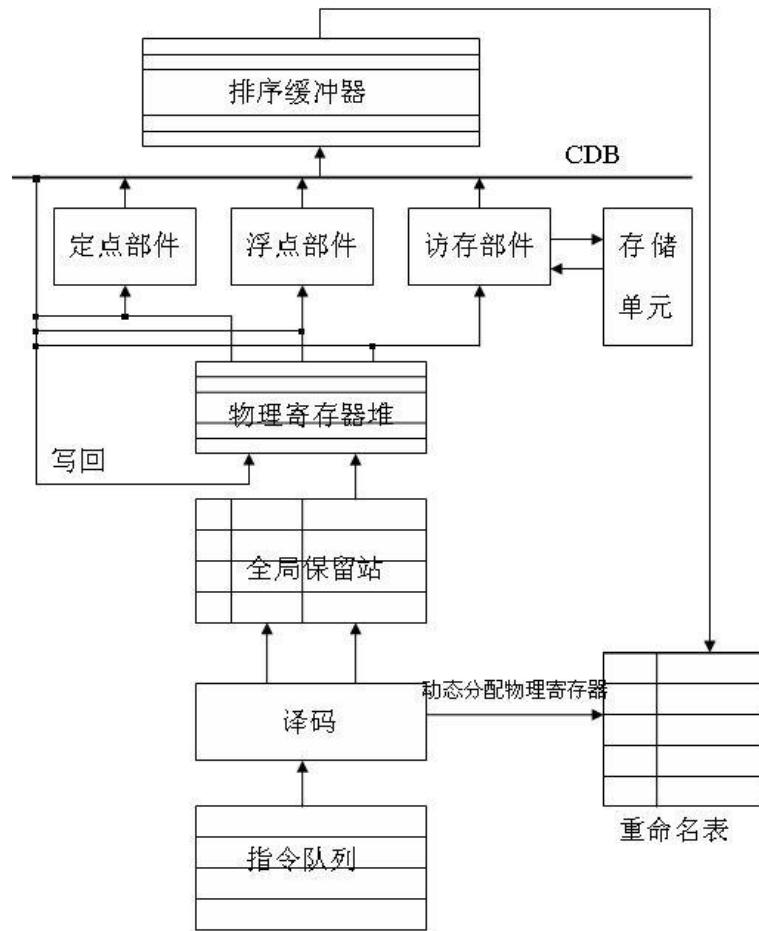
$$n \qquad \qquad \qquad n$$

$$\qquad \qquad \qquad \text{与}$$

$$t^2 \qquad \qquad \qquad n \cdot t^2$$

$$m \qquad \qquad \qquad n \cdot t^2+m$$

6.



!

!

!

!

!

!

!

!

!

与

!

!

7.

Intel Nehalem Core P6 Netburst P6

cache 16 byte

4 X86 6 micro-instruction 3

3 4 commit

14 Instruction queue

ROB

Scheduler ROB ROB

P6 Unified Reservation Station

36 Nehalem 128 in-fly

Nehalem

Sandy

Bridge Nehalem

Forwarding

30% load store 与

Nehalem 128 load 128

store MOB Memory Order Buffer

MOB load store

MOB load buffer store buffer Load buffer 48

store buffer 36 load store 10 fill buffer

cache Nehalem cache cache 32KB cache 256KB

cache 8MB cache

Nehalem

Nehalem

BTB Branch

Prediction Unit BPU

Nehalem

Loop stream detection LSD

与

X86

Netburst

Trace cache

X86