

دانشکده مهندسی کامپیوتر

دكتر ميثم عبداللهى

زمستان ۱۴۰۰

تمرین سری اول

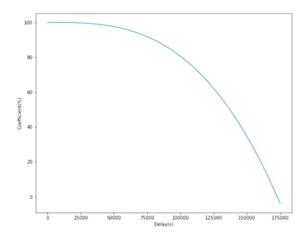
طراحي كامپيوتري سيستمهاي ديجيتال

عرشیا آرین نژاد – ملیکا نوبختیان

تاریخ تحویل: سهشنبه ۱۷ اسفند ساعت ۵۹:۵۹:۲۳

قوانين:

- ♣ سوالات این تمرین از مبحث «مقدمات Verilog و طراحی Structrual» میباشد. لذا برای پاسخ به سوالات این تمرین، نیاز به دانش نسبی درمورد این مبحث دارید.
 - این تمرین شامل ۳ سوال منحصرا عملی میباشد.
- ♣ درصورت وجود هرگونه سوال، در کلاس درس و یا در گروه تلگرامی درس بپرسید. (لطفا پیوی پیام ندهید.)
- ♣ هرگونه ایده گرفتن از تمرین دیگران و کدهای موجود در اینترنت که موجب تشابه غیرعادی و بالای کد شما با دیگری شود، تقلب محسوب می شود. در صورت مشاهده ی تقلب، نمره ی تمرین برای هر دو دانشجوی متخلف صفر منظور خواهد شد.
 - 🕹 طراحی خود با استفاده از نرمافزار modelsim انجام دهید.
- ♣ لطفا برای انجام تمرین، زمان مناسب اختصاص دهید و انجام آن را به روزهای پایانی موکول نکنید. دقت کنید تمرین به هیچ عنوان تمدید نخواهد شد.
- ♣ پا سخ ار سالی شما باید علاوه بر کدهای مربوطه و شامل یک گزارش در قالب یک فایل PDF با شد که محتوای گزارش مربوطه توضیحات تکمیلی شما درخصوص هر سوال و Waveform آن باشد.
- ♣ تمامی فایل های موردنیاز برای تمرین را به صورت یک فایل ZIP با فرمت شماره دانشجویی_نام و نام ا خانوادگی_HW1 نام گذاری کرده و در Quera ارسال کنید. (برای مثال HW1_NameFamily_98000000)
- ا تأخیر در ارسال تمرینها براساس نمودار زیر محاسبه خواهد شد. محور افقی نمودار، مقدار تاخیر به ثانیه و محور عمودی، ضریب اعمالی در نمره تمرین است.



سوال اول

J-K flip flop

برنامهای به زبان Verilog و به صورت Structural برای J-K flip flop بنویسید و شبیهسازی آن را با استفاده Waveform انجام دهید.

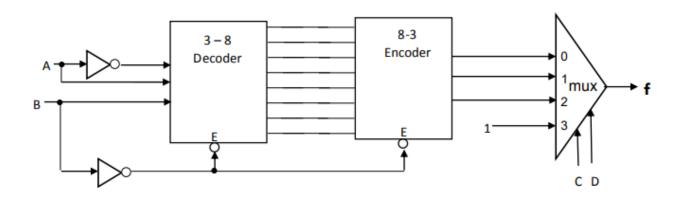
سوال دوم

Circuit Design

مدار زیر را طراحی کنید بصورتی که A در آن MSB و D در آن LSB است و E سیگنال Enable است و اگر فعال نباشد مقدار خروجی سیگنال های encoder و decoder مقدار صفر خواهند داشت.

می توانید ورودی را یک سیگنال ۵ بیتی در نظر بگیرید و طبق گفته ی سوال A را MSB و D را LSB در نظر بگیرید و یا ۵ سیگنال تک بیتی جداگانه به عنوان ورودی در نظر بگیرید.

برای این سوال شبیه سازی با استفاده از Waveform انجام دهید.



سوال سوم

4-bit Adder/Subtractor

برنامه ای به زبان Verilog و به صورت Structural برای یک ۴ Adder/Subtractor بیتی بنویسید که دارای یک structural بیتی بنویسید که دارای یک سیگنال ورودی به نام select است که با توجه به آن نتیجه جمع یا تفریق را به عنوان خروجی انتخاب می کند. برای این سوال شبیه سازی با استفاده از Waveform انجام دهید.