



دانشکده مهندسی کامپیوتر

دکتر میثم عبداللہی

بهار ۱۴۰۰

تمرین سری دوم

طراحی کامپیوتری سیستم‌های دیجیتال

پارسا کنگاوری - شایان موسوی نیا

تاریخ تحویل: جمعه ۱۹ فروردین ساعت ۲۳:۵۹:۵۹

قوانین:

سوال‌ات این تمرین از مبحث «طراحی Behavioural» می‌باشد. لذا برای پاسخ به سوال‌ات این تمرین، نیاز به دانش نسبی در مورد این مبحث دارید.

این تمرین شامل ۳ سوال منحصرأ عملی می‌باشد.

در صورت وجود هرگونه سوال، در کلاس درس و یا در گروه تلگرامی درس بپرسید. (لطفا پی‌وی پیام ندهید).

هرگونه ایده گرفتن از تمرین دیگران و کدهای موجود در اینترنت که موجب تشابه غیرعادی و بالای کد شما با

دیگری شود، تقلب محسوب می‌شود. در صورت مشاهده‌ی تقلب، نمره‌ی تمرین برای هر دو دانشجوی متخلف صفر منظور خواهد شد.

برای هر سوال باید Testbench نیز طراحی کنید.

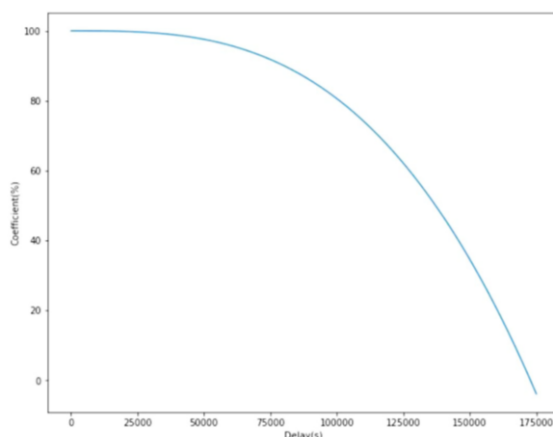
لطفاً برای انجام تمرین، زمان مناسب اختصاص دهید و انجام آن را به روزهای پایانی موکول نکنید. دقت کنید تمرین به هیچ عنوان تمدید نخواهد شد.

پاسخ ارسالی شما باید علاوه بر کدهای مربوطه و فایل Proteus از مدار طراحی شده برای هر سوال، شامل یک گزارش در قالب یک فایل PDF باشد که محتوای گزارش مربوطه توضیحات تکمیلی شما درخصوص هر سوال و اسکرین‌شات از نتیجه اجرای کدهای شما باشد.

تمامی فایل‌های موردنیاز برای تمرین را به صورت یک فایل ZIP با فرمت **شماره دانشجویی_نام و نام**

خانوادگی_HW2 نام‌گذاری کرده و ارسال کنید. (برای مثال HW2_NameFamily_98000000)

تأخیر در ارسال تمرین‌ها براساس نمودار زیر محاسبه خواهد شد. محور افقی نمودار، مقدار تأخیر به ثانیه و محور عمودی، ضریب اعمالی در نمره تمرین است.



سوال اول

ALU ساده

در این مسئله قصد داریم با بهم‌بندی ماژول‌های ساخته‌شده، یک ALU بسیار ساده با قابلیت انجام چند عملیات پردازشی محدود را انجام دهد. در ابتدا ماژول‌های زیر را طراحی و پیاده‌سازی کنید:

- ماژولی طراحی کنید که با دریافت دو عدد صحیح، حاصل جمع آن دو را خروجی دهد.
- ماژولی طراحی کنید که با دریافت دو عدد صحیح، حاصل تفریق عدد اول از عدد دوم را خروجی دهد.
- ماژولی طراحی کنید که با دریافت دو عدد صحیح، حاصل ضرب آن دو را خروجی دهد.
- ماژولی طراحی کنید که با دریافت دو عدد صحیح، حاصل تقسیم عدد اول بر عدد دوم را خروجی دهد.
- ماژولی طراحی کنید که با دریافت دو عدد صحیح، ب.م.م آن دو را خروجی دهد.
- ماژولی طراحی کنید که با دریافت دو عدد صحیح، حاصل عدد اول به توان عدد دوم را خروجی دهد.

در ادامه یک مالتیپلکسر 3×8 پیاده‌سازی کنید. توجه فرمایید که این مالتیپلکسر باید با استفاده از روش behavioral پیاده‌سازی شده باشد نه با استفاده از گیت‌های منطقی.

در نهایت با توجه به جدول زیر، ALU را طوری پیاده‌سازی کنید که با دریافت ۲ عدد صحیح و ۳ bit به‌عنوان selector عملیات مناسب را انجام دهد:

عملیات	Selector
جمع	"000"
تفریق	"001"
ضرب	"010"
تقسیم	"011"
ب.م.م	"100"
توان	"101"

توجه فرمایید که اعداد ورودی و خروجی نمایش بیتی ندارند و اعداد صحیح هستند و این سوال صرفاً یک شبیه‌سازی است.

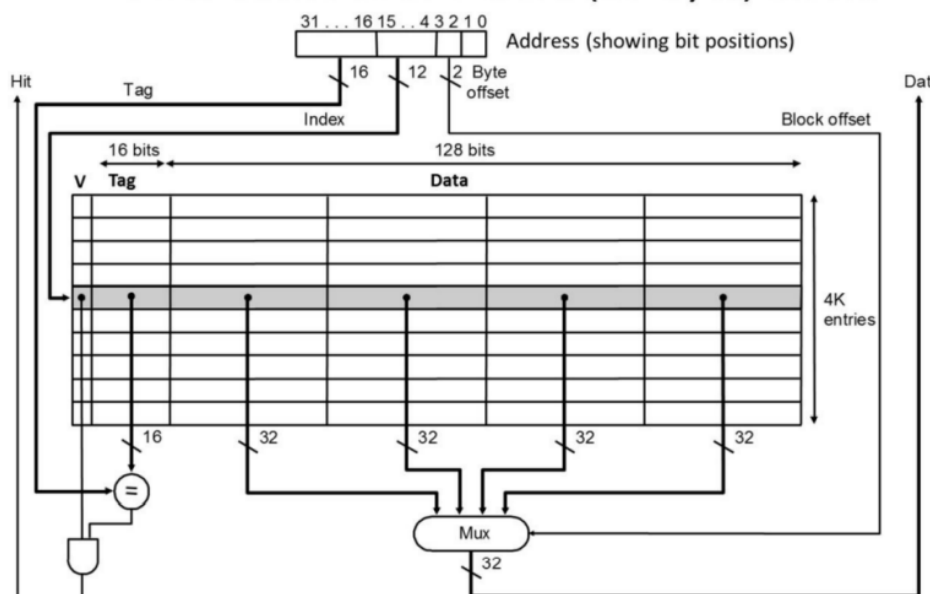
سوال دوم

Cache

یک حافظه Cache و یک Cache Controller را با توجه به نکات زیر پیاده‌سازی نمایید.

- اندازه حافظه Cache برابر ۶۴ کیلوبایت خواهد بود.
- هر Block حافظه ۴ word را ذخیره می‌کند. (هر word ۳۲ بیت را در خود جای می‌دهد).
- حافظه Cache دارای valid bit می‌باشد تا نشان دهد داده درون یک Block معتبر است یا خیر.
- Address Bus حافظه اصلی ۳۲ بیت است و Data Bus حافظه اصلی ۱ Word می‌باشد.
- به ازای هر عملیات Read از Cache میبایست مرتبه Hit Signal را تعیین نمایید. (سیگنال hit یک سیگنال خروجی است و وقتی داده درون Cache پیدا شد این سیگنال باید ۱ شود و در غیر این صورت ۰).

64KB Cache with 4-word (16-byte) blocks



سوال سوم

صف اولویت

با استفاده از زبان Verilog یک صف اولویت بسازید. این صف ۱۶ خانه دارد که هر کدام از خانه‌ها ۸ بیت را در خود ذخیره می‌کند. این صف دو سیگنال جهت عملیات‌های Enqueue و Dequeue به منظور وارد کردن داده و خارج کردن داده از صف را دارد. در صف اولویت، هر بسته دارای اولویت است؛ بدین شکل که بسته‌ای با اولویت بیشتر جلوتر از بسته با اولویت کمتر قرار می‌گیرد. مقدار قطعی هر بسته اولویت آن را تعیین می‌کند. (هر چه عدد بزرگ‌تر، اولویت بیشتر) فرض کنید مقادیر بسته‌ها اعداد Unsigned هستند.

موفق باشید.