

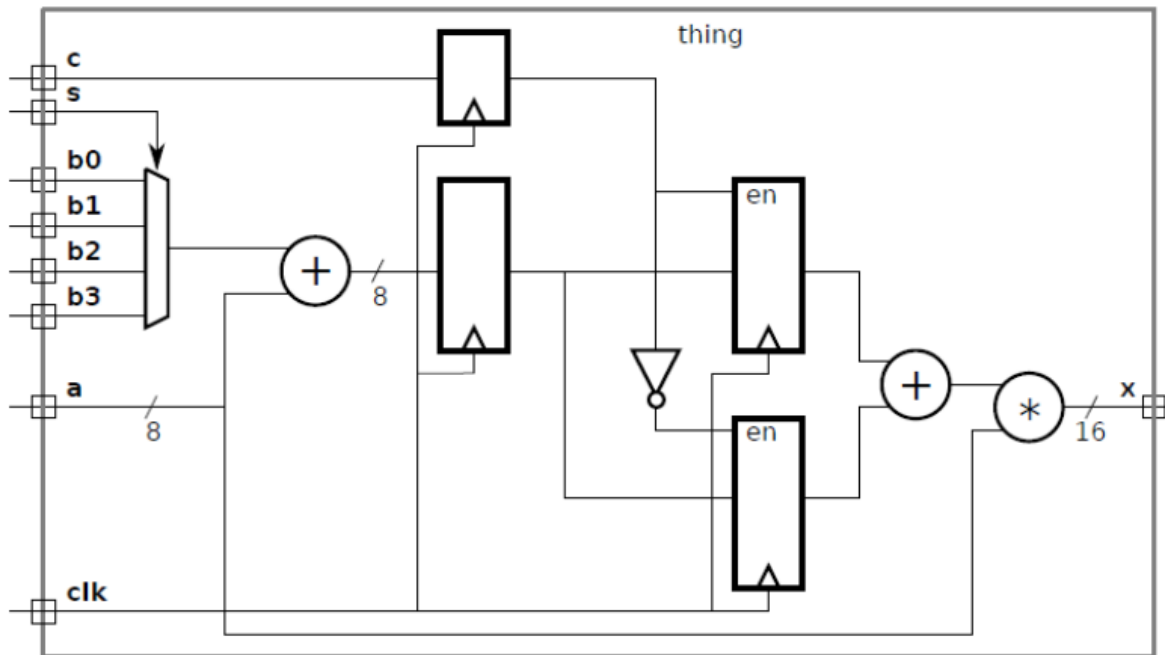


آزمون میان ترم درس طراحی کامپیوتری سیستم‌های دیجیتال

نسخه: ۱

۱- سوالات

۱- با توجه به hardware زیر یک طراحی structural به زبان Verilog بنویسید.



۲- در این سوال قصد داریم ماژول‌های مختلف را با استفاده از Verilog برای یک آرایه ۱۵ تایی از اعداد ۸ بیتی پیاده‌سازی کنیم:

الف) یک ماژول پیاده‌سازی کنید که میانگین داده‌ها را حساب کند.

ب) یک ماژول پیاده‌سازی کنید که میانه این مجموعه از داده‌ها را محاسبه کند.

ج) یک ماژول پیاده‌سازی کنید که مقدار مُد را در این مجموعه داده‌ها به دست آورد.

۳- در قطعه کدهای زیر زیر A, B, C و D در زمان 10ns صفر هستند. اگر مقدار D در زمان 20ns به ۱ تغییر کند، زمان‌هایی را که مقادیر A, B و C تغییر خواهند کرد را مشخص کرده و مقادیر نسبت داده شده به آن‌ها را نشان دهید:

(الف)

```
always @(D)
begin
    #5 A <= 1;
    B <= A + 1;
    #10 C <= B;
end
```

(ب)

```
always @(D)
begin
    A <= #5 1;
    B <= A + 1;
    C <= #10 B;
end
```

۴- ساعت زنگ دار

در این سوال باید شما باید مداری برای یک ساعت زنگدار طراحی کنید. این مدار دارای یک سیگنال clk است که گذر ثانیه را مشخص می‌کند. برای نشان دادن ساعت توسط این مدار ۸ بیت برای دقیقه خواهیم داشت که ۴ بیت آن برای رقم کم ارزش و ۴ بیت دیگر برای رقم پر ارزش خواهد بود و برای ساعت نیز ۴ بیت برای رقم ارزش و ۲ بیت برای رقم پر ارزش آن نیاز خواهیم داشت. سیگنال reset تمام مقادیر دقیقه و ساعت را صفر خواهد کرد. اگر سیگنال set_clock برابر ۱ باشد می‌توانیم ساعت دلخواه خود را ورودی داده و تنظیم کنیم. هم چنین اگر set_alarm برابر ۱ باشد با ورودی دادن زمان دلخواه خود، زنگ ساعت را تنظیم می‌کنیم. هر زمان در طول کار ساعت اگر به زمان مشخص شده برسیم، سیگنال alarm_on برابر ۱ خواهد شد و تا زمانی که stop_alarm تنظیم نشود این هشدار هم چنان روشن خواهد بود. مدار این سوال را با استفاده از زبان Verilog پیاده‌سازی کنید.