 <p>دانشگاه علم و صنعت ایران</p> <p>دانشکده مهندسی کامپیوتر</p> <p>مدرس: دکتر محسن سربانی</p>	معماری کامپیوتر	به نام او
	<p>نام و نام خانوادگی:</p> <p>شماره دانشجویی:</p> <p>توجه:</p> <ul style="list-style-type: none"> تاریخ تحویل: 1400/10/20 این تمرین 20 نمره امتیازی دارد. 	

سوالات فصل 4 و 5 پترسون (نمونه 2)

10

1 برای هر مورد **latency** های زیر داده شده است .

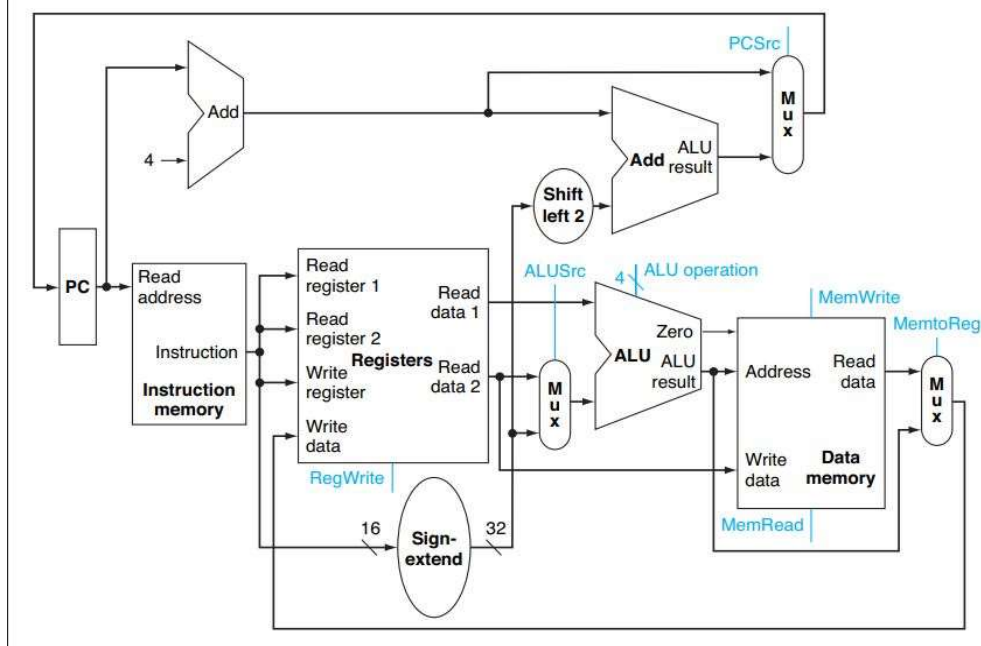
	I-Mem	Add	Mux	ALU	Regs	D-Mem	Sign-Extend	Shift-Left-2
a.	200ps	70ps	20ps	90ps	90ps	250ps	15ps	10ps
b.	750ps	200ps	50ps	250ps	300ps	500ps	100ps	0ps

الف) اگر تنها کار لازمی که در یک **processor** باید انجام بشود ، **fetch consecutive instruction** ها باشد ، مقدار **cycle time** را برای هر مورد **a , b** جداگانه پیدا کنید .

```

graph LR
    PC[PC] -- "Read address" --> IM[Instruction memory]
    IM -- "Instruction" --> Add[Add]
    PC -- "4" --> Add
    Add --> PC
  
```

ب) یک **data path** را مطابق شکل زیر در نظر بگیرید ، فرض کنید **processor** ما فقط یک نوع **instruction** دارد ، **unconditional pc relative branch** ، برای این مورد **cycle time** را برای این **data path** بدست آورید و شکل مراحل بکشید .



10

در این سوال می خواهیم تاثیر **pipeline** را بررسی کنیم و متوجه تاثیر آن روی **cycle time** بشویم .
مسیر زیر در نظر بگیرید .

	IF	ID	EX	MEM	WB
a.	250ps	350ps	150ps	300ps	200ps
b.	200ps	170ps	220ps	210ps	150ps

الف) **cycle time** برای حالتی که **pipeline** باشد و نباشد محاسبه کنید و با هم مقایسه کنید .
ب) کل **latency** برای دستور **LW** در **pipeline** و **non pipeline** را مقایسه کنید .

10

آدرس های 32 بیتی زیر را در نظر بگیرید .

3,180,43,2,191,88,190,14,181,44,186,253

برای هر یک از این رفرنس ها **binary address** را بنویسید ، قسمت **tag , index** را برای روش **direct map** با فرض 16 بلاک یک **word** ای محاسبه کنید ، برای هر کدام **Hit , Miss** را مشخص کنید .

10

توضیح دهید **reference bit , dirty bit** برای چه هستند و چه کاربردی دارند ؟

2

3

4

10	<p>این تمرین میزان مصرف انرژی و رابطه آن با بازدهی را بررسی میکند. دو جدول زیر را برای میزان مصرف انرژی و زمان مورد نیاز برای اجرای هر بخش در نظر بگیرید (مصرف انرژی و مدت زمان سایر قسمت‌ها را ناچیز در نظر بگیرید):</p> <table><tr><th>I-Mem</th><th>1 Register Read</th><th>Register Write</th><th>D-Mem Read</th><th>D-Mem Write</th></tr><tr><td>140pJ</td><td>70pJ</td><td>60pJ</td><td>140pJ</td><td>120pJ</td></tr></table> <table><tr><th>I-Mem</th><th>Control</th><th>Register Read or Write</th><th>ALU</th><th>D-Mem Read or Write</th></tr><tr><td>200ps</td><td>150ps</td><td>90ps</td><td>90ps</td><td>250ps</td></tr></table> <p>الف) چقدر انرژی برای اجرای یک دستور ADD در طراحی تک سیکلی و در طراحی خط لوله ای ۵ مرحله‌ای لازم است؟ این دو مورد را با هم مقایسه کنید.</p> <p>ب) بدترین دستورالعمل MIPS از نظر مصرف انرژی کدام است؟ مقدار مصرف انرژی برای اجرای آن را حساب کنید.</p>	I-Mem	1 Register Read	Register Write	D-Mem Read	D-Mem Write	140pJ	70pJ	60pJ	140pJ	120pJ	I-Mem	Control	Register Read or Write	ALU	D-Mem Read or Write	200ps	150ps	90ps	90ps	250ps	5
I-Mem	1 Register Read	Register Write	D-Mem Read	D-Mem Write																		
140pJ	70pJ	60pJ	140pJ	120pJ																		
I-Mem	Control	Register Read or Write	ALU	D-Mem Read or Write																		
200ps	150ps	90ps	90ps	250ps																		
10	<p>سلسله عملیات زیر را برای اجرا در خط لوله ۵ مرحله ای در نظر بگیرید:</p> <pre>add r5, r2, r1 lw r3, 4(r5) lw r2, 0(r2) or r3, r5, r3 sw r3, 0(r5)</pre> <p>الف) اگر امکان forwarding یا hazard detection وجود نداشته باشد به تعداد لازم nop را میان دستورات قرار دهید تا با ترتیب و نتیجه درست اجرا شوند.</p> <p>ب) قسمت (الف) را برای حالتی که امکان تغییر یا جابجایی دستورات وجود داشته باشد تکرار کنید.</p> <p>ج) اگر forwarding وجود داشته باشد اما یادمان رفته باشد hazard detection را پیاده‌سازی کرده باشیم چه اتفاقی ممکن است زمان اجرای کد بیفتد؟</p>	6																				
10	<p>در این تمرین تأثیر اجزای همزمان چندین پردازنده را بر روی یک بلوک cache مشترک بررسی میکنیم. دو پردازنده با دستورات زیر را در نظر بگیرید که بر روی یک بلوک cache با اندازه دو کلمه ۳۲ بیتی اجرا میشوند. در ابتدا $X[0] = X[1] = 0$</p> <table><tr><th>P1</th><th>P2</th></tr><tr><td><code>X[0] ++; X[1] = 3;</code></td><td><code>X[0] = 5; X[1] +=2;</code></td></tr></table> <p>الف) مقادیر ممکن در بلوک را بعد از اجرای کامل دو پردازنده بنویسید.</p> <p>ب) در بهترین و بدترین حالت تعداد cache miss های روی داده برای اجرای عملیات فوق را بیابید.</p>	P1	P2	<code>X[0] ++; X[1] = 3;</code>	<code>X[0] = 5; X[1] +=2;</code>	7																
P1	P2																					
<code>X[0] ++; X[1] = 3;</code>	<code>X[0] = 5; X[1] +=2;</code>																					

8	<p>در قطعه‌های چندپردازنده ای (CMP) چندین هسته به همراه cache هایشان بر روی یک قطعه دارند. جدول زیر miss rate های مربوط به دو تست اجرا شده بر روی یک CMP با cache خصوصی و یک پردازنده با cache مشترک را نشان میدهد:</p> <table><tr><th></th><th>Private</th><th>Shared</th></tr><tr><td>Benchmark A misses-per-instruction</td><td>0.30%</td><td>0.12%</td></tr><tr><td>Benchmark B misses-per-instruction</td><td>0.06%</td><td>0.03%</td></tr></table> <p>جدول زیر هم hit latency ها را نشان میدهد:</p> <table><tr><th>Private Cache</th><th>Shared Cache</th><th>Memory</th></tr><tr><td>5</td><td>20</td><td>180</td></tr></table> <p>الف) کدام طراحی cache برای هرکدام از تست ها بهتر است؟ توضیح دهید. ب) hit latency برای cache های مشترک به نسبت بزرگ‌تر شدن CMP افزایش می یابد. قسمت الف) را برای حالتی که اندازه CMP دو برابر شود تکرار کنید.</p>		Private	Shared	Benchmark A misses-per-instruction	0.30%	0.12%	Benchmark B misses-per-instruction	0.06%	0.03%	Private Cache	Shared Cache	Memory	5	20	180
	Private	Shared														
Benchmark A misses-per-instruction	0.30%	0.12%														
Benchmark B misses-per-instruction	0.06%	0.03%														
Private Cache	Shared Cache	Memory														
5	20	180														
9	<p>در این تمرین فرض کنید هیچ گونه stall نداریم. و همچنین دستورات در جدول زیر به تفکیک آمده اند: بر این اساس به سوالات زیر پاسخ دهید:</p> <table><tr><th>add</th><th>addi</th><th>not</th><th>beq</th><th>lw</th><th>sw</th></tr><tr><td>20%</td><td>20%</td><td>0%</td><td>25%</td><td>25%</td><td>10%</td></tr></table> <p>الف) در چه کسری از دستورات از data memory استفاده می‌شود؟ ب) در چه کسری از چرخه‌ها ورودی sign-extend است؟ مدار در هنگامی که ورودی نیاز نیست چه می‌کند؟</p>	add	addi	not	beq	lw	sw	20%	20%	0%	25%	25%	10%			
add	addi	not	beq	lw	sw											
20%	20%	0%	25%	25%	10%											
10	<p>- حلقه زیر را در نظر بگیرید.</p> <pre>loop:lw r1,0(r1) and r1,r1,r2 lw r1,0(r1) lw r1,0(r1) beq r1,r0,loop</pre> <p>و همچنین خط لوله هیچ محدودیتی ندارد اعم از تاخیر و ...</p>															

	الف) نمودار خط لوله را برای چرخه سوم رسم کنید. (به صورت کامل از همان ابتدا که دستورات واکنشی می‌شوند.) ب) در چند درصد حالات کل اجزای خط لوله درگیرند؟																																							
10	در مورد تصحیح single error و double error detecting به سوالات زیر پاسخ دهید الف) حداقل تعداد parity bit مورد نیاز برای محافظت یک کلمه 128 bit با استفاده از SEC/DEC چند تا است؟ ب) یک کد SEC را در نظر بگیرید که از کلمات 8 بیتی با 4 بیت parity محافظت می‌کند. اگر مقدار 0x375 خوانده شود اروری وجود دارد؟ اگر بله ارور را برطرف کنید.	11																																						
10	با توجه به جدول زیر به سوالات پاسخ دهید: <table border="1"><thead><tr><th>Virtual Address (bits)</th><th>Physical DRAM Installed</th><th>Page Size</th><th>PTE Size (byte)</th></tr></thead><tbody><tr><td>43</td><td>16 GiB</td><td>4 KiB</td><td>4</td></tr></tbody></table> الف) برای یک page table تک سطحی چه تعداد PTE نیاز است؟ برای ذخیره همان page table چه مقدار حافظه فیزیکی نیاز است؟ ب) جدول زیر را نیز در نظر بگیرید: <table border="1"><thead><tr><th>Entry-ID</th><th>Valid</th><th>VA Page</th><th>Modified</th><th>Protection</th><th>PA Page</th></tr></thead><tbody><tr><td>1</td><td>1</td><td>140</td><td>1</td><td>RW</td><td>30</td></tr><tr><td>2</td><td>0</td><td>40</td><td>0</td><td>RX</td><td>34</td></tr><tr><td>3</td><td>1</td><td>200</td><td>1</td><td>RO</td><td>32</td></tr><tr><td>4</td><td>1</td><td>280</td><td>0</td><td>RW</td><td>31</td></tr></tbody></table> چه اتفاقی می‌افتد وقتی که یک دستور روی VA Page 200 نوشته میشود؟	Virtual Address (bits)	Physical DRAM Installed	Page Size	PTE Size (byte)	43	16 GiB	4 KiB	4	Entry-ID	Valid	VA Page	Modified	Protection	PA Page	1	1	140	1	RW	30	2	0	40	0	RX	34	3	1	200	1	RO	32	4	1	280	0	RW	31	12
Virtual Address (bits)	Physical DRAM Installed	Page Size	PTE Size (byte)																																					
43	16 GiB	4 KiB	4																																					
Entry-ID	Valid	VA Page	Modified	Protection	PA Page																																			
1	1	140	1	RW	30																																			
2	0	40	0	RX	34																																			
3	1	200	1	RO	32																																			
4	1	280	0	RW	31																																			