



## تمرین سری اول

دکتر محبتی

الناز رضایی، حوریه سبزواری، عرشیا آرین نژاد

اسفند ۱۴۰۰

در آزمایش اول ابتدا گیت or را پیاده سازی کردیم که کد آن به شکل زیر می باشد.

```
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity Or_Gate is
33     Port ( a : in  STD_LOGIC;
34           b : in  STD_LOGIC;
35           c : out STD_LOGIC);
36 end Or_Gate;
37
38 architecture Behavioral of Or_Gate is
39     signal z : STD_LOGIC;
40 begin
41     z <= a or b;
42     c <= z;
43
44
45 end Behavioral;
```

در ادامه گیت and را به شرح زیر پیاده سازی کردیم.

```
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity And_Gate is
33     Port ( a : in  STD_LOGIC;
34           b : in  STD_LOGIC;
35           c : out STD_LOGIC);
36 end And_Gate;
37
38 architecture Behavioral of And_Gate is
39     signal z : STD_LOGIC;
40 begin
41     z <= a and b;
42     c <= z;
43
44
45 end Behavioral;
46
```

به همین ترتیب گیت XOR هم مطابق شکل زیر به دست می‌آوریم.

```
18  --
19  -----
20  library IEEE;
21  use IEEE.STD_LOGIC_1164.ALL;
22
23  -- Uncomment the following library declaration if using
24  -- arithmetic functions with Signed or Unsigned values
25  --use IEEE.NUMERIC_STD.ALL;
26
27  -- Uncomment the following library declaration if instantiating
28  -- any Xilinx primitives in this code.
29  --library UNISIM;
30  --use UNISIM.VComponents.all;
31
32  entity Xor_Gate is
33      Port ( a : in  STD_LOGIC;
34            b : in  STD_LOGIC;
35            c : out STD_LOGIC);
36  end Xor_Gate;
37
38  architecture Behavioral of Xor_Gate is
39      signal z : STD_LOGIC;
40  begin
41      z <= a xor b;
42      c <= z;
43
44  end Behavioral;
45
46
```

سپس با استفاده از گیت and و xor گیت HA را مطابق شکل قطعه کد زیر پیاده سازی می‌کنیم.

```
32  entity Half_Adder is
33      Port ( ah : in  STD_LOGIC;
34            bh : in  STD_LOGIC;
35            S : out STD_LOGIC;
36            Cout : out STD_LOGIC);
37  end Half_Adder;
38
39  architecture Behavioral of Half_Adder is
40
41  Component Xor_Gate is
42      port(
43          a,b : in  STD_LOGIC;
44          c   : out STD_LOGIC);
45  End Component Xor_Gate;
46
47  Component And_Gate is
48      port(
49          a,b : in  STD_LOGIC;
50          c   : out STD_LOGIC);
51  End Component And_Gate;
52  begin
53      Xor_Gates : Xor_Gate port map (a => ah, b=> bh, c => S);
54      And_Gates : And_Gate port map (a => ah, b=> bh, c => Cout);
55  end Behavioral;
```

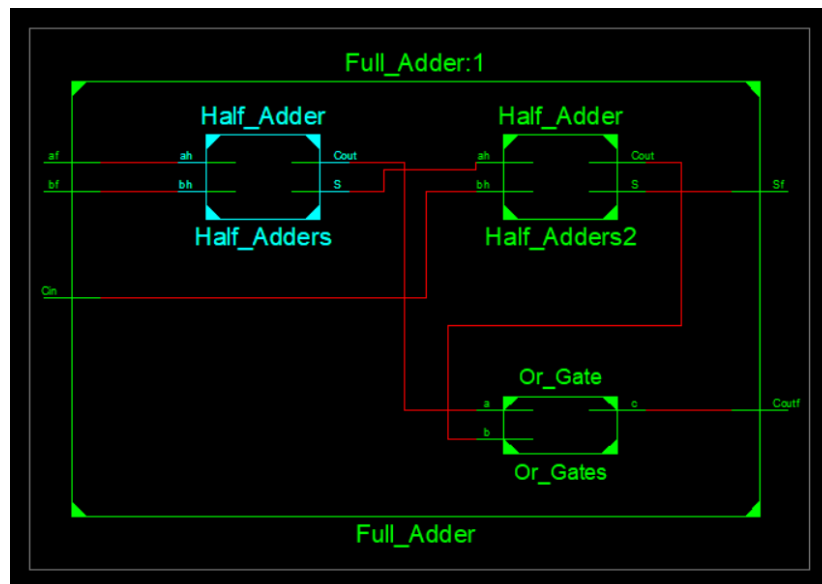
سپس با استفاده از دو گیت HA و یک گیت or، گیت FA را با استفاده از کد زیر پیاده سازی می کنیم.

```

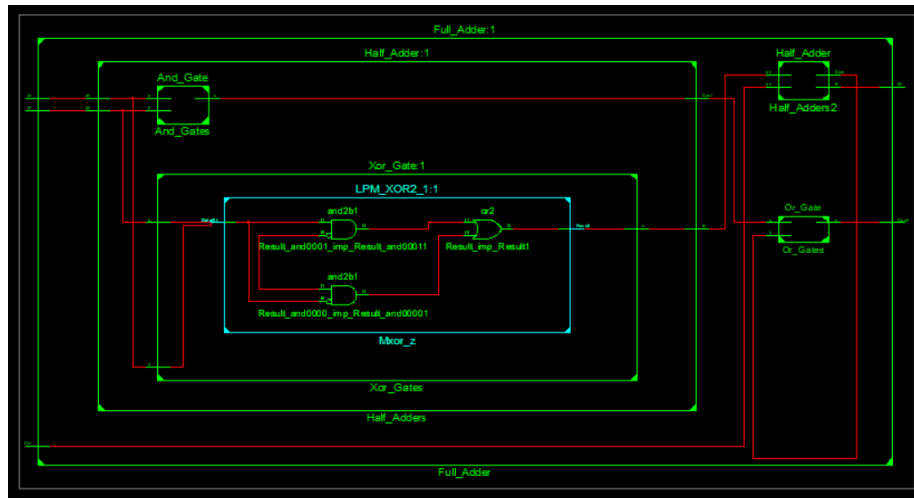
32 entity Full_Adder is
33     Port ( af      : in  STD_LOGIC;
34           bf      : in  STD_LOGIC;
35           Cin     : in  STD_LOGIC;
36           Sf      : out STD_LOGIC;
37           Coutf   : out STD_LOGIC);
38 end Full_Adder;
39
40 architecture Behavioral of Full_Adder is
41     Component Half_Adder is
42     Port( ah      : in  STD_LOGIC;
43          bh      : in  STD_LOGIC;
44          S       : out STD_LOGIC;
45          Cout    : out STD_LOGIC);
46 End Component Half_Adder;
47
48 Component Or_Gate is
49     Port ( a : in  STD_LOGIC;
50           b : in  STD_LOGIC;
51           c : out STD_LOGIC);
52 End Component Or_Gate;
53
54 signal X, Y, Z : STD_LOGIC;
55 begin
56     Half_Adders : Half_Adder port map(ah => af, bh => bf, S => X, Cout => Y);
57     Half_Adders2 : Half_Adder port map(ah => X, bh => Cin, S => Sf, Cout => Z);
58     Or_Gates : Or_Gate port map(a => Y, b => Z, c => Coutf);
59
60 end Behavioral;

```

نمای داخلی FA:



نمای داخلی HA درون FA:



تصاویر خروجی تست‌ها :

