

اللَّهُمَّ احْمِ الْخَمِيمَ

# طراحی سیستم های VLSI

## تاخیر در مدارهای VLSI

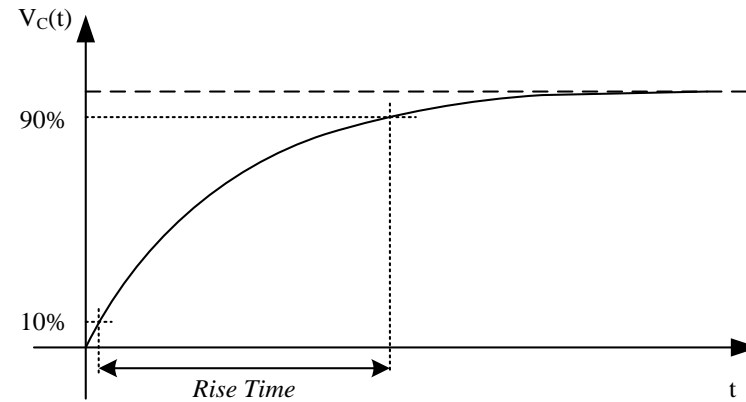
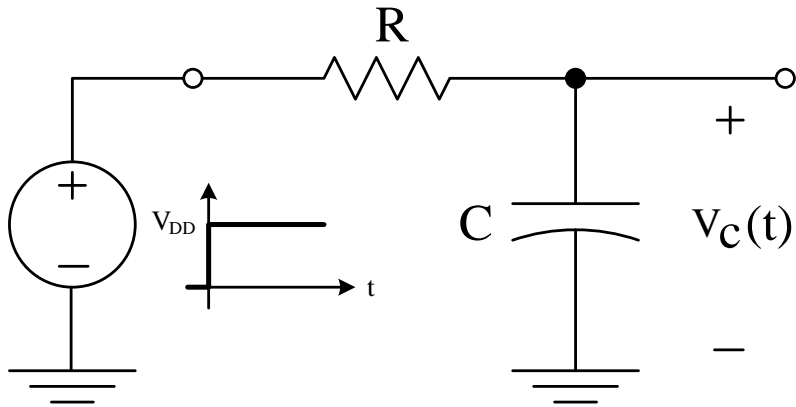
دکتر مهدی فاضلی

# علت وجود تاخیر در مدارهای VLSI

- وجود اثر مقاومتی، خازنی و سلفی المانهای مداری، سبب بروز تاخیر در مدار می شود.
- در فرکانس های بالا اثر سلفی تاثیر به سزائی دارد، اما در فرکانسهای پائین و میانی نقش کمی را در تاخیر ایفا میکند.
- بنابراین در این درس تنها از اثر مقاومتی - خازنی در تاخیر مدارها صحبت می شود.

# مروری بر مدار RC

برای مدار RC زیر شارژ خازن به صورت زیر است :



$$v_C(t) = V_{DD} e^{-\frac{t}{\tau}}, \quad \tau = r_{ON} \times C \text{ for all } t > 0$$

$$t_r = t_{90\%} - t_{10\%} = (\ln 9) \times \tau \approx 2.2 r_{ON} \cdot C$$

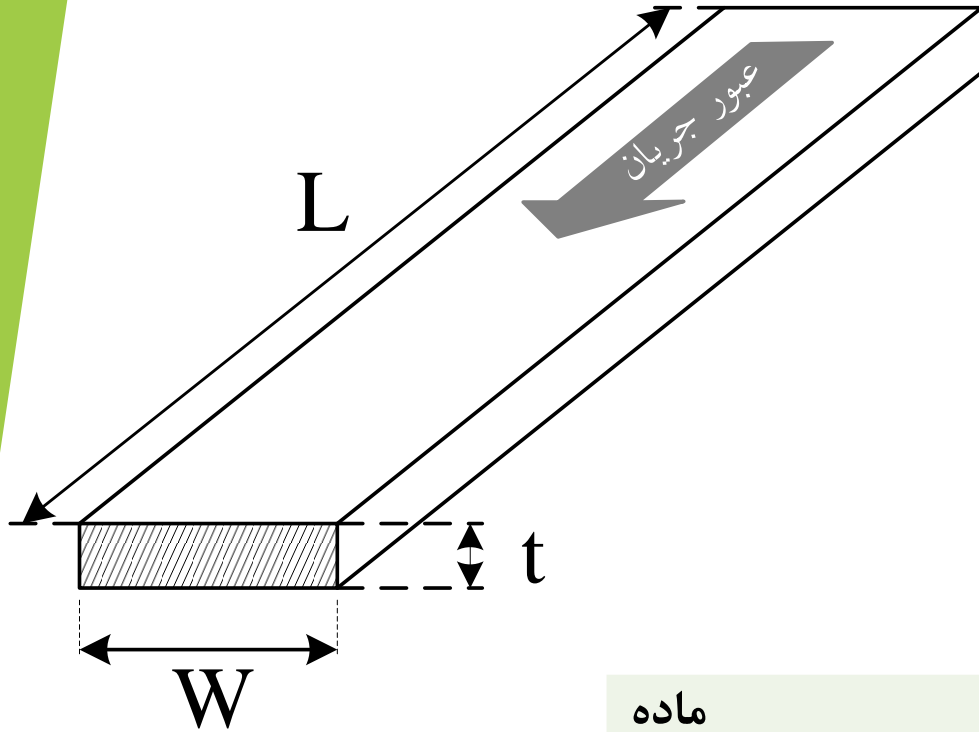
$$t_d = t_{50\%} = (\ln 2) \times \tau \approx 0.69 r_{ON} \cdot C$$

شارژ و دشارژ خازن به صورت آنی صورت نمی گیرد و عامل آن خازن و مقاومت است. برای تغییر ولتاژ خازن باید بارهای الکتریکی جابجا شوند و مقاومت اجازه نمیدهد این کار به سرعت انجام شود.

# مقاومت در مدارهای VLSI

- مقاومت سیم‌ها
- مقاومت اتصالات از یک لایه به لایه دیگر (VIA).
- مقاومت کانال ترانزیستور MOS.
- مقاومت سورس و درین ترانزیستور MOS.

## مقاومت سیم



$$R = \rho \frac{L}{A} = \rho \frac{L}{t \times W} = R_{\square} \frac{L}{W}$$

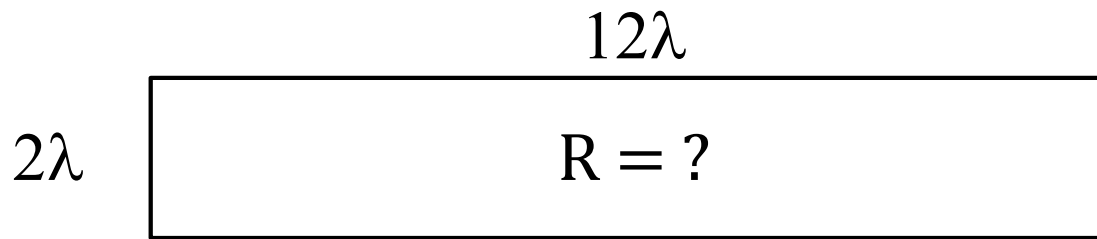
$$R = \frac{\rho}{t}$$

sheet Resistance

ماده	مقاومت صفحه‌ای ( $\Omega/\square$ )
n, p well diffusion	1000 to 1500
n+, p+ diffusion	50 to 150
n+, p+ diffusion with silicide	3 to 5
polysilicon	150 to 200
polysilicon with silicide	4 to 5
Aluminum	0.05 to 0.1

## مقاومت سیم

■ مثال :



feature size =  $0.5\mu\text{m}$

$$R_{\square} = 200\Omega/\square$$

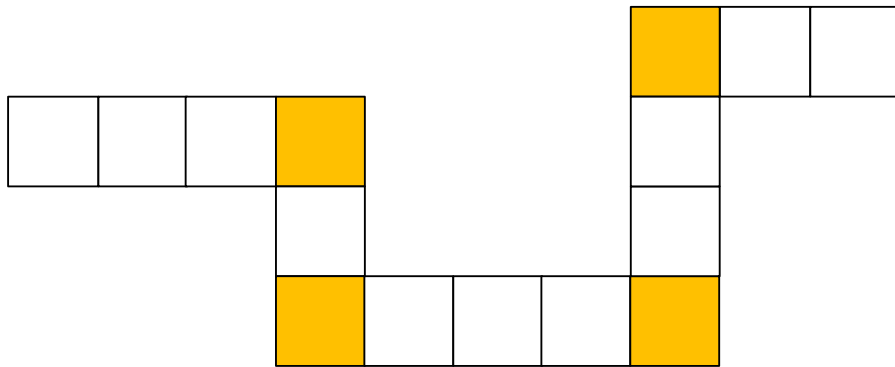
$$R = R_{\square} \frac{L}{W} \longrightarrow R = 200 \frac{12\lambda}{2\lambda} \longrightarrow R = 1200 \Omega$$

## مقاومت سیم

■ سوال : مقاومت سیم غیر مستطیلی چگونه محاسبه می شود؟

پاسخ : در این حالت مقاومت سیم به صورت تقریبی محاسبه می شود. به عنوان مثال اگر سیمی دارای شکستگی ( گوشه ) قائمه باشد، مقاومت تقریبی هر گوشه به صورت نصف محاسبه خواهد شد.

■ مثال : مقاومت سیم را تخمین بزنید.



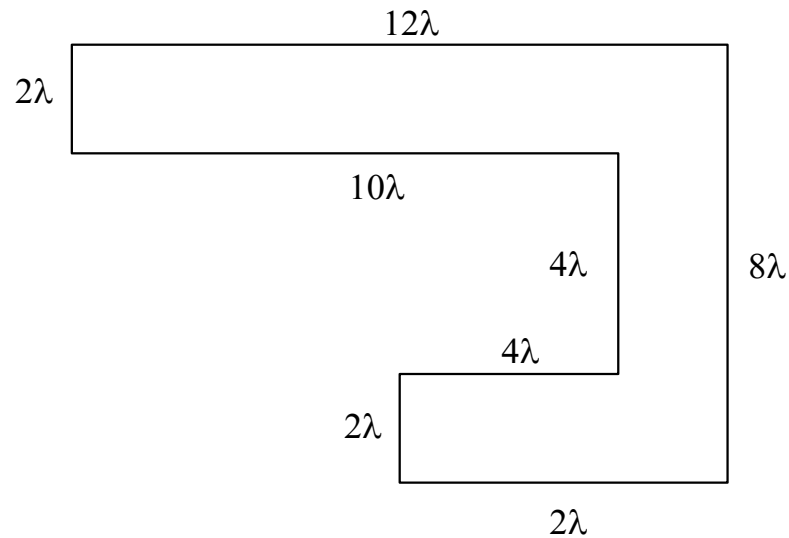
$$R = 11 R_{\square} + 4 \frac{1}{2} R_{\square}$$



## مقاومت سیم

■ تست کنکور ( سال ۸۲ )

میزان تقریبی مقاومت لایه پلی سیلیکون شکل زیر چقدر است؟

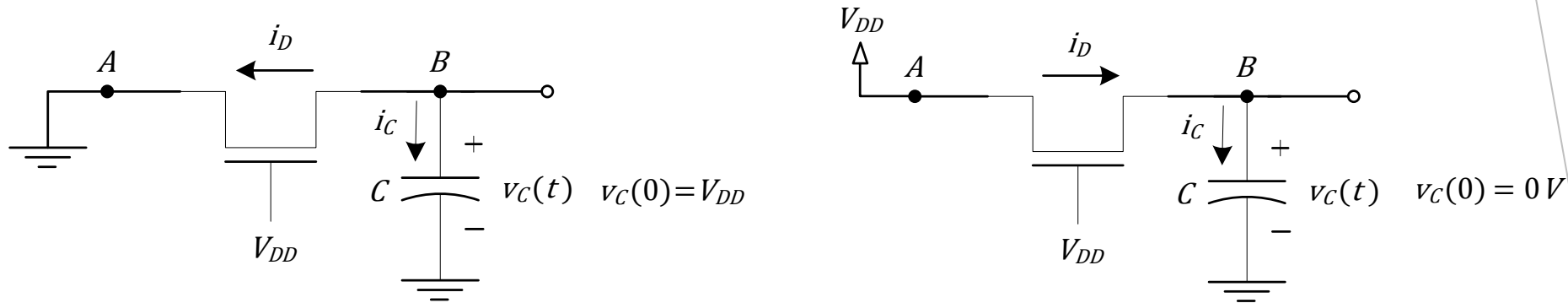


feature size =  $0.5\mu\text{m}$

$$R_{\square} = 2\Omega/\square$$

# بررسی اثر مقاومتی ترانزیستور MOS

- در بخش های قبل چگونگی شارژ و دشارژ خازن از مسیر ترانزیستور NMOS بررسی شد.



$$t_{fall} = \kappa_{fall} \tau_{dis}$$

$$\tau_{dis} = \frac{C}{\beta_n (V_{DD} - V_{Tn})}$$

$$t_{rise} = \kappa_{rise} \tau_{ch}$$

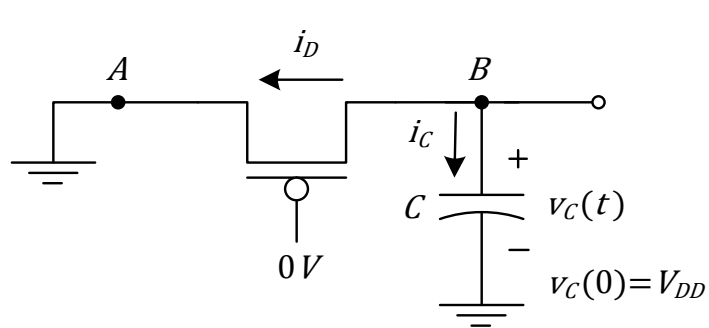
$$\tau_{ch} = \frac{C}{\beta_n (V_{DD} - V_{Tn})}$$

- دیده شد که میتوان برای ترانزیستور مقاومت معادل در نظر گرفت که از رابطه زیر قابل محاسبه است

$$R_{eq,NMOS} = \frac{1}{\beta_n (V_{DD} - V_{Tn})}$$

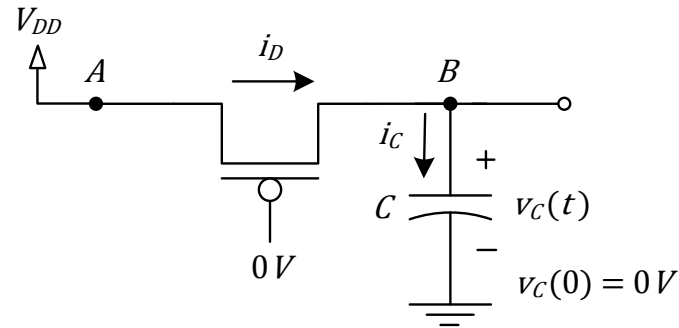
# بررسی اثر مقاومتی ترانزیستور MOS

- همین مطلب برای ترانزیستور PMOS هم بررسی شد و نتایج به صورت زیر به دست آمد:



$$t_{fall} = \kappa'_{fall} \tau_{dis}$$

$$\tau_{dis} = \frac{C}{\beta_p(V_{DD} - |V_{Tp}|)}$$



$$t_{rise} = \kappa'_{rise} \tau_{ch}$$

$$\tau_{ch} = \frac{C}{\beta_p(V_{DD} - |V_{Tp}|)}$$

- دیده شد که میتوان برای ترانزیستور مقاومت معادل در نظر گرفت که از رابطه زیر قابل محاسبه است

$$R_{eq,PMOS} = \frac{1}{\beta_p(V_{DD} - |V_{Tp}|)}$$

# بررسی اثر مقاومتی ترانزیستور MOS

در بخش های قبل این مطلب ذکر شد که اگر دو ترانزیستور NMOS و PMOS با ولتاژهای آستانه مشابه باشند. نسبت مقاومت آنها به صورت زیر قابل بیان است:

$$\frac{R_{eq,PMOS}}{R_{eq,NMOS}} = \frac{\frac{1}{\beta_p(V_{DD} - |V_{Tp}|)}}{\frac{1}{\beta_n(V_{DD} - V_{Tn})}} = \frac{\beta_n}{\beta_p} = \frac{\mu_n \cdot C_{ox} \left(\frac{W}{L}\right)_n}{\mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_p} = \frac{\mu_n \left(\frac{W}{L}\right)_n}{\mu_p \left(\frac{W}{L}\right)_p}$$

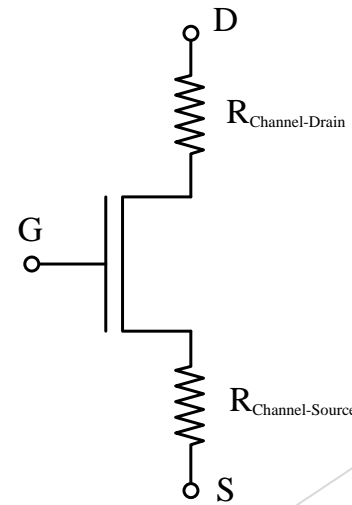
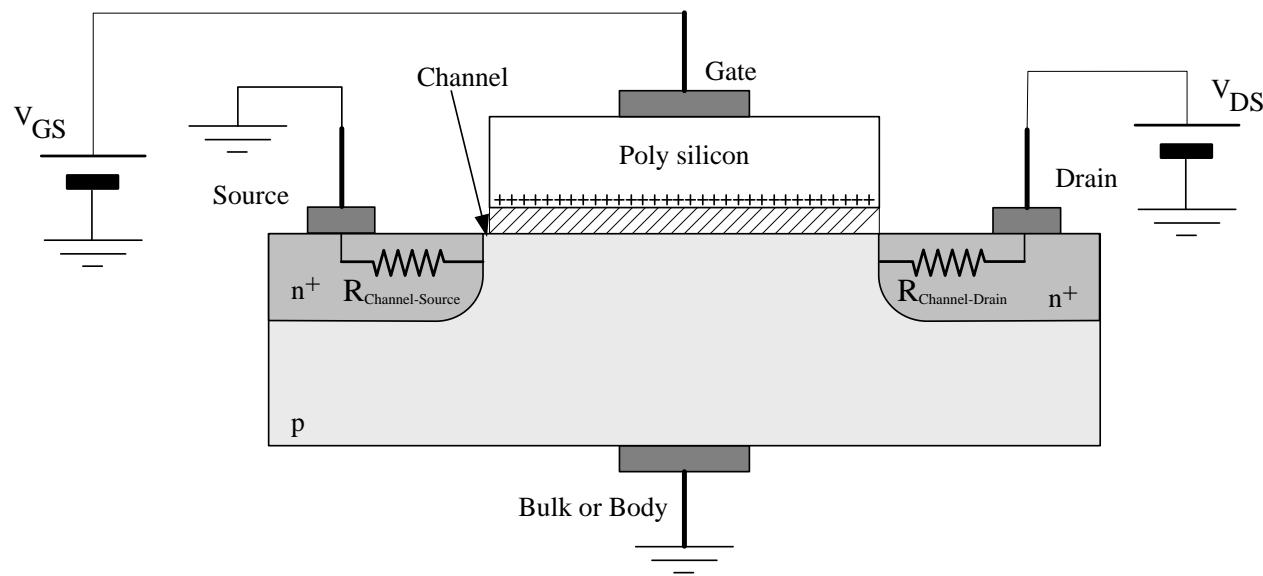
اگر  $\frac{W}{L}$  ( aspect ratio ) دو ترانزیستور برابر باشد :

$$\frac{R_{eq,PMOS}}{R_{eq,NMOS}} = \frac{\mu_n}{\mu_p} \approx 2.5$$

در مسائل مختلف نسبت  $\frac{\mu_n}{\mu_p}$  را با  $\gamma$  نمایش میدهند و گاهی برای سادگی آنرا ۲ در نظر میگیرند.

# بررسی اثر مقاومتی ترانزیستور MOS

- نتیجه این که برای ترانزیستور در محاسبات تاخیری می توان مقاومت معادل در نظر گرفت. به این مقاومت معادل ، مقاومت کانال ترانزیستور هم میگویند.
- علاوه بر این مقاومت، درین و سورس ترانزیستور هم اثر مقاومتی دارد که در مدل کاملتر ترانزیستور می توان آنها را نیز در نظر گرفت.

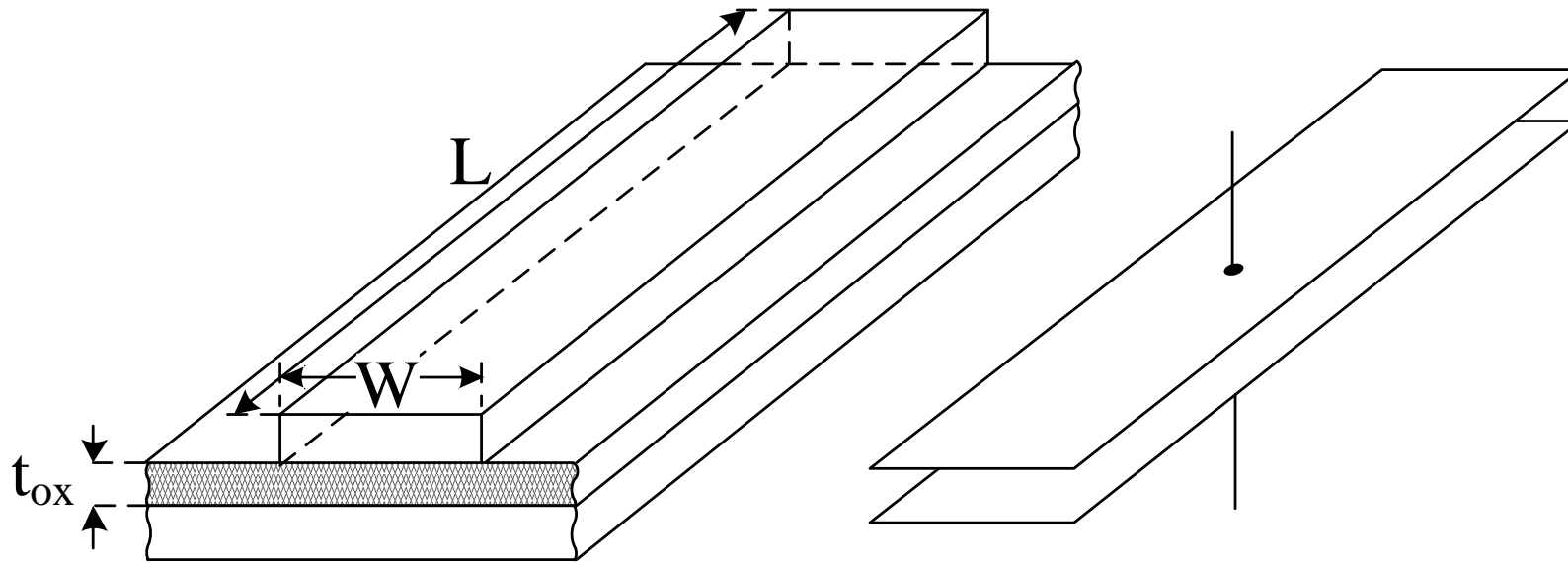


# خازن در مدارهای VLSI

- خازن سیم‌های ارتباطی
- خازن‌های ساختاری ( هم پوشان ) ترانزیستور MOS.
- خازن‌های کانال ترانزیستور MOS.
- خازن‌های نفوذی ( اتصال ) درین و سورس ترانزیستور MOS.

# خازن سیم

■ خازن سطح سیم ( Area Capacitor )



$$C_{W,Area} = W \times A \times \frac{\epsilon_{ox}}{t_{ox}}$$

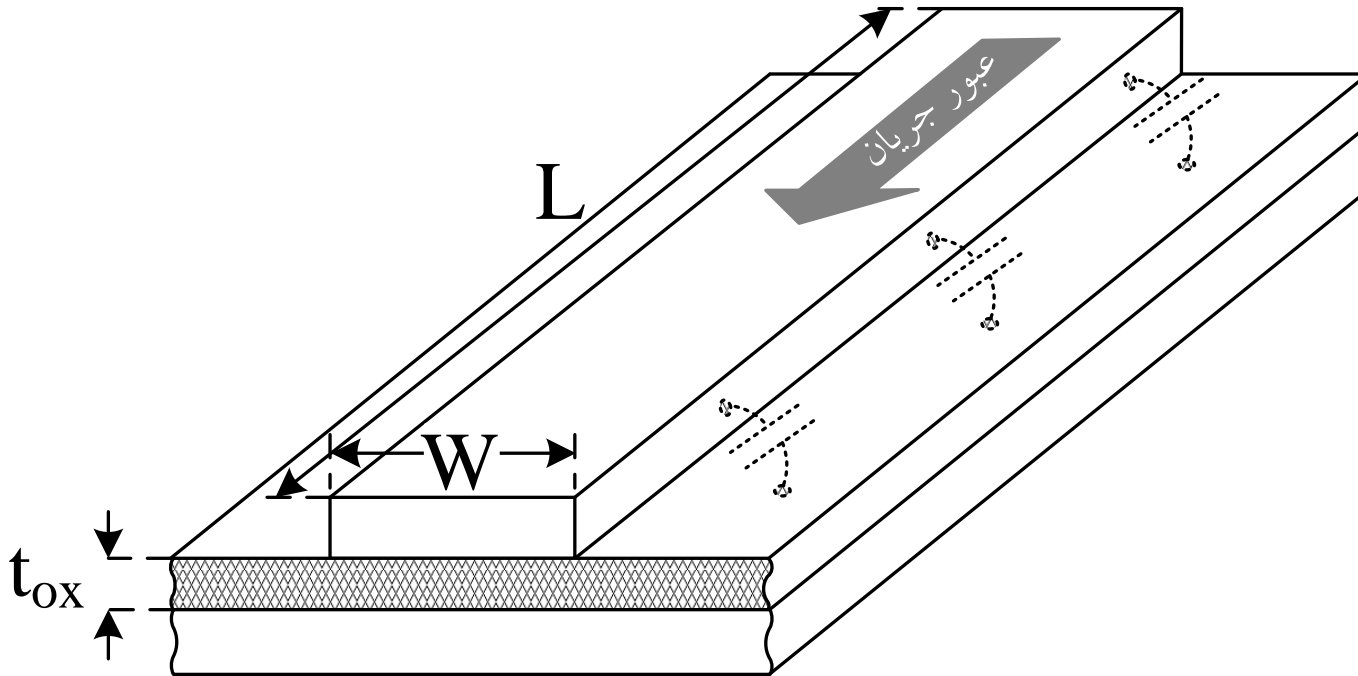
$$C_{W,A0} = \frac{\epsilon_{ox}}{t_{ox}}$$

خازن واحد سطح سیم

$$C_{W,Area} = W \times A \times C_{W,A0}$$

## خازن سیم

■ خازن حاشیه ای یا کناری (Fringe Capacitor)



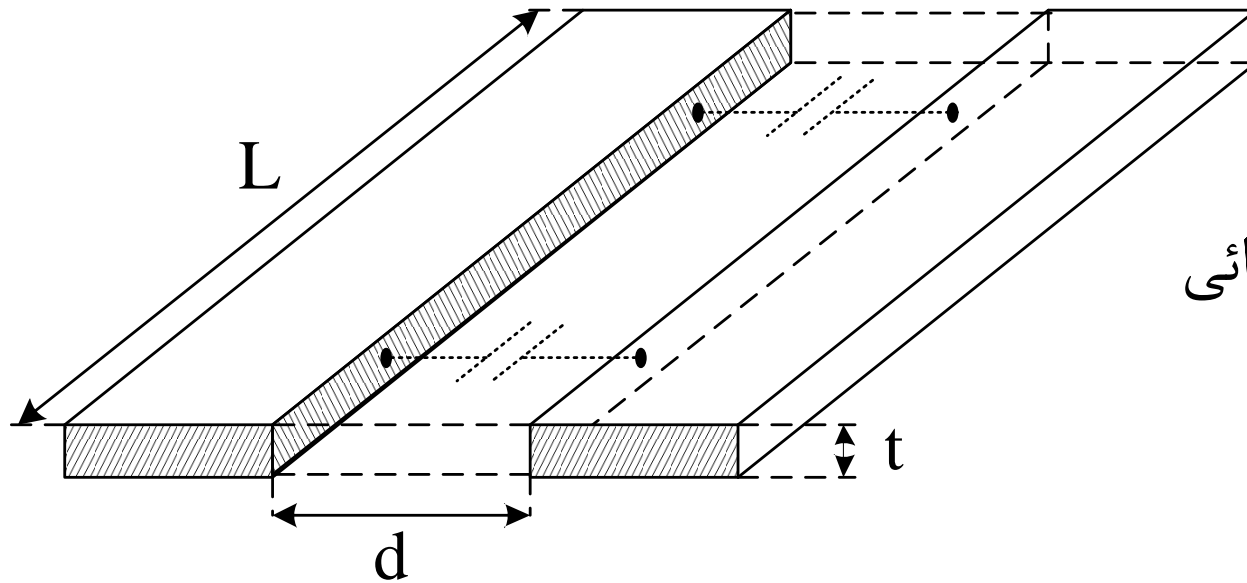
خازن حاشیه ای در واحد طول سیم  $C_{W,F0}$

$$C_{W,Fringe} = 2 \times L \times C_{W,F0}$$



## خازن سیم

■ خازن بین سیم ها ( Inter-wire Capacitor )



عامل پدیده هم شنوائی  
( Cross-talk )

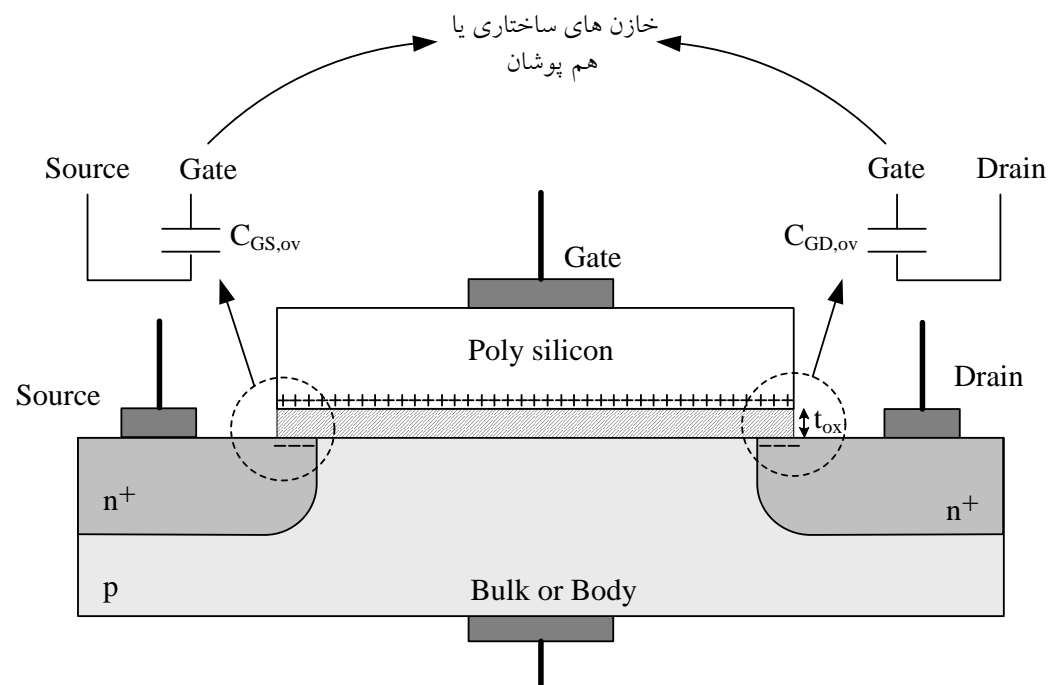
این خازن از رابطه زیر محاسبه می شود :

$$C_{W,Inter-wire} = A \times t \times \frac{\epsilon_{ox}}{d}$$

# خازن ترانزیستور MOS

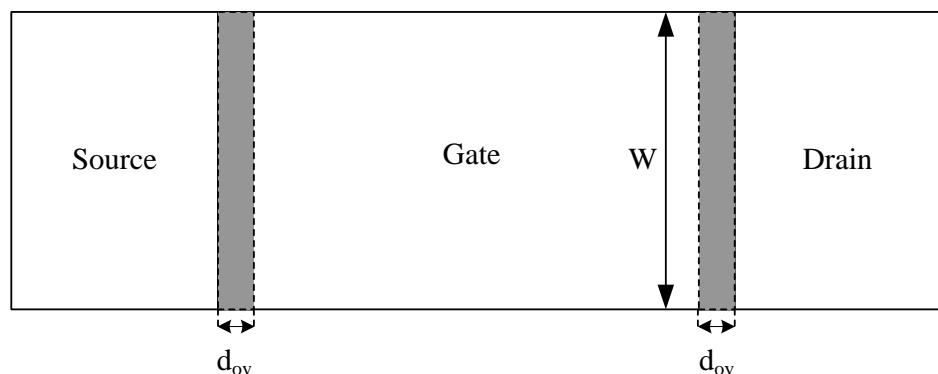
## Structural ( Overlap ) Capacitor

■ خازن ساختاری ( هم پوشان )



معمولاً عرض ناحیه هم پوشان برای درین و سورس را یکسان در نظر می گیرند. برای محاسبه میزان این خازن ها از فرمول زیر می توان استفاده کرد :

$$C_{GS,ov} = C_{GD,ov} = W \times d_{ov} \times \frac{\epsilon_{ox}}{t_{ox}}$$



# خازن ترانزیستور MOS

■ خازنهای کانال Channel Capacitor

■ برای فهم دقیق خازن های کانال لازم است به تعریف خازن به صورت دقیق توجه کرد :

تعریف خازن : هر المانی که بین ولتاژ اعمال شده به دو سر آن و بار الکتریکی ذخیره شده در آن ارتباط وجود داشته باشد خازن نامیده میشود.

$$Q = f(V)$$

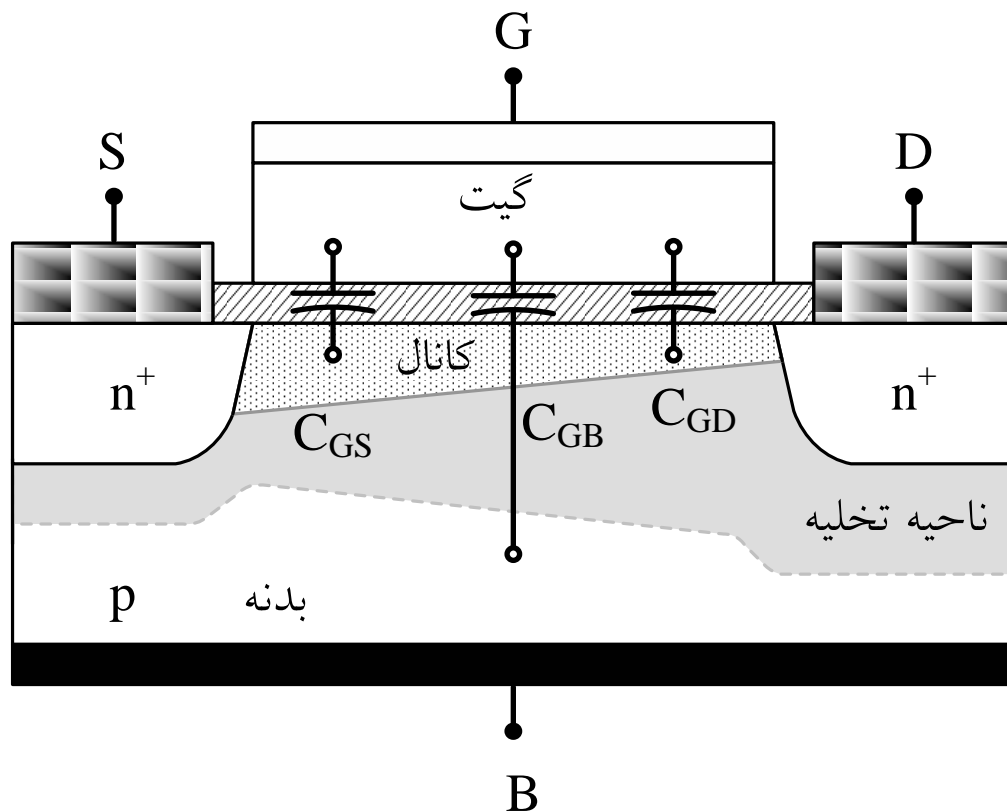
ساده ترین نوع خازن، خازنهای خطی هستند که

$$Q = CV$$

به شکلهای ترسیم شده توجه کنید. ارتباط میان ولتاژ و بار الکتریکی کانال را به دقت بررسی کنید.

# خازن ترانزیستور MOS

## ■ خازنهای کانال Channel Capacitor

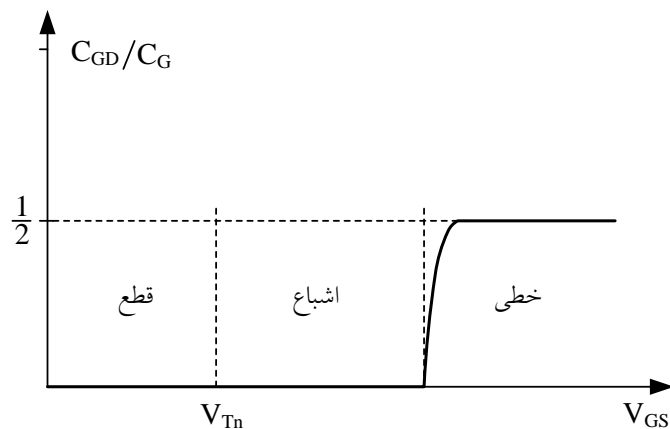
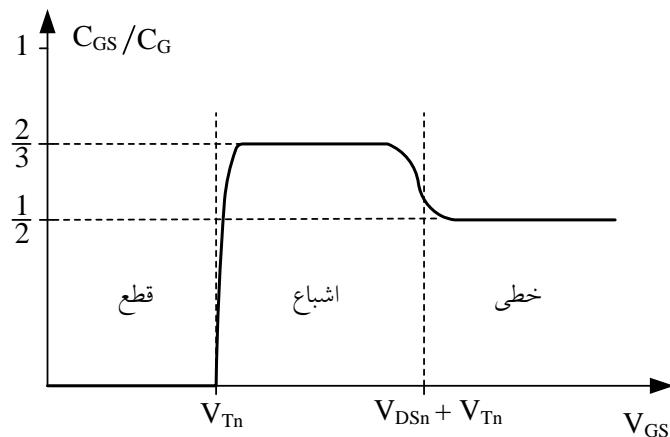
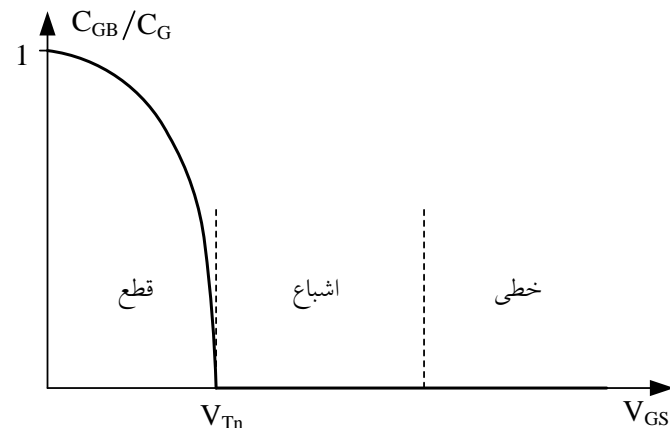


با توجه به تعریف خازن و بررسی اثر تغییرولتاژ سورس ، درین و بدنه می توان سه خازن مختلف را برای ترانزیستور در نظر گرفت که بهخازنهای کانال معروفند.

# خازن ترانزیستور MOS

## ■ خازنهای کانال Channel Capacitor

برای بررسی اثر خازنی مورد بحث نواحی مختلف ترانزیستور با به صورت مجزا در نظر میگیریم. در هر ناحیه مقدار در نظر گرفته شده برای خازن ها متفاوت است.



خازن کانال	ناحیه قطع	ناحیه اشباع	ناحیه خطی
خازن گیت - بدنه $C_{GCB}$	$C_G$	0	0
خازن گیت - درین $C_{GCD}$	0	0	$\frac{1}{2}C_G$
خازن گیت - سورس $C_{GCS}$	0	$\frac{2}{3}C_G$	$\frac{1}{2}C_G$

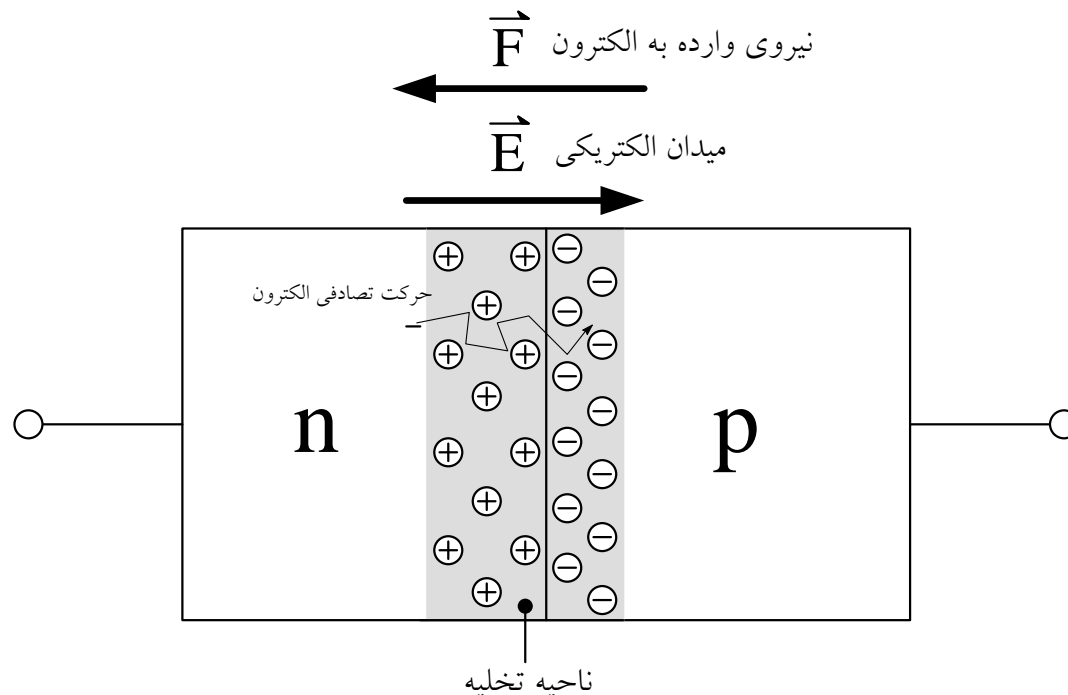
$$C_G = \epsilon_{ox} \frac{W \times L}{t_{ox}}$$

# خازن ترانزیستور MOS

## ■ خازنهای نفوذی ( اتصال ) Diffusion ( Junction ) Capacitor

هر اتصال PN دارای اثر خازنی است. ( چرا ؟ )

زیرا بین ولتاژ دو سر این المان و بار الکتریکی ذخیره شده در ناحیه تخلیه ارتباط وجود دارد.



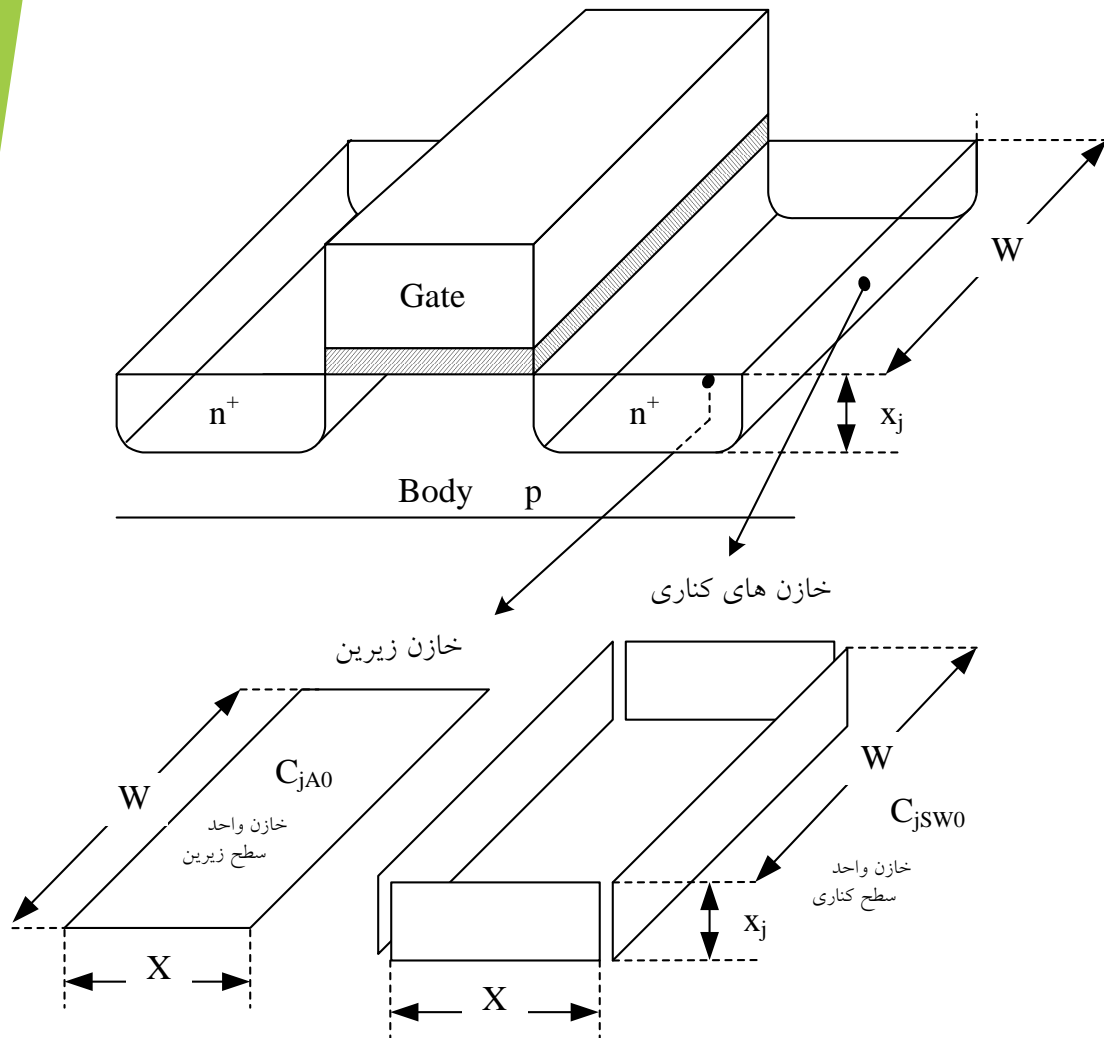
$$C_j = \frac{C_{j0}}{\sqrt[m]{1 - v_D / \phi_B}}$$

$$\phi_B = \frac{kT}{q} \ln \left( \frac{N_a N_d}{n_i^2} \right)$$

در این رابطه به نوع  $m$  مقدار  
اتصال وابسته است که مقدار آن  
۲ یا ۳ در نظر گرفته می شود.

# خازن ترانزیستور MOS

## ■ خازنهای نفوذی ( اتصال ) Diffusion ( Junction ) Capacitor



خازنهای نفوذی ترانزیستور MOS

به دو دسته تقسیم میشوند :

۱. خازن سطح

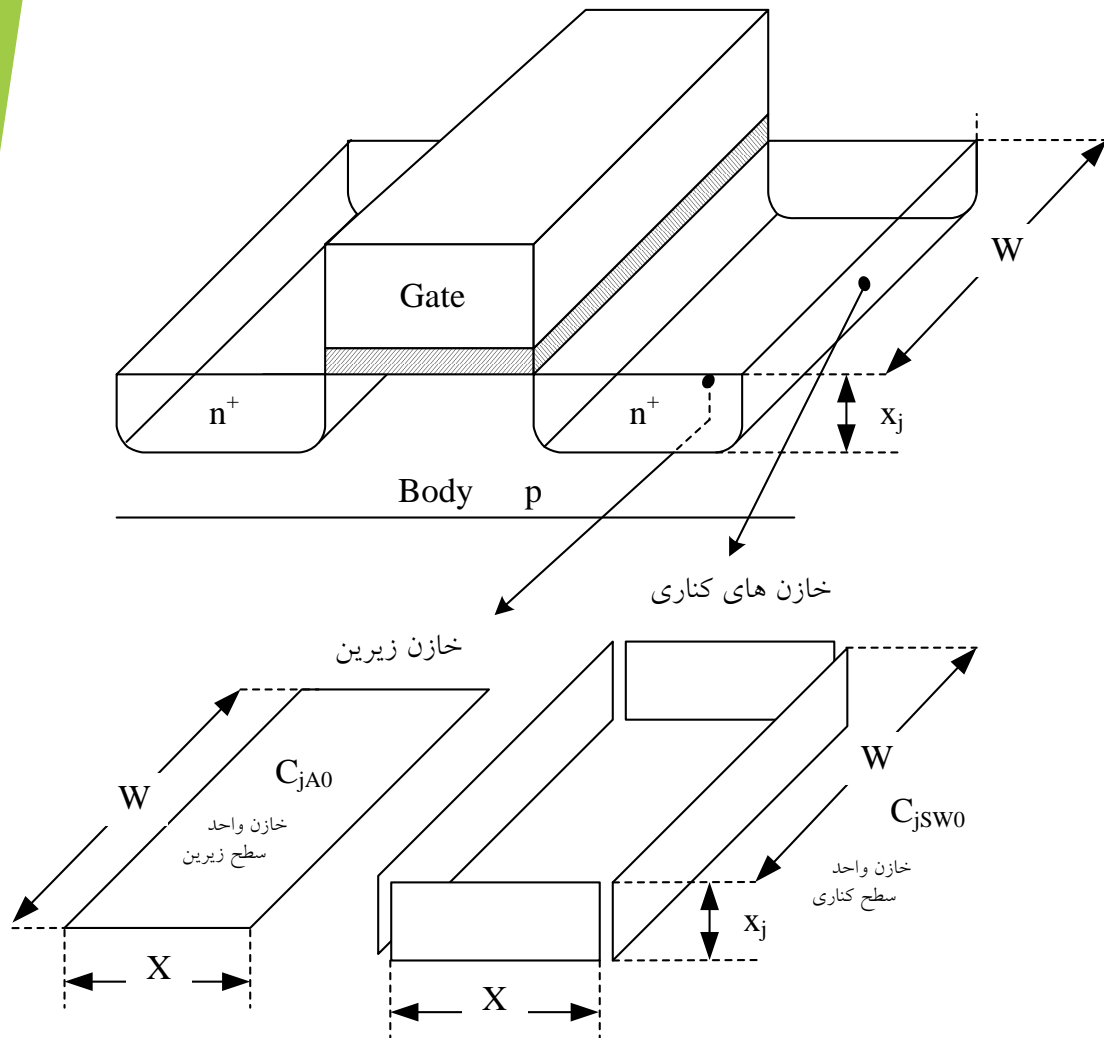
( Area Capacitor )

۲. خازنهای کناری

( Side-wall Capacitors )

# خازن ترانزیستور MOS

## ■ خازنهای نفوذی ( اتصال ) Diffusion ( Junction ) Capacitor



خازن واحد سطح بخش زیرین را با نماد  $C_{jA0}$  نشان داده می‌دهند، در نتیجه خازن نفوذی سطح به صورت زیر محاسبه می‌شود :

$$C_{jA} = C_{jA0} \times X \times W$$



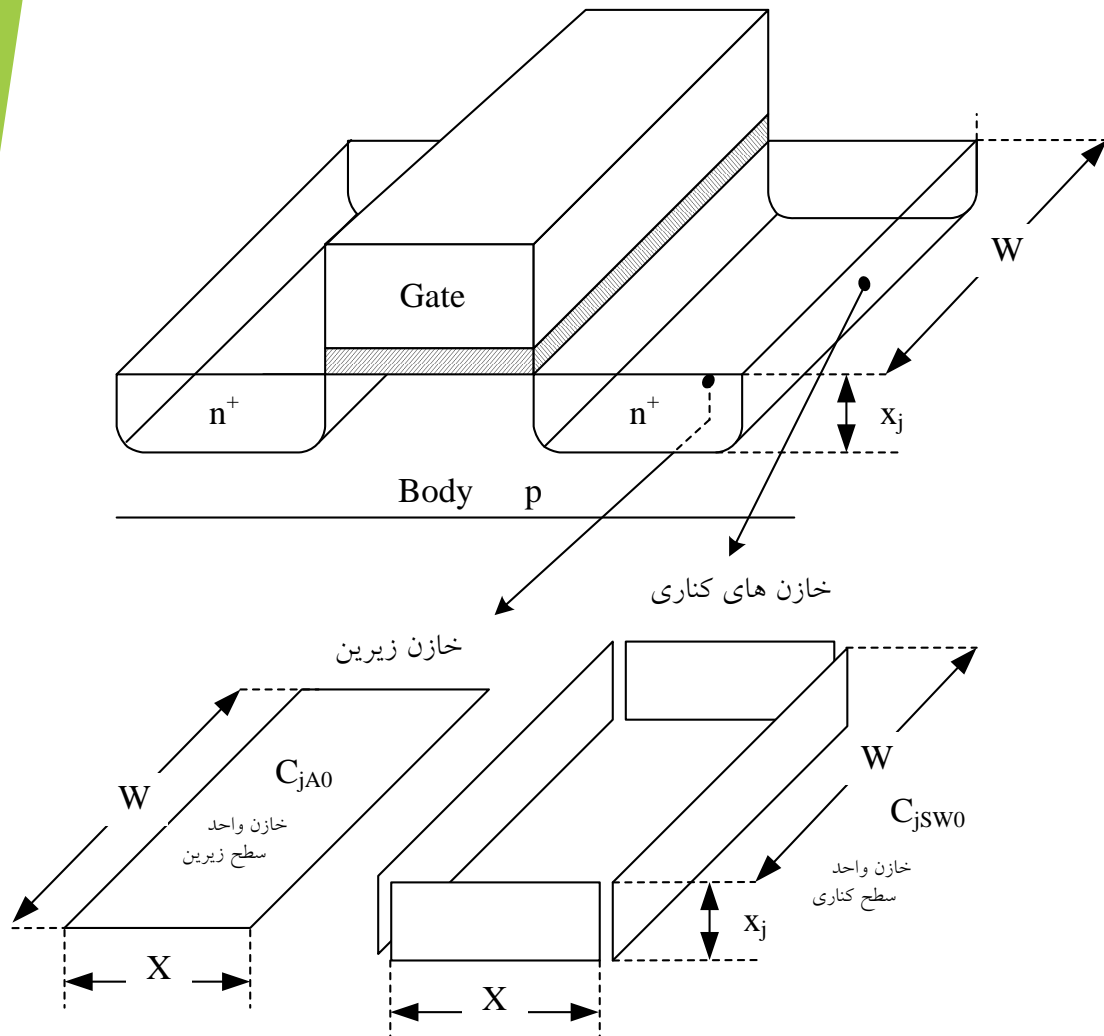
# خازن ترانزیستور MOS

## ■ خازنهای نفوذی ( اتصال ) Diffusion ( Junction ) Capacitor

خازن واحد طول بخش دیواره های کناری ترانزیستور را با نماد  $C_{jSW0}$  نشان داده میدهند، در نتیجه خازن نفوذی دیواره های کناری به صورت زیر محاسبه می شود :

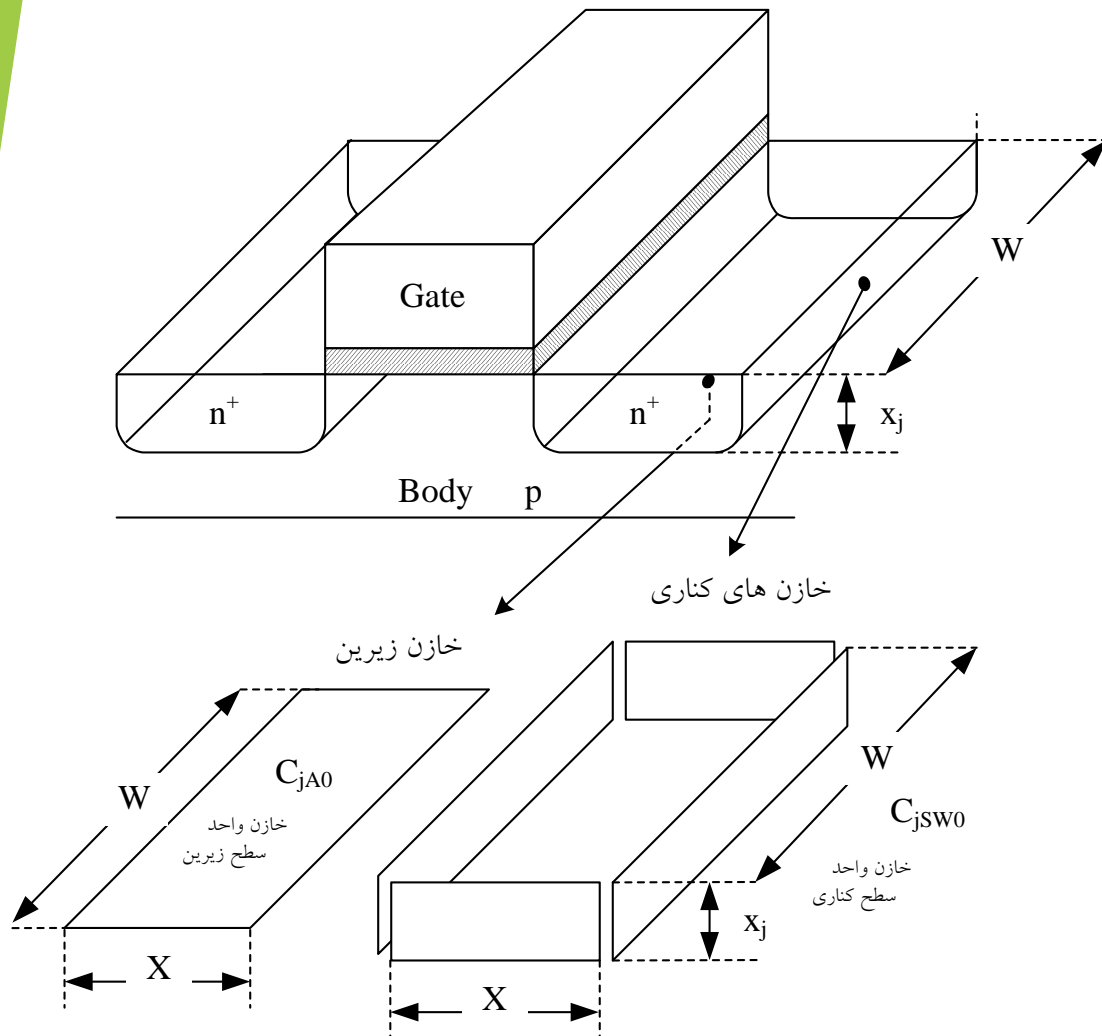
$$C_{jSW} = C_{jSW0} \times (2W + 2X)$$

$$C_j = C_{jSW} + C_{jA}$$



# خازن ترانزیستور MOS

## ■ خازنهای نفوذی ( اتصال ) Diffusion ( Junction ) Capacitor

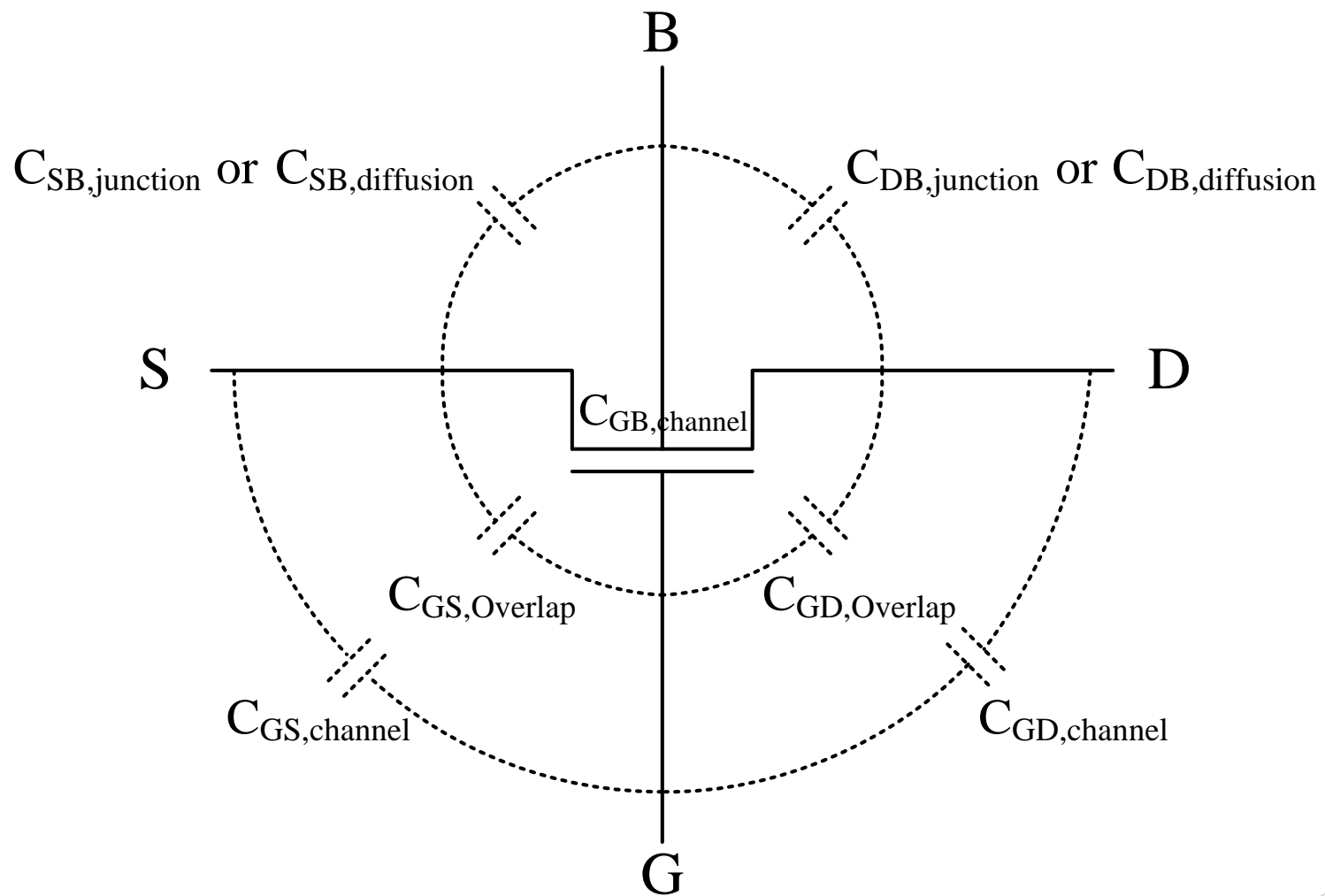


چرا خازن کناری و خازن سطح  
اتصال بدنه - سورس و یا بدنه -  
درین با هم متفاوت است؟

علت این تفاوت، چگونگی نفوذ  
ناخالصی دز کف و کناره‌های  
اتصال است که با هم یکسان  
نیست و نوع نفوذ، میزان خازن را  
معین می‌کند.

$$C_j = C_{jSW} + C_{jA}$$

# خازن ترانزیستور MOS



# اثر تغییر طول و عرض ترانزیستور MOS در مقاومت آن

مقیاس‌بندی ( Scaling )

در صورتی که عرض ترانزیستور MOS را  $K_W$  برابر و طول ترانزیستور MOS را  $K_L$  برابر کنیم، میزان مقاومت آن به صورت زیر تغییر می‌یابد

$$R_{\frac{K_W \times W}{K_L \times L}} = \frac{K_L}{K_W} \times R_{\frac{W}{L}}$$

# اثر تغییر طول و عرض ترانزیستور MOS در خازن

– خازن‌های ساختاری (همپوشان)

$$C_{GS,ov} = C_{GD,ov} = \epsilon_{ox} \frac{W \cdot d_{ov}}{t_{ox}}$$

$$C_{GS,ov} \frac{K_W \times W}{K_L \times L} = \epsilon_{ox} \frac{K_W \cdot W \cdot d_{ov}}{t_{ox}} = K_W C_{GS,ov} \frac{W}{L}$$

# اثر تغییر طول و عرض ترانزیستور MOS در خازن

## – خازن‌های کانال

خازن‌ها که در نواحی مختلف عملکرد ترانزیستور MOS، مقداری متفاوت داشتند، به میزان خازن  $C_G$  وابسته‌اند که مقدار آن برابر است با:

$$C_G = \epsilon_{ox} \frac{W \times L}{t_{ox}}$$

$$C_{G \frac{K_W \times W}{K_L \times L}} = \epsilon_{ox} \frac{K_W \times W \times K_L \times L}{t_{ox}} = K_W \times K_L \times \epsilon_{ox} \frac{W \times L}{t_{ox}} = K_W \times K_L \times C_{G \frac{W}{L}}$$

# اثر تغییر طول و عرض ترانزیستور MOS در خازن

## – خازن‌های نفوذی

این خازن‌ها به دو نوع خازن‌های نفوذی سطح ( زیرین ) و خازن‌های نفوذی کناری تقسیم شدند. و مقدار آن به صورت زیر محاسبه گردید :

$$C_{jA} = C_{jA0} \times X \times W$$

$$C_{jSW} = C_{jSW0} \times ( 2 x_j \times W + 2 x_j \times X )$$

$$C_{jA \frac{K_W \times W}{K_L \times L}} = C_{jA0} \times X \times K_W \times W = K_W C_{jA \frac{W}{L}}$$

$$C_{jSW \frac{K_W \times W}{K_L \times L}} = C_{jSW0} \times ( 2 K_W W + 2 X )$$

$$C_{jSW \frac{K_W \times W}{K_L \times L}} \approx K_W C_{jSW \frac{W}{L}}$$

نتیجه : تمام خازن‌های ترانزیستور با عرض ترانزیستور نسبت مستقیم دارند

# اثر تغییر طول و عرض ترانزیستور MOS

سوال – ترانزیستور واحد دارای چه ابعادی است؟

ترانزیستوری با ابعاد  $\frac{W}{L} = \frac{4\lambda}{2\lambda}$  را ترانزیستور واحد می نامند.

سوال – اگر در فرآیند ساخت 90nm ابعاد ترانزیستور واحد چقدر است؟

$$\frac{W}{L} = \frac{180 \text{ nm}}{90 \text{ nm}}$$

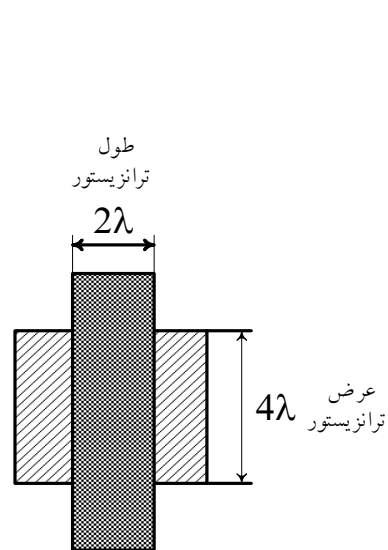
در مدارهای واقعی عموماً برای تغییر خواص مقاومتی و خازنی ترانزیستور طول ترانزیستور عموماً ثابت و عرض آنرا تغییر میدهند.

از آنجا که خازنهای ترانزیستور با عرض نسبت مستقیم دارند، پس افزایش عرض سبب افزایش خازن به همان نسبت می شود.

از آنجا که مقاومت معادل ترانزیستور با عرض نسبت معکوس دارد، پس افزایش عرض سبب کاهش مقاومت معادل ترانزیستور به همان نسبت می شود.



# اثر تغییر طول و عرض ترانزیستور MOS



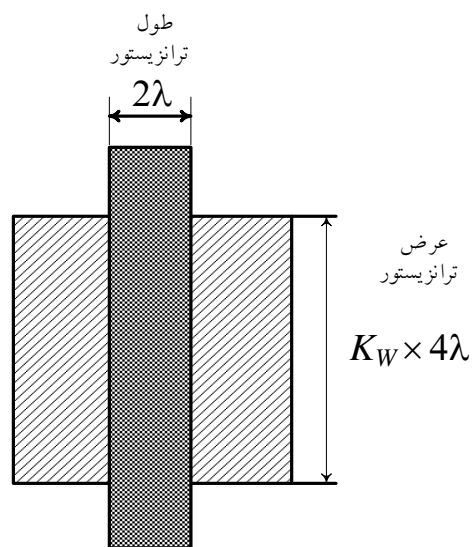
Unit NMOS

$$R_{nu}$$

$$C_{Gu}$$

$$C_{Du}$$

$$C_{Su}$$



NMOS

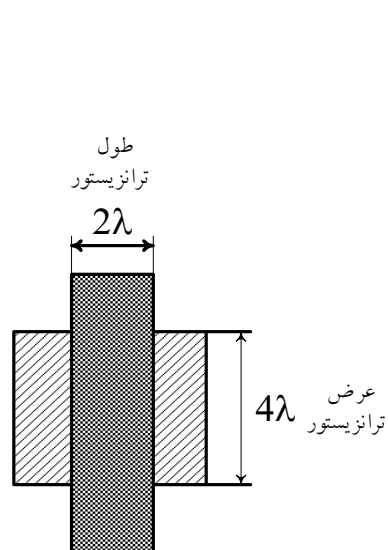
$$R_N = \frac{1}{K_W} R_{nu}$$

$$C_G = K_W C_{Gu}$$

$$C_D = K_W C_{Du}$$

$$C_S = K_W C_{Su}$$

# اثر تغییر طول و عرض ترانزیستور MOS



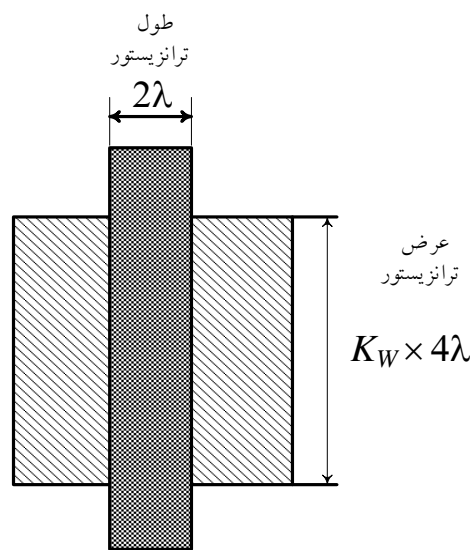
Unit NMOS

$$R_{nu}$$

$$C_{Gu}$$

$$C_{Du}$$

$$C_{Su}$$



PMOS

$$R_P = \frac{2.5}{K_W} R_{nu}$$

$$C_G = K_W C_{Gu}$$

$$C_D = K_W C_{Du}$$

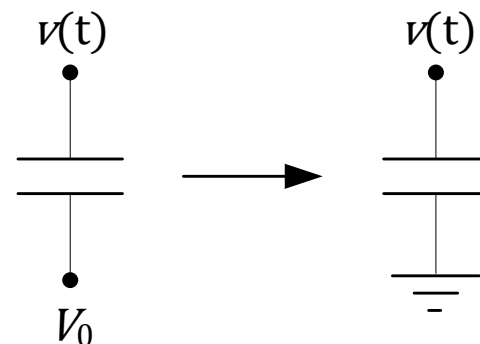
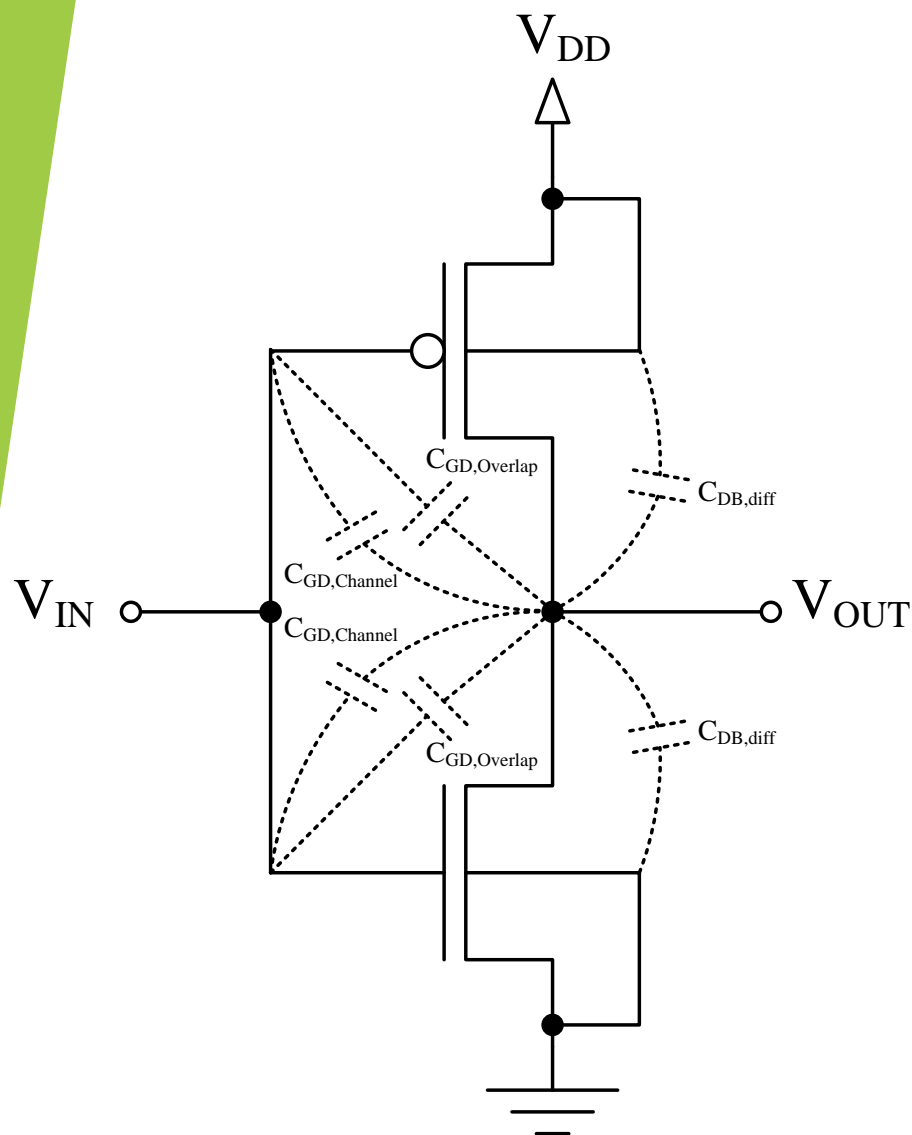
$$C_S = K_W C_{Su}$$

# بررسی عملکرد دینامیک CMOS Inverter

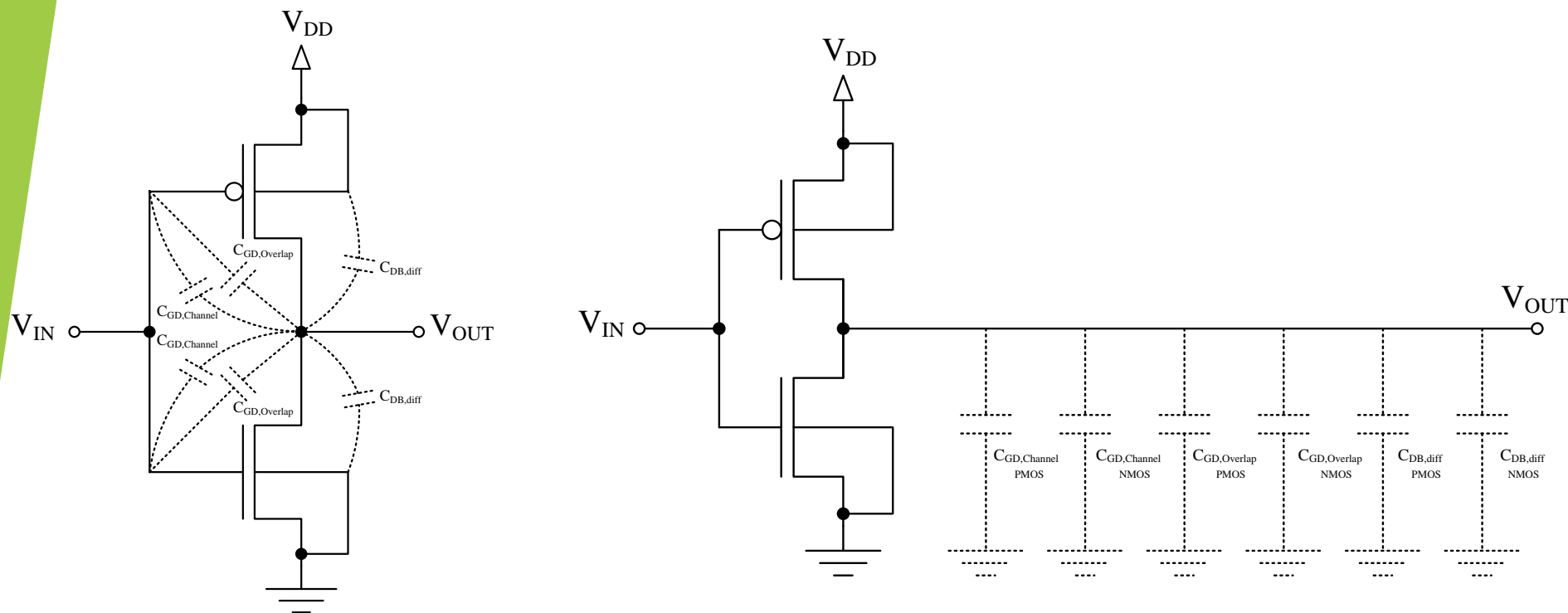
خازنهای موثر در عملکرد پویا ( دینامیک )

یک نکته مهم برای ساده کردن اثر خازنها در مدار :

اگر یکی از سرهای خازنی به مقدار ثابت متصل باشد، می توان در محاسبه عملکرد دینامیک، آن سر را متصل به زمین در نظر گرفت. ( چرا ؟ )



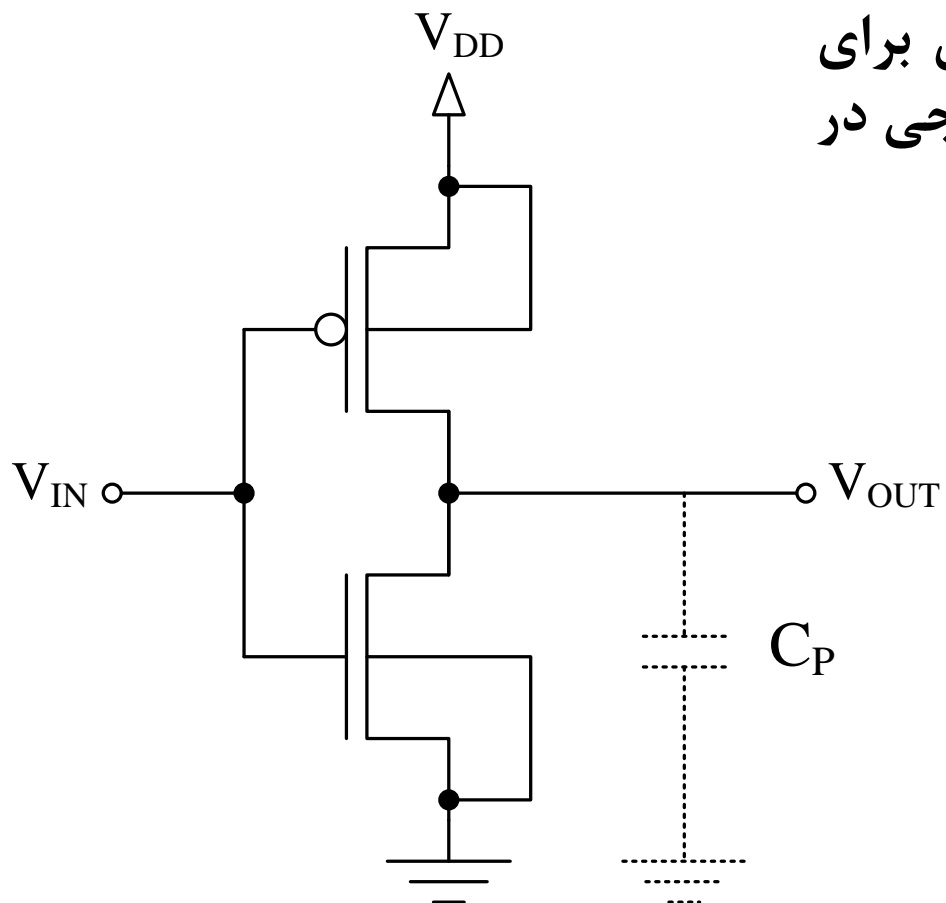
# بررسی عملکرد دینامیک CMOS Inverter



توجه : در تحلیل مدار CMOS Inverter فرض می شود، ورودی مدار تغییر یافته و به حالت ثابت رسیده و سپس خروجی دستخوش تغییر می شود ( این فرض برای ساده شدن بررسی است و در عمل چنین نیست )

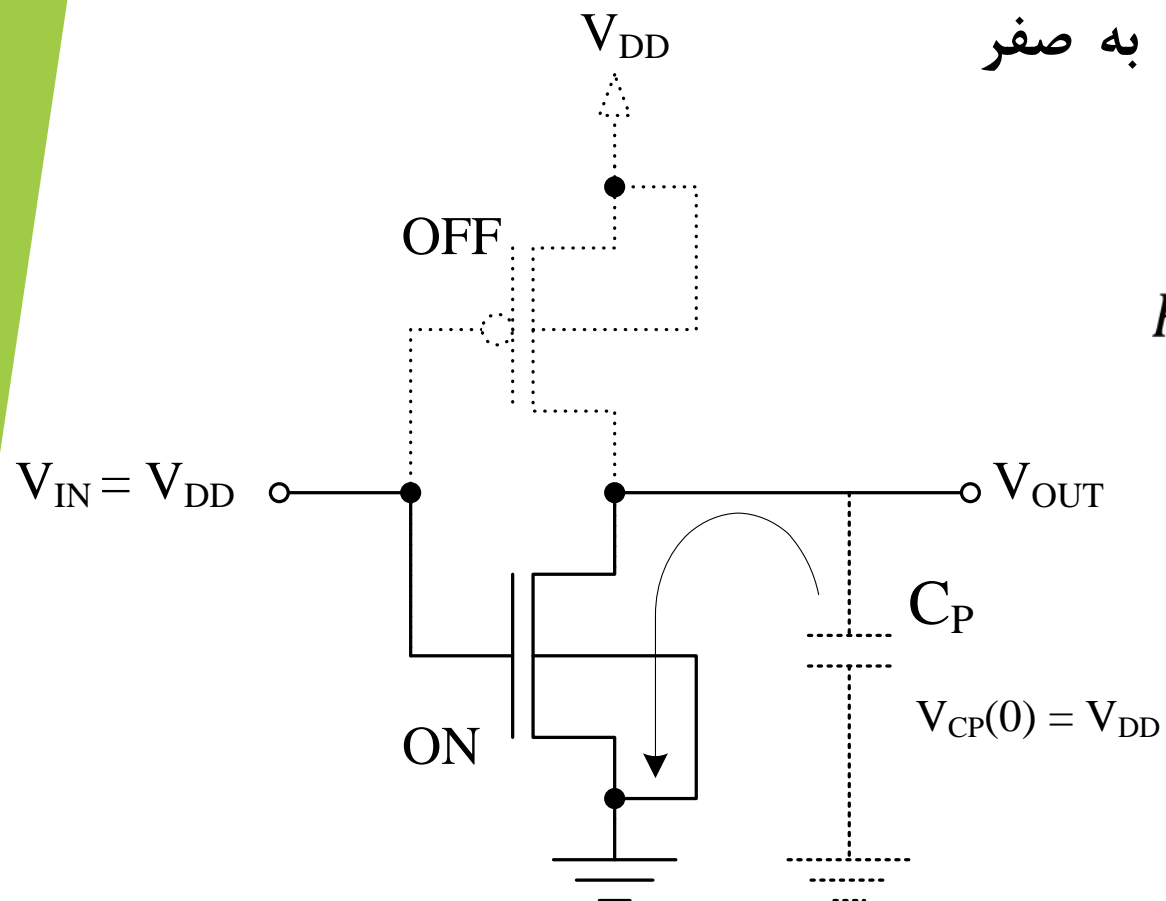
# بررسی عملکرد دینامیک CMOS Inverter

این مساله نشان میدهد که می توان برای این مدار یک خازن پارازیتی در خروجی در نظر گرفت.



# بررسی عملکرد دینامیک CMOS Inverter

حالت اول : خروجی مدار از یک به صفر  
تغییر وضعیت می یابد.

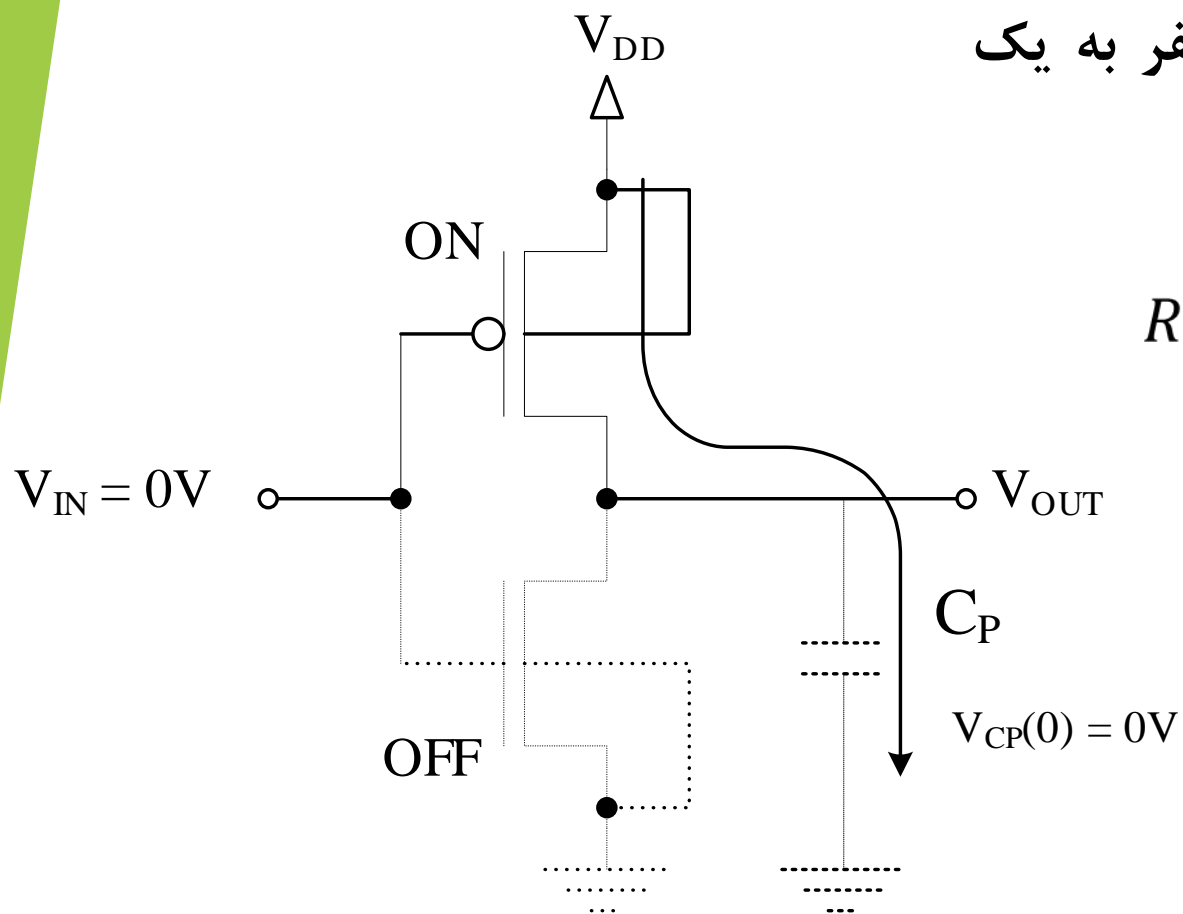


$$R_{eq, NMOS} = \frac{1}{\beta_n (V_{DD} - V_{Tn})}$$

$$\tau_{dis} = R_{eq, NMOS} \times C_P$$

# بررسی عملکرد دینامیک CMOS Inverter

حالت دوم : خروجی مدار از صفر به یک  
تغییر وضعیت می یابد.

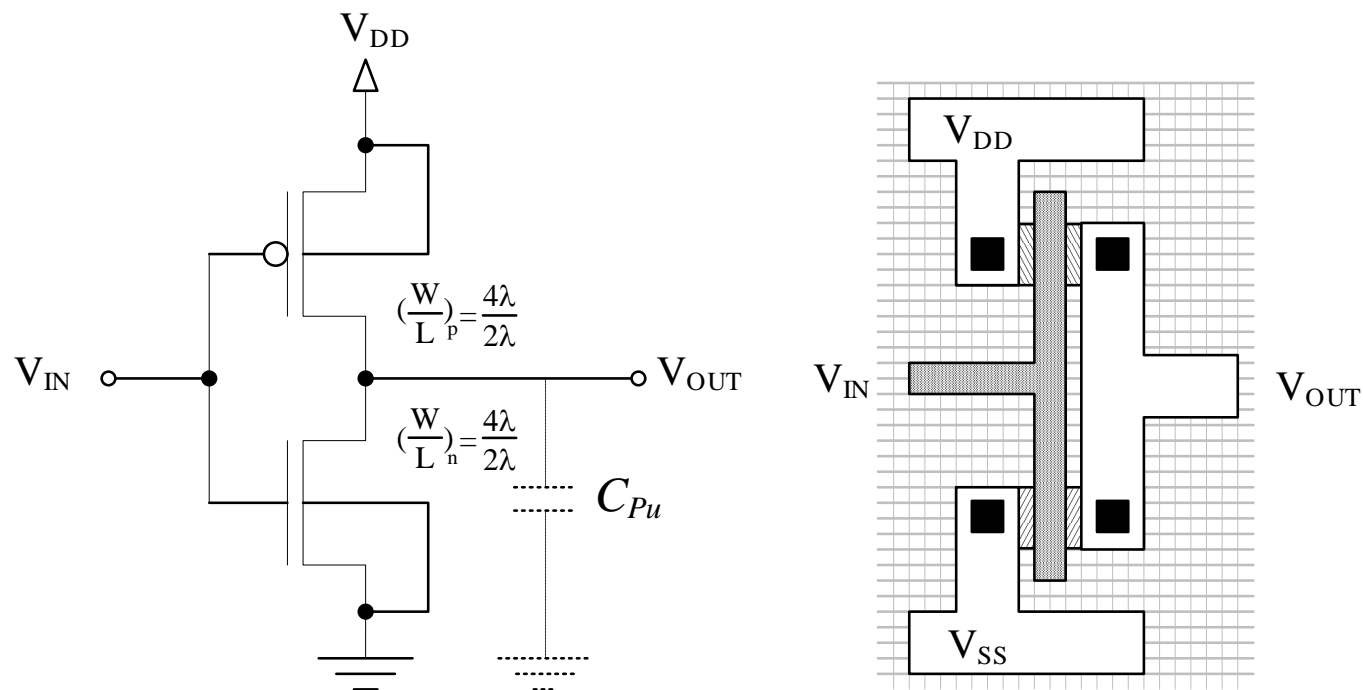


$$R_{eq, PMOS} = \frac{1}{\beta_p (V_{DD} - |V_{Tp}|)}$$

$$\tau_{ch} = R_{eq, PMOS} \times C_P$$

# بررسی عملکرد دینامیک CMOS Inverter

وارونگر واحد (Unit Inverter) : وارونگری با ترانزیستورهای واحد



$$R_{eq,NMOS} = \frac{1}{\beta_n(V_{DD} - V_{Tn})} \quad \tau_{dis} = R_{eq,NMOS} \times C_P$$

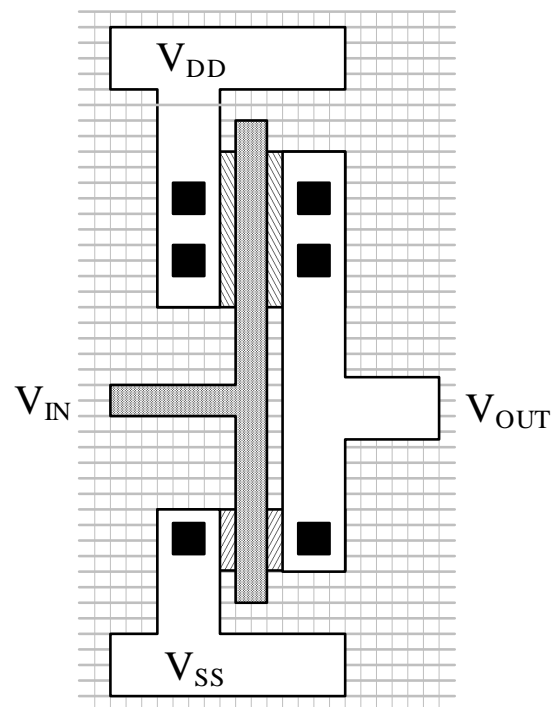
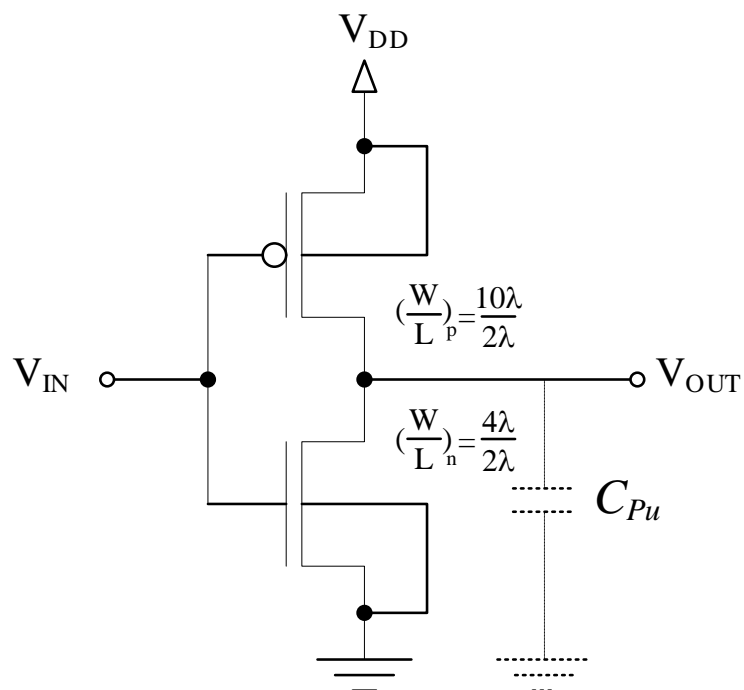
$$R_{eq,PMOS} = \frac{1}{\beta_p(V_{DD} - |V_{Tp}|)} \quad \tau_{ch} = R_{eq,PMOS} \times C_P$$

$$\tau_{ch} = 2.5 \tau_{dis}$$



# بررسی عملکرد دینامیک CMOS Inverter

وارونگر واحد متقارن (Unskewed Unit Inverter)

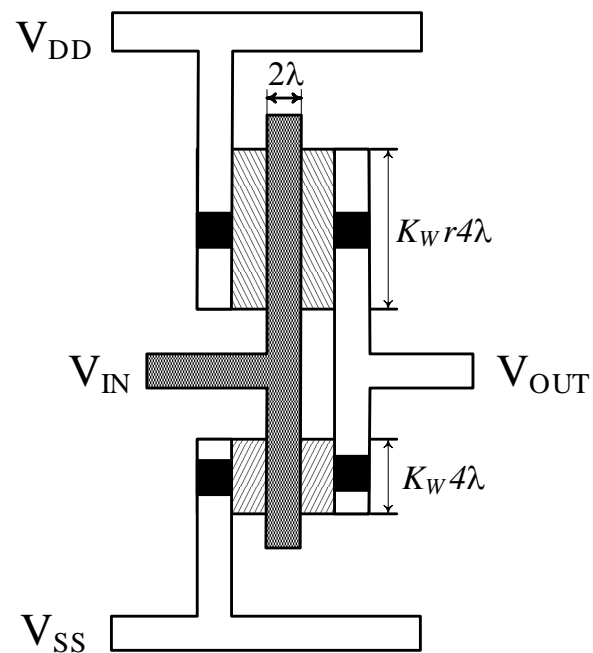
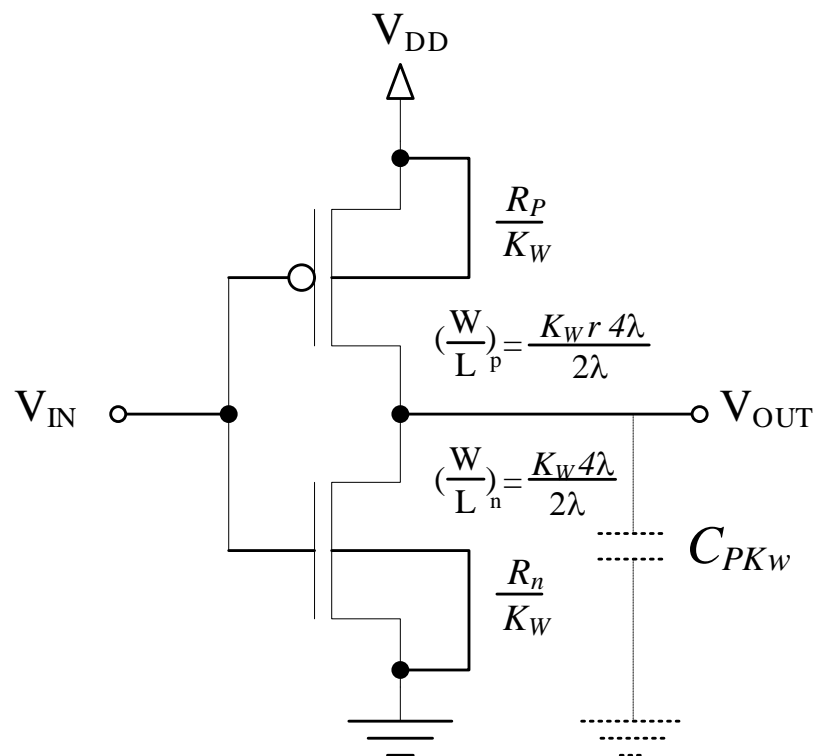


$$R_{eq,NMOS} = R_{eq,PMOS}$$

$$\tau_{ch} = \tau_{dis}$$

# بررسی عملکرد دینامیک CMOS Inverter

سوال - اگر عرض ترانزیستورها  $K_W$  برابر شود تاخیر چه تغییری می کند؟



مقاومت به نسبت  $K_W$  کاهش و خازن به همان نسبت افزایش می یابد. در نتیجه ثابت زمانی کل تغییری نخواهد کرد!

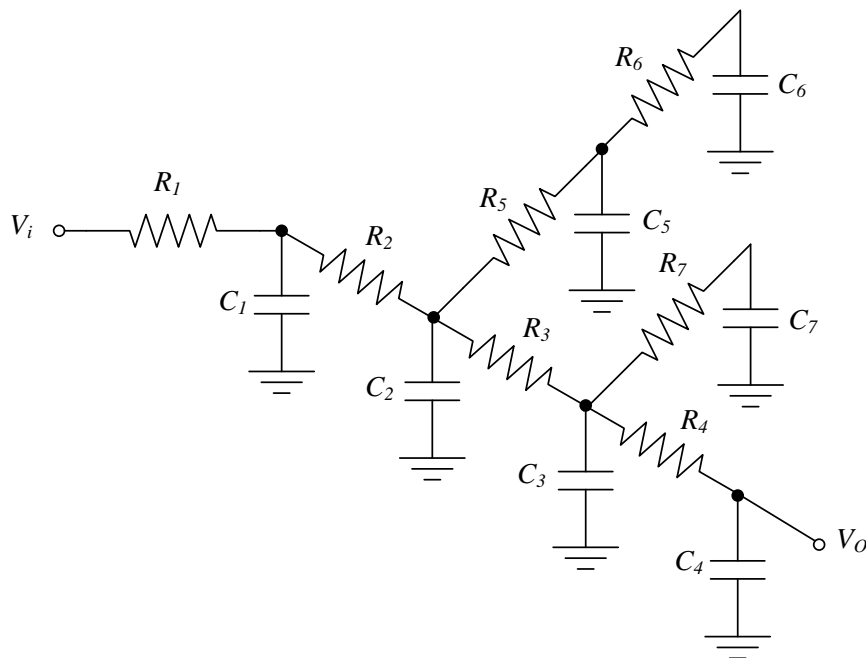
# معادله تاخیر Elmore

در صورتی که ساختار مدار پیچیده شود، استفاده از یک مدل RC ساده امکان پذیر نیست.

در این حالت نیازمند حل معادلات پیچیده و در نهایت محاسبه تاخیر مدار هستیم. یک راه ساده برای رفع مشکل استفاده از تقریب در محاسبه تاخیر است.

سوال – آیا می توان برای مدارهایی که دارای معادله دیفرانسیل بالاتر از درجه ۱ دارند، ثابت زمانی تعریف کرد؟

مدار روبرو را در نظر بگیرید :



معادله دیفرانسیل درجه ۷  
حل معادله و محاسبه تاخیر دشوار

## معادله تاخیر Elmore

اثبات می شود، اگر مدار RC پیچیده، دارای ویژگی های خاصی باشد می توان به صورت ساده برای آن ثابت زمانی تعریف کرد و در نهایت مقدار تاخیر انتشار مدار را به صورت زیر به دست آورد :

$$t_p \approx 0.69 \tau$$

اگر مدار ویژگیهای زیر را دارا باشد :

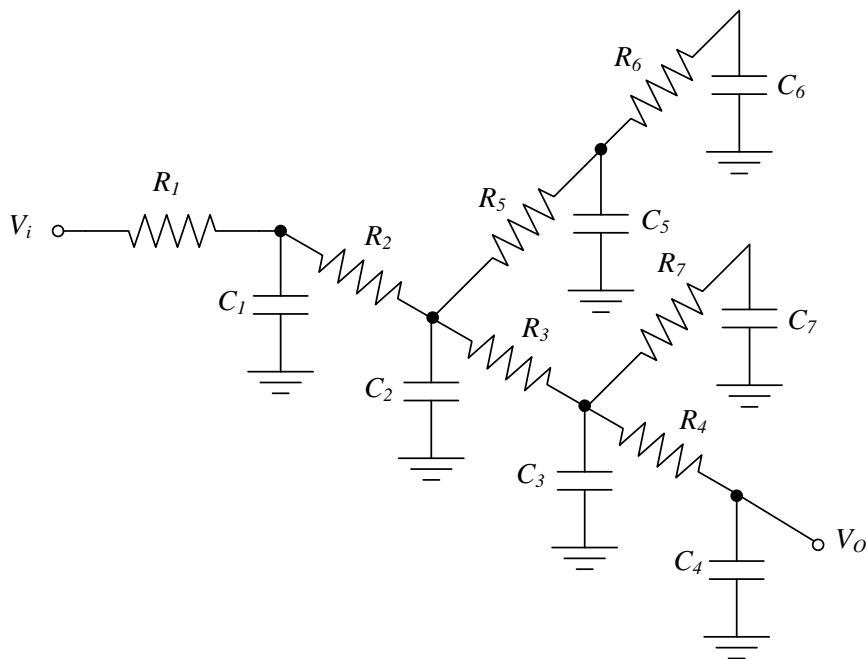
1. مدار دارای یک ورودی باشد.
2. خازن ها بین یک گره و زمین قرار بگیرند.
3. هیچ حلقه مقاومتی در مسیر وجود نداشته باشد.

می توان از معادله تاخیر Elmore برای یافتن ثابت زمانی معادل مدار کمک گرفت.

# معادله تاخیر Elmore

گام اول - محاسبه مقاومت مسیر مشترک ( Shared Path Resistance ) :  
این مقاومت برای گره  $j$  ام محاسبه می‌شود و طبق تعریف برابر است با مجموع مقاومت‌های مشترک مسیر اصلی (  $V_i \rightarrow V_o$  ) با مسیر گره ( گره  $j \rightarrow V_i$  ).

$$R_j = \sum R_k, R_k \in [\text{path}(V_i \rightarrow j) \cap \text{path}(V_i \rightarrow V_o)]$$

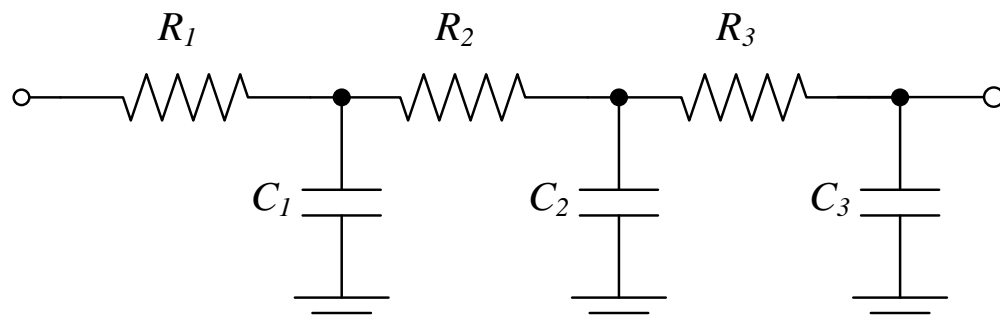


# معادله تاخیر Elmore

گام دوم – محاسبه ثابت زمانی معادل از معادله زیر :

$$\tau = \sum R_j . C_j$$

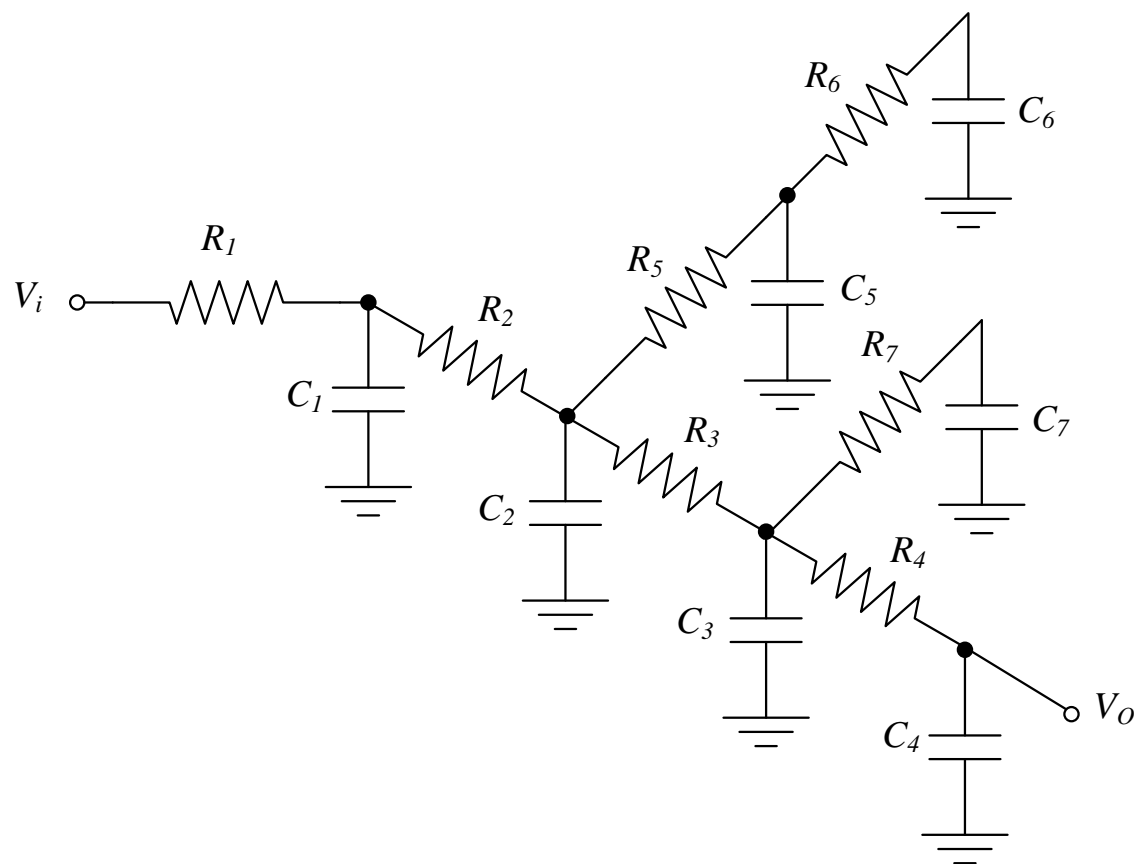
مثال :



$$\tau = R_1 C_1 + (R_1 + R_2) . C_2 + (R_1 + R_2 + R_3) . C_3$$

# معادله تاخير Elmore

مثال :

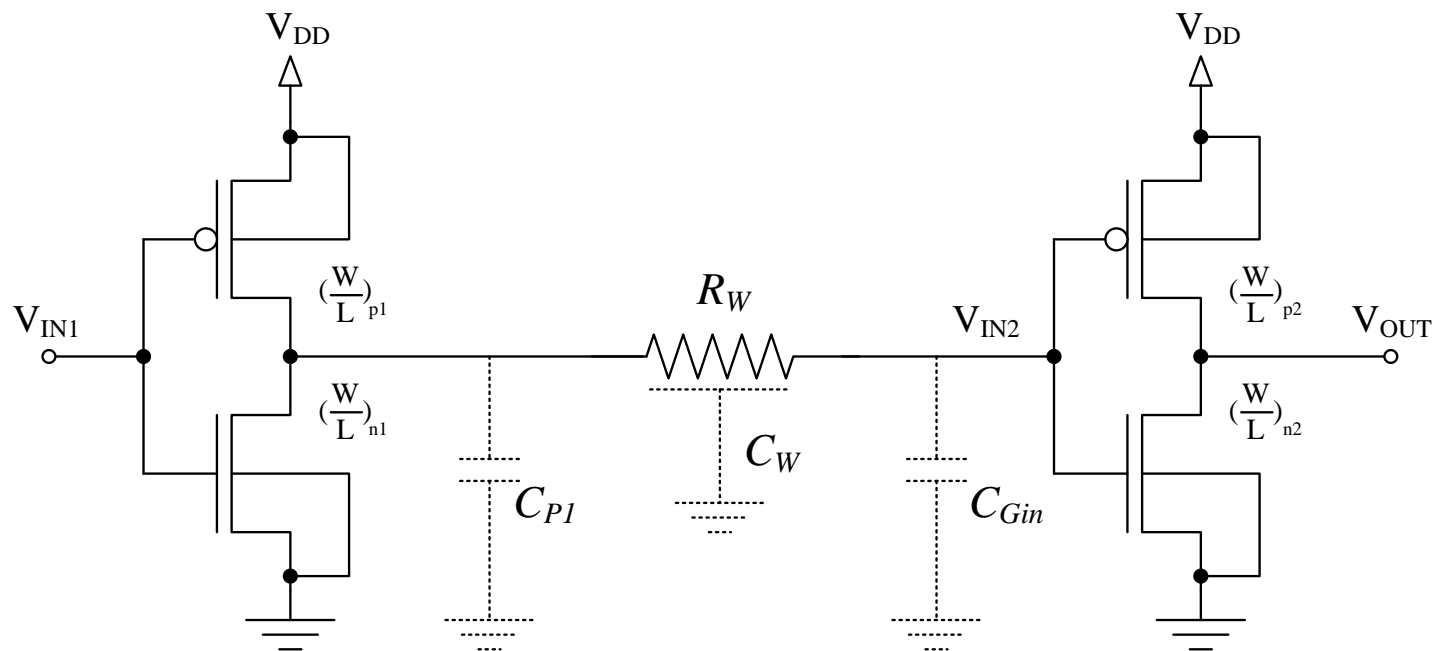


$$\tau = R_1 C_1 + (R_1 + R_2).C_2 + (R_1 + R_2 + R_3).C_3 +$$

$$(R_1 + R_2 + R_3 + R_4).C_4 + (R_1 + R_2).C_5 + (R_1 + R_2).C_6 + (R_1 + R_2 + R_3).C_7$$

# استفاده از معادله تاخیر Elmore

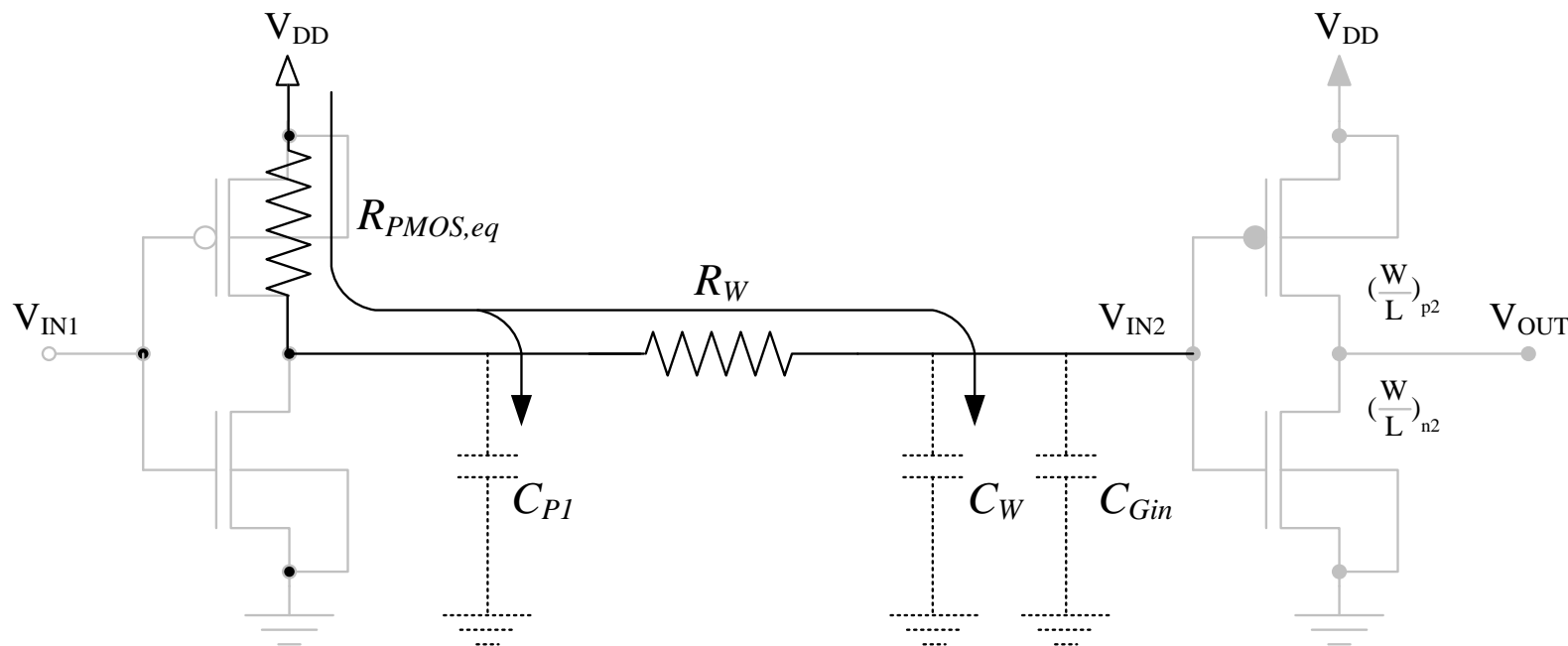
در اتصال دو مدار وارونگر زیر، مطلوبست محاسبه تاخیر در ورودی مدار دوم





# استفاده از معادله تاخیر Elmore

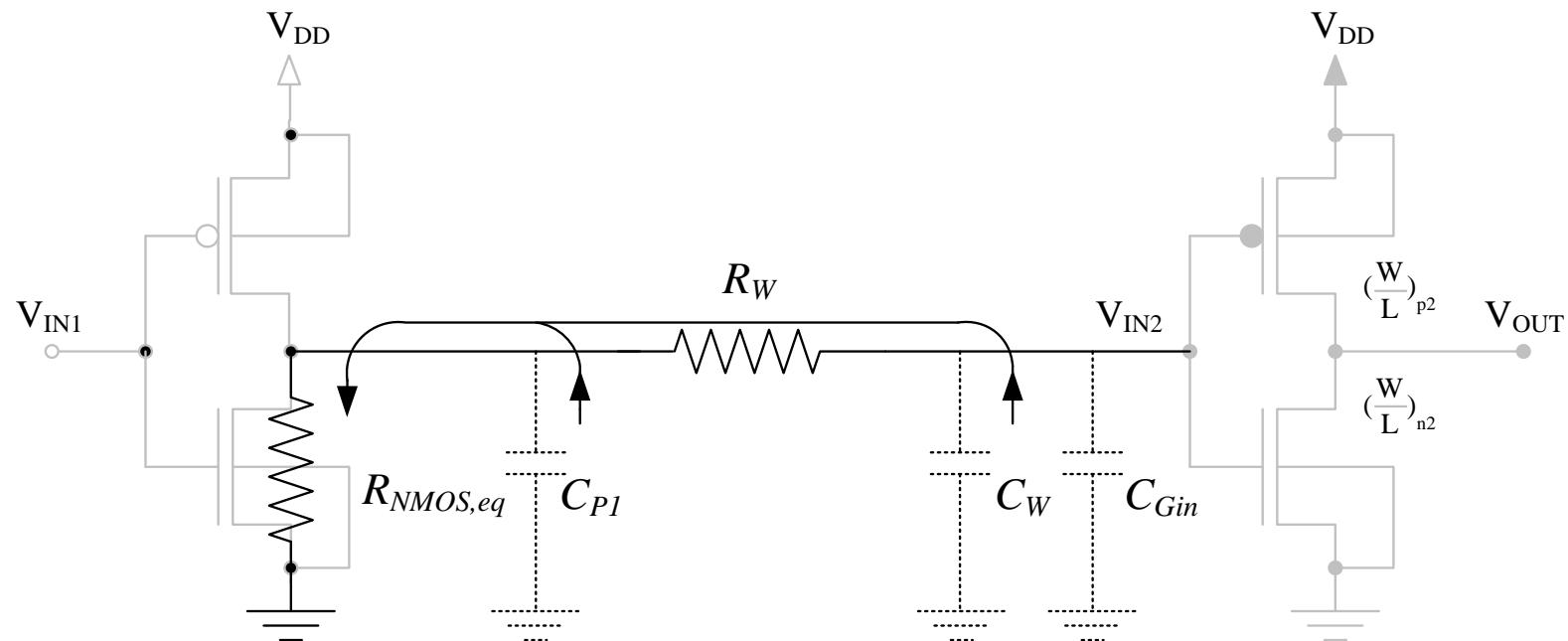
حالت اول - تغییر وضعیت به 1 منطقی



$$\tau_{\text{charge}} = R_{PMOS,eq} C_{P1} + (R_{PMOS,eq} + R_W)(C_W + C_{Gin})$$

# استفاده از معادله تاخیر Elmore

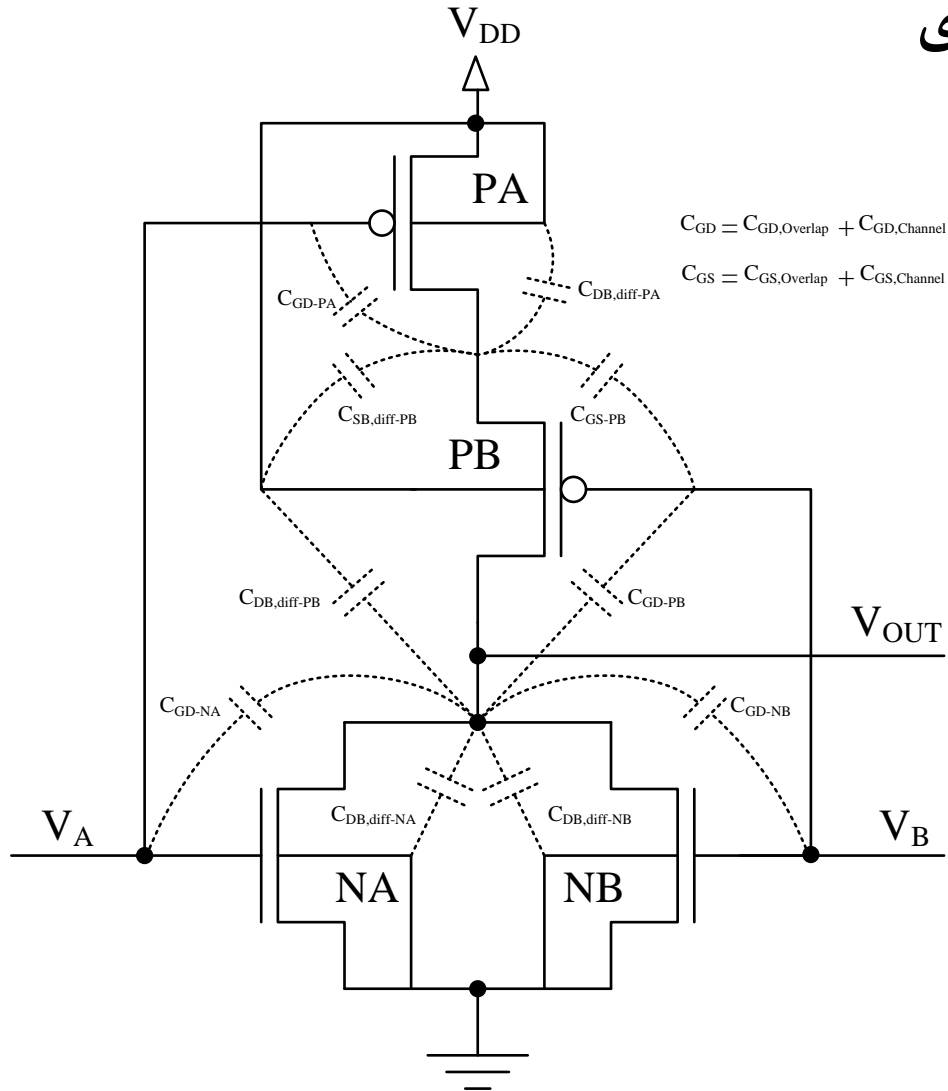
حالت دوم - تغییر وضعیت به 0 منطقی



$$\tau_{\text{discharge}} = R_{NMOS,eq} C_{P1} + (R_{NMOS,eq} + R_W)(C_W + C_{Gin})$$

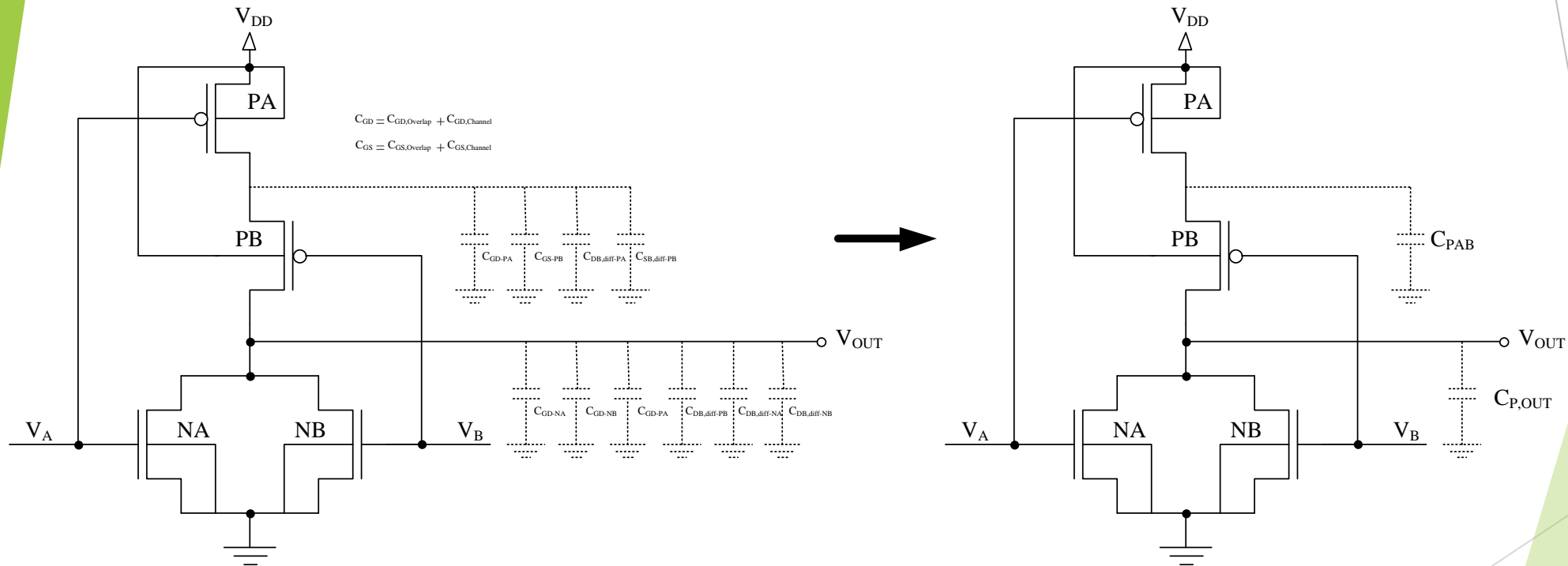
# محاسبه تاخیر برای مدارات ترکیبی دیگر

## محاسبه تاخیر برای مدار NOR دو ورودی



# محاسبه تاخیر برای مدارات ترکیبی دیگر

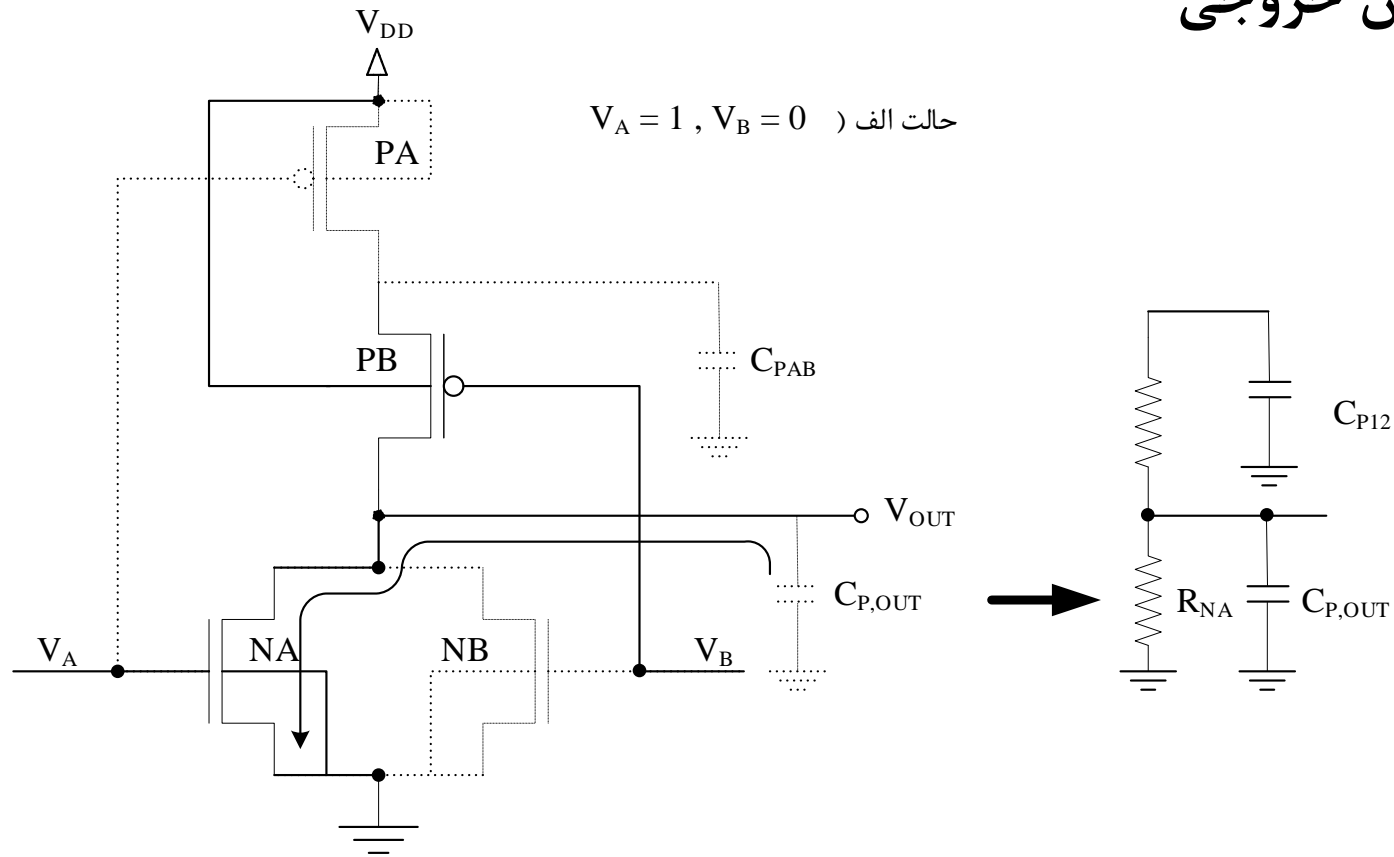
## محاسبه تاخیر برای مدار NOR دو ورودی



چهار حالت مختلف برای مدار قابل بررسی است

# محاسبه تاخیر برای مدارات ترکیبی دیگر

حالت الف : صفر شدن خروجی

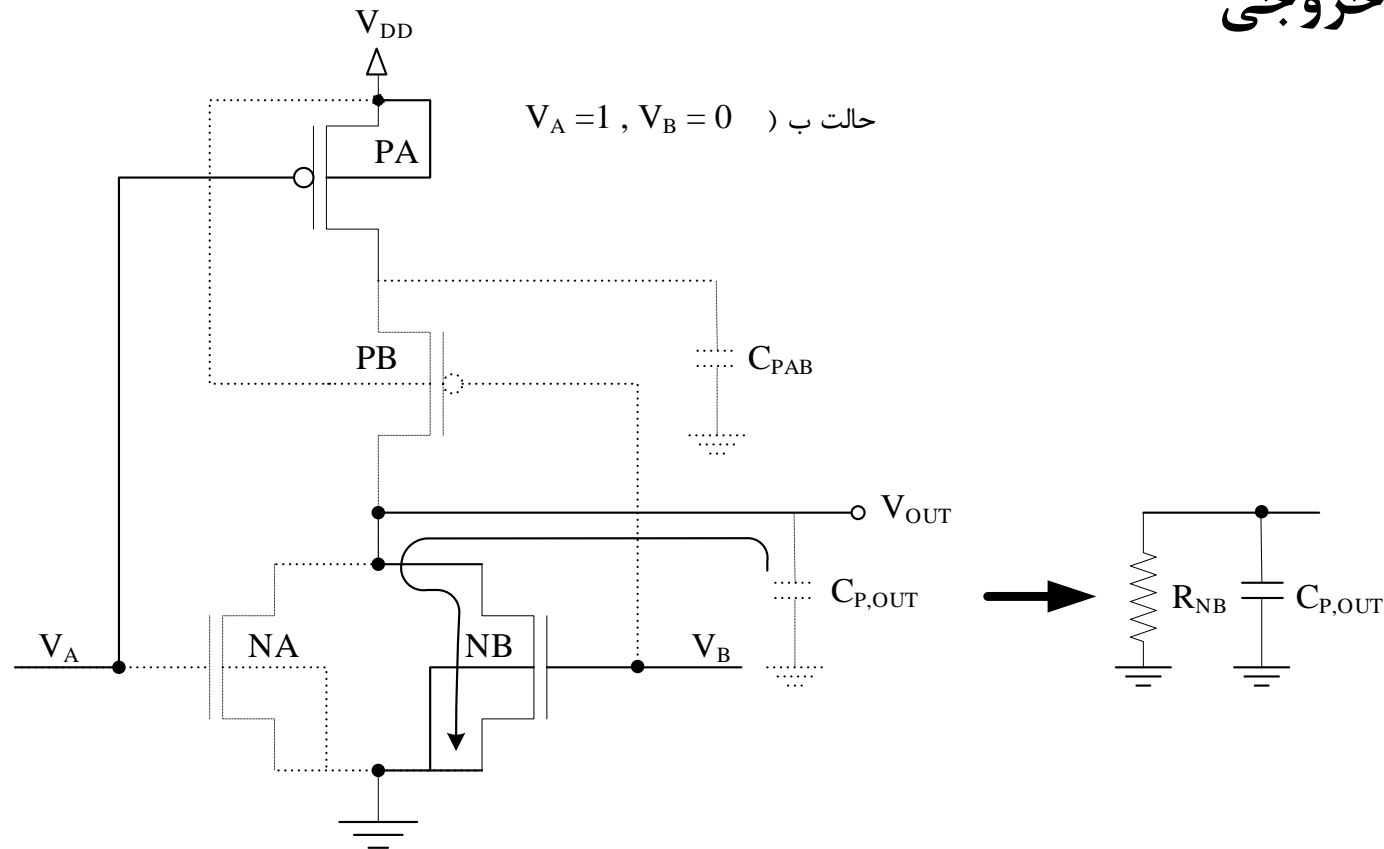


$$V_A = 1, V_B = 0 \rightarrow \tau_{\text{discharge1}} = R_{NA} C_{P,OUT} + R_{NA} C_{PAB}$$

$$\tau_{\text{discharge1}} \approx R_{NA} C_{P,OUT}$$

# محاسبه تاخیر برای مدارات ترکیبی دیگر

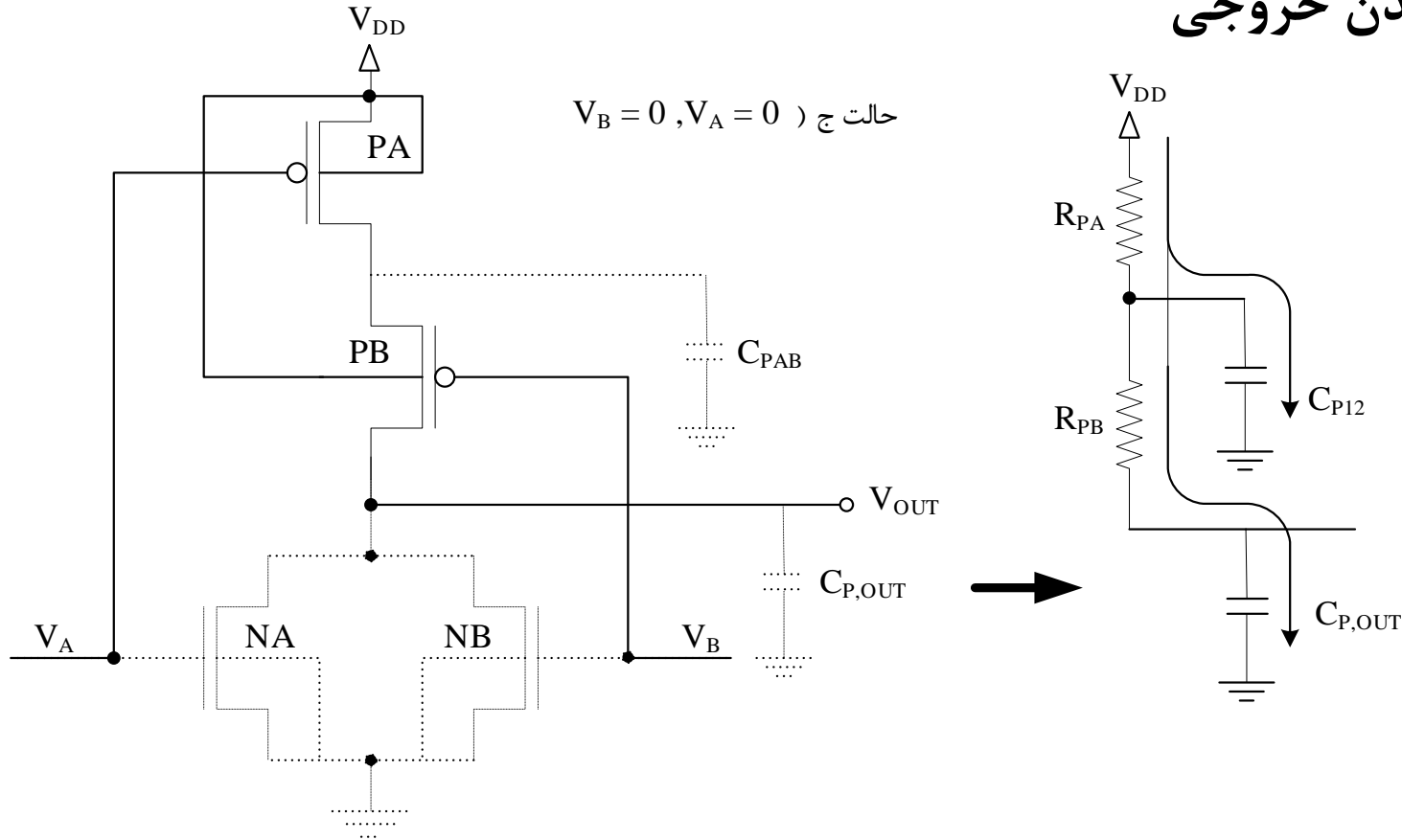
حالت ب: صفر شدن خروجی



$$V_A = 0, V_B = 1 \rightarrow \tau_{\text{discharge2}} = R_{NB} C_{P,OUT}$$

# محاسبه تاخیر برای مدارات ترکیبی دیگر

حالت ج : یک شدن خروجی

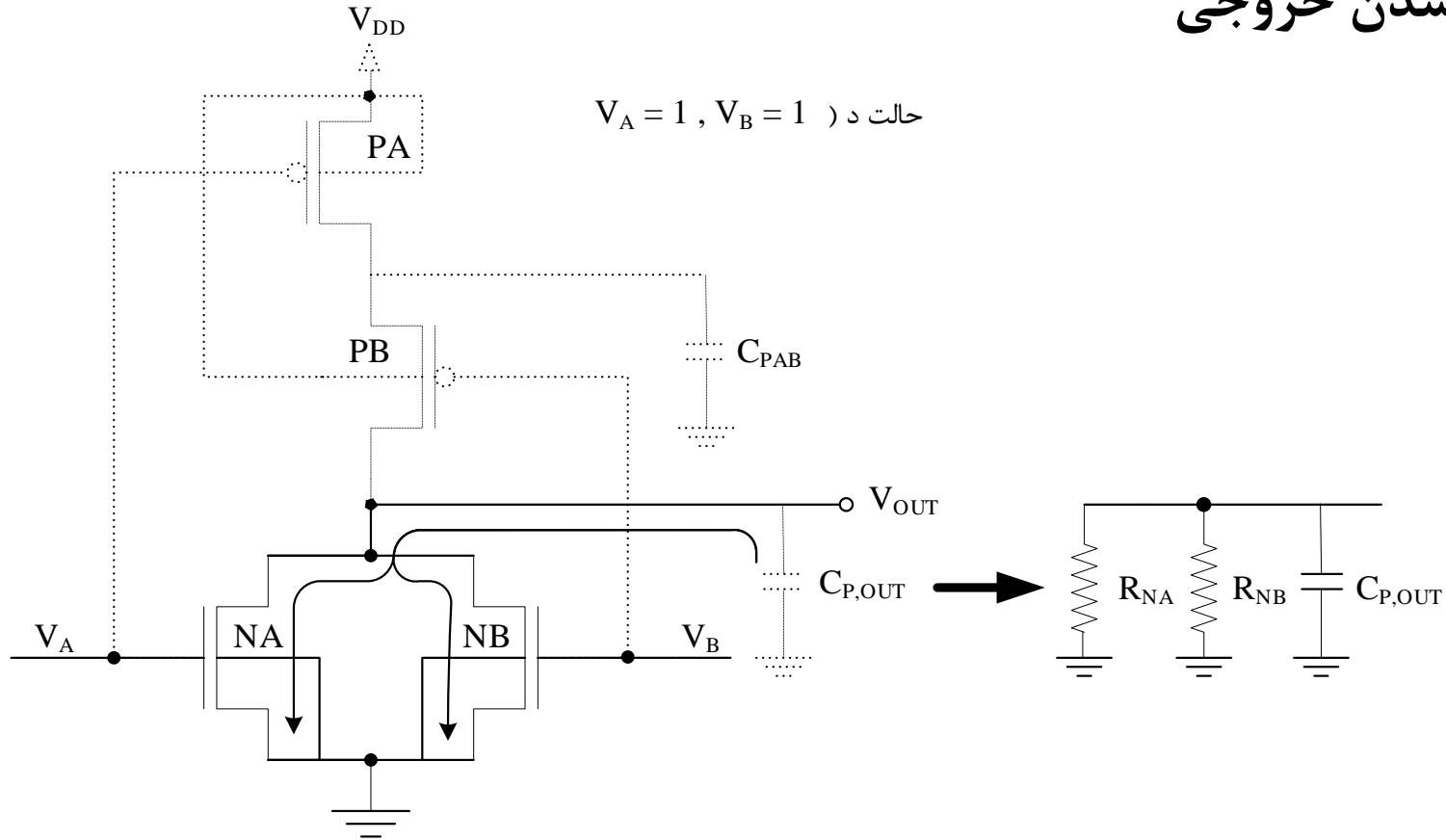


$$V_A = 0, V_B = 0 \rightarrow \tau_{\text{charge}} = R_{PA} C_{PAB} + (R_{PA} + R_{PB}) C_{P,OUT}$$

$$V_A = 0, V_B = 0 \rightarrow \tau_{\text{charge}} \approx (R_{PA} + R_{PB}) C_{P,OUT}$$

# محاسبه تاخیر برای مدارات ترکیبی دیگر

حالت د: صفر شدن خروجی

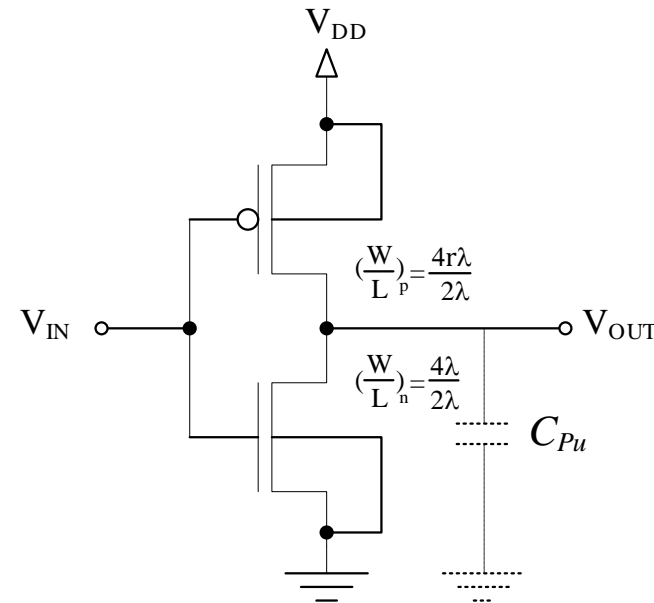
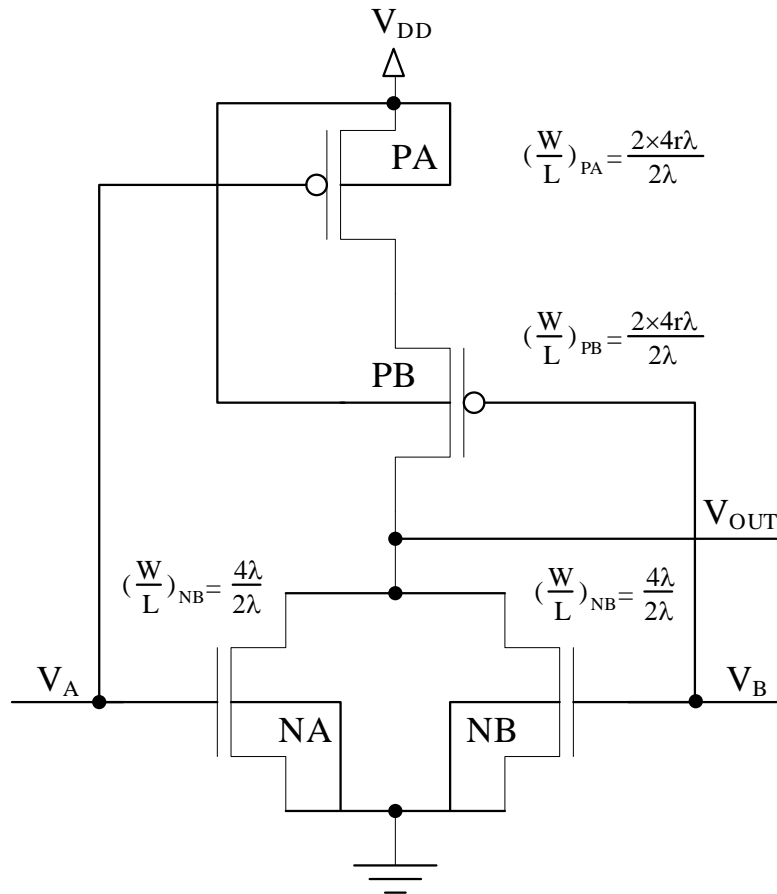


$$V_A = 1, V_B = 1 \rightarrow \tau_{\text{discharge3}} = (R_{NA} \parallel R_{NB}) C_{P,OUT}$$



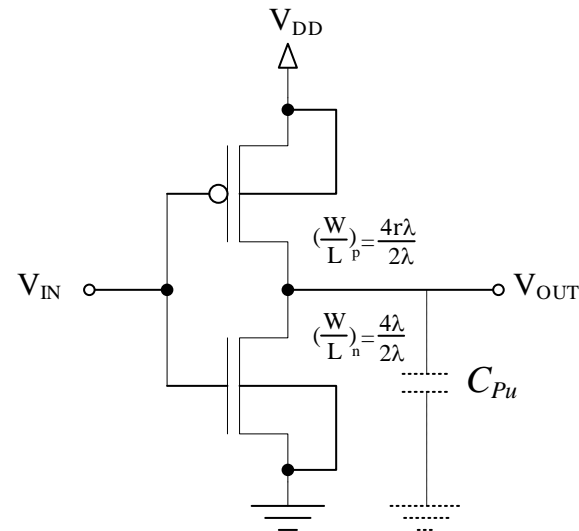
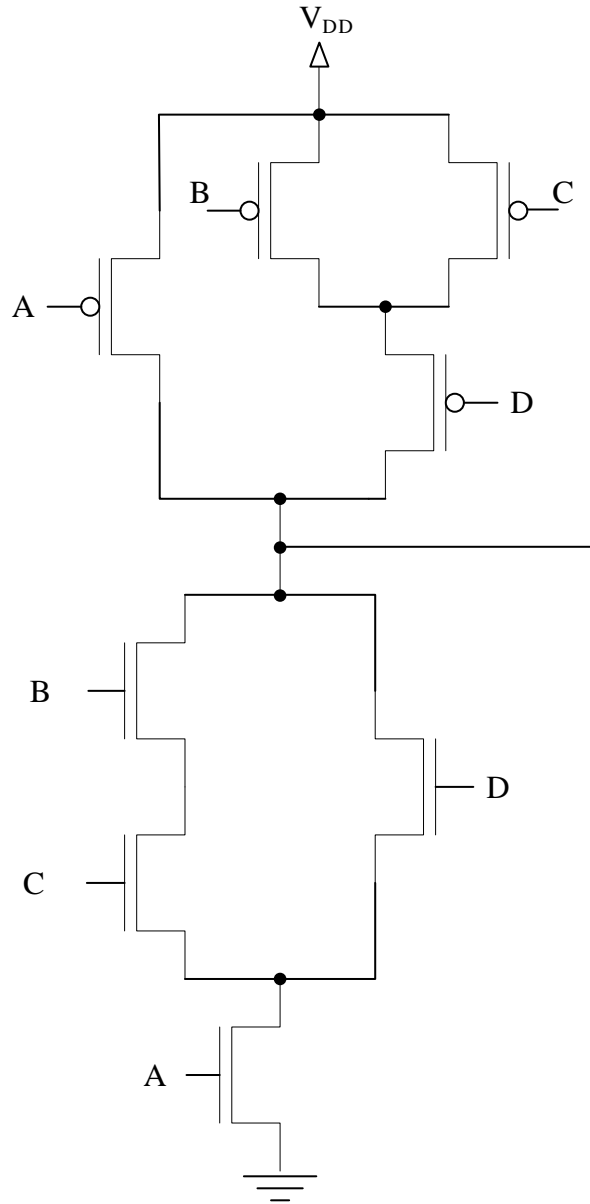
# محاسبه تاخیر برای مدارات ترکیبی دیگر

برای مقارن شدن مدار NOR با کوچکترین اندازه ممکن، آنرا با مدار وارونگر مقارن مقایسه کرده، اندازه ترانزیستورها را مشخص می کنند.



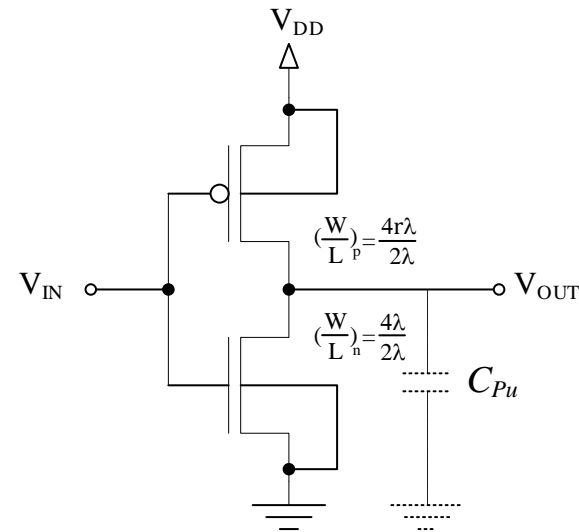
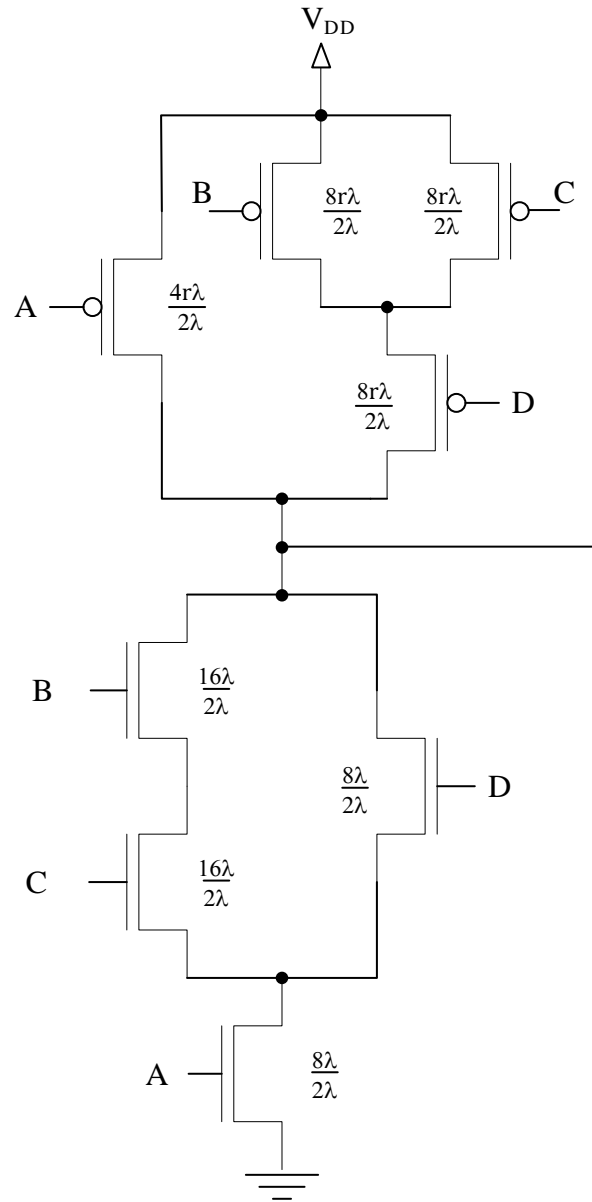
# محاسبه تاخیر برای مدارات ترکیبی دیگر

برای مقارن شدن مدار CMOS زیر اندازه ترانزیستورها را با توجه به مدار Inverter تعیین کنید.



# محاسبه تاخیر برای مدارات ترکیبی دیگر

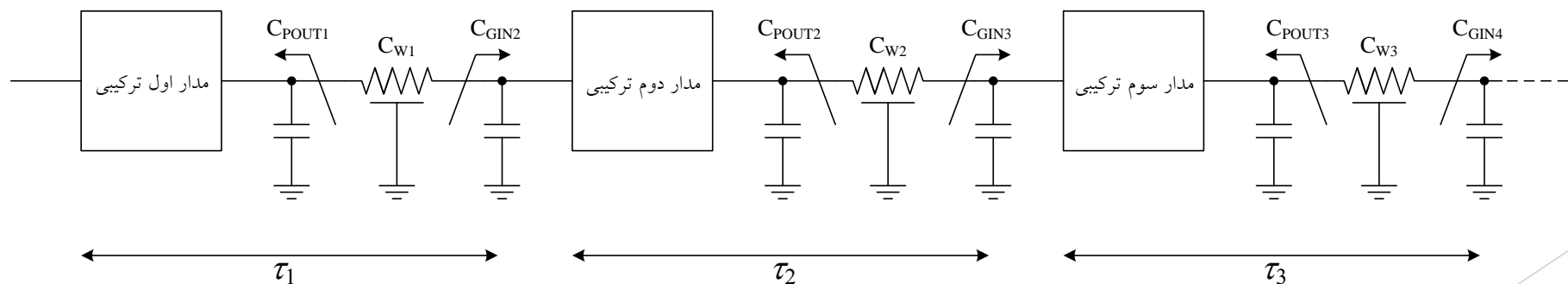
برای مقارن شدن مدار CMOS زیر اندازه ترانزیستورها را با توجه به مدار Inverter تعیین کنید.



# محاسبه تاخیر زنجیره مدارهای ترکیبی

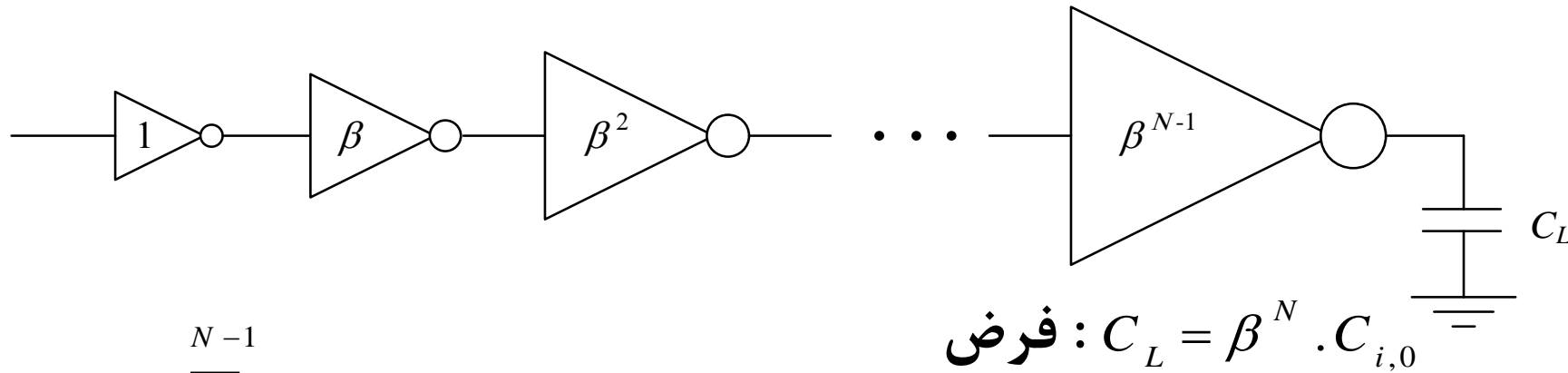
برای محاسبه تاخیر زنجیره ای از مدارهای ترکیبی، به شرط آنکه جریان از یک مدار به دیگری وجود نداشته باشد، با در نظر گرفتن اثرهای خازنی، تاخیر هر مدار را محاسبه کرده، تاخیر کل تقریباً معادل است با جمع تاخیرهای محاسبه شده.

- اثر خازنهای پارازیتی ترانزیستورهای خروجی هر مدار،
- اثر خازنی سیم.
- اثر خازنی ورودی مدار بعد.



## مثال :

در مدار زیر نسبت افزایش عرض ترانزیستورها را به گونه ای تعیین کنید که تاخیر کل مدار حداقل شود. ( فرض کنید inverter ها متقارن باشند )



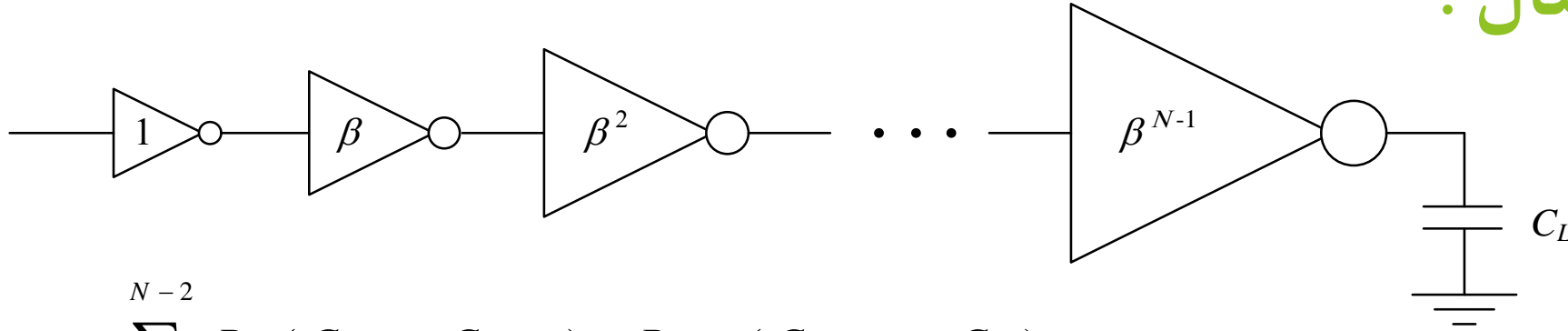
$$\tau_{total} = \sum_{k=0}^{N-1} \tau_k$$

$$\tau_k = R_k (C_{o,k} + C_{i,k+1}) \quad k = 0, 1, \dots, N-2$$

$$\tau_{N-1} = R_{N-1} (C_{o,N-1} + C_L)$$

$$R_k = \frac{R_0}{\beta^k}, \quad C_{o,k} = \beta^k \cdot C_{o,0}, \quad C_{i,k+1} = \beta^{k+1} \cdot C_{i,0}$$

مثال :



$$\tau_{o_t} = \sum_{k=0}^{N-2} R_k (C_{o,k} + C_{i,k+1}) + R_{N-1} (C_{o,N-1} + C_L)$$

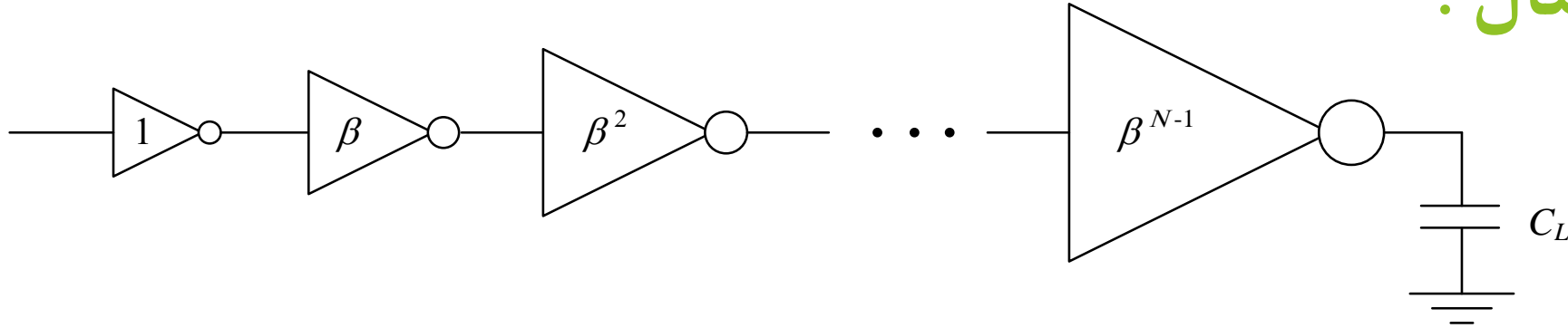
$$\tau_{o_t} = \sum_{k=0}^{N-2} \frac{R_0}{\beta^k} [\beta^k \cdot C_{o,0} + \beta^{k+1} \cdot C_{i,0}] + \frac{R_0}{\beta^{N-1}} (\beta^{N-1} \cdot C_{o,0} + C_L)$$

$$\tau_{o_t} = \sum_{k=0}^{N-2} R_0 [C_{o,0} + \beta \cdot C_{i,0}] + R_0 (C_{o,0} + \frac{C_L}{\beta^{N-1}})$$

$$\tau_{o_t} = \sum_{k=0}^{N-2} R_0 [C_{o,0} + \beta \cdot C_{i,0}] + R_0 (C_{o,0} + \beta \cdot C_{i,0}) =$$

$$= \sum_{k=0}^{N-1} R_0 [C_{o,0} + \beta \cdot C_{i,0}] = N \cdot R_0 [C_{o,0} + \beta \cdot C_{i,0}]$$

## مثال :



در صورتی که در رابطه قبل بتوان از  $C_{o,0}$  در مقابل  $\beta \cdot C_{i,0}$  صرفنظر کرد، داریم :

$$\tau_{total} = N \cdot \beta \cdot R_0 \cdot C_{i,0}$$

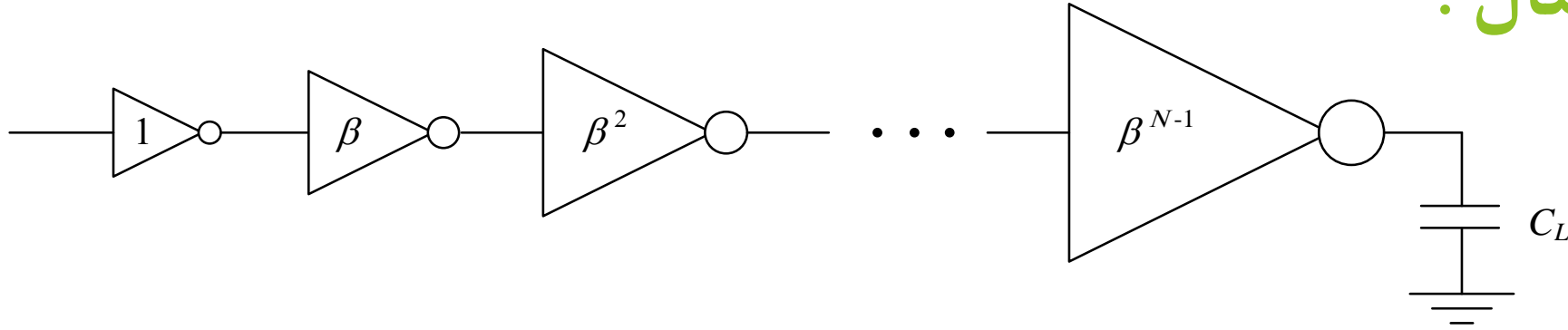
برای حداقل کردن این رابطه، ابتدا بین  $N$  و  $\beta$  رابطه زیر را در نظر میگیریم

$$C_L = \beta^N \cdot C_{i,0} \rightarrow \beta^N = \frac{C_L}{C_{i,0}} \rightarrow N = \frac{\ln \frac{C_L}{C_{i,0}}}{\ln \beta}$$

بنابراین :

$$\tau_{total} = N \cdot \beta \cdot R_0 \cdot C_{i,0} = \frac{\ln \frac{C_L}{C_{i,0}}}{\ln \beta} \beta \cdot R_0 \cdot C_{i,0}$$

مثال :



$$\begin{aligned} \frac{d}{d\beta} \tau_{total} &= \frac{d}{d\beta} \left[ \frac{\ln \frac{C_L}{C_{i,0}}}{\ln \beta} \beta \cdot R_0 \cdot C_{i,0} \right] = \ln \frac{C_L}{C_{i,0}} \cdot R_0 \cdot C_{i,0} \frac{d}{d\beta} \left[ \frac{\beta}{\ln \beta} \right] = \\ &= \ln \frac{C_L}{C_{i,0}} \cdot R_0 \cdot C_{i,0} \left[ \frac{\ln \beta - 1}{(\ln \beta)^2} \right] = 0 \end{aligned}$$

بنابراین :

$$\ln \beta - 1 = 0 \rightarrow \beta = e$$

$$N = \ln \frac{C_L}{C_{i,0}}$$