



امتحان پایان ترم درس الکترونیک
دیجیتال
دکتر فاضلی

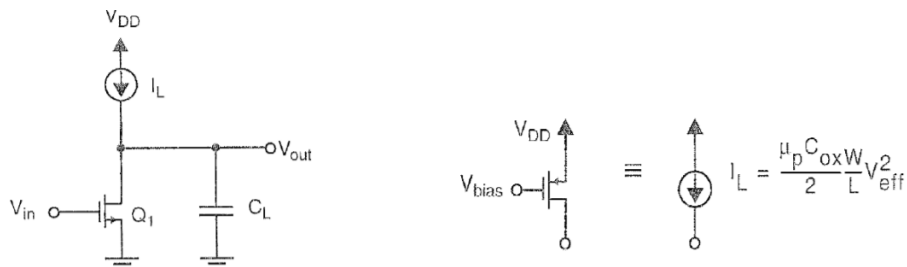
الناز رضایی ۹۸۴۱۱۳۸۷

بهمن ۱۴۰۰

توضیحات:

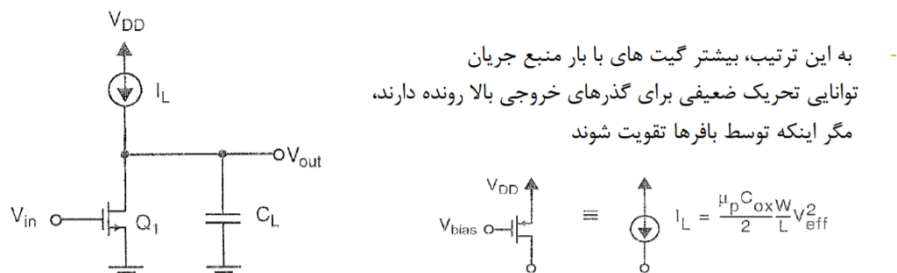
شبه nMOS

- فناوری شبه NMOS: ترانزیستورهای کانال n با یک ترانزیستور کانال p
- با بارگذاری خازنی کم نسبتاً سریع
- یک مدار مجتمع نوین حاوی میلیونها گیت نمی تواند فقط با استفاده از گیت های شبه NMOS پیاده سازی شوند به دلیل مصرف استاتیک
- با این وجود این مدارها ساده هستند، جای کمی می گیرند و همیشه بار کوچکی برای طبقات قبلی خود محسوب می شوند
- فناوری شبه NMOS یک تقویت کننده سورس مشترک با بار منبع جریان باشد، آنگاه Q_1 - اگر ولتاژ ورودی گیت کمتر از ولتاژ آستانه Q_1 قطع میشود و I خازنهای بار را تا سطح ولتاژ بال (بطور ایدآل V_{DD}) شارژ خواهد کرد
- اگر ورودی بال باشد Q_1 در ابتدا به طور چشمگیری جریان بیشتری را نسبت به I هدایت خواهد کرد
- ۱ مؤثر خواهد بود، و Q_1 - کمتر از V_{GS} ۱ - و خازن بار تا سطح ولتاژ پایین تخلیه می شود. سپس V_{DS} L به ناحیه خطی وارد می شود که باعث می شود که جریان آن تا حد I کاهش یابد و خروجی نزدیک به صفر ولت خواهد شد

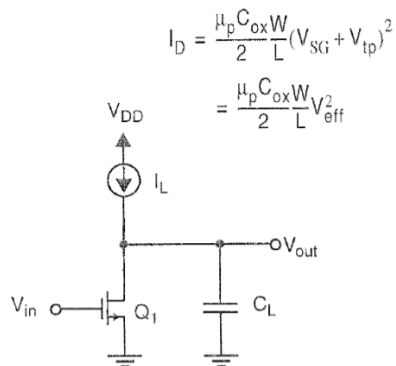


استفاده از یک ترانزیستور کانال p برای ایجاد یک بار منبع جریان

- برای تضمین اینکه V_{OL} به اندازه کافی به صفر ولت نزدیک باشد Q_1 را به قدر کافی عریض در نظر می گیرند
- TH است، جریانش - در این صورت وقتی خروجی در ناحیه گذر (ولتاژ از بال به پایین) است و در حدود V_L بسیار بیشتر از مقدار I می شود
- هر چند این امر منجر می شود که زمان صعود بطور چشمگیری بیشتر از زمان نزول شود



- به این ترتیب، بیشتر گیت های با بار منبع جریان توانایی تحریک ضعیفی برای گذرهای خروجی بالا رونده دارند، مگر اینکه توسط بافرها تقویت شوند



$$I_D = \frac{\mu_p C_{ox} W}{2L} (V_{SG} + V_{tp})^2$$

$$= \frac{\mu_p C_{ox} W}{2L} V_{eff}^2$$

- رابطه جریان ترانزیستور نوع p در ناحیه فعال:

(این معادله امپدانس خروجی r_{ds} را در نظر نمی گیرد)

ولتاژ درین نباید بیش از مقدار $|V_{tp}|$ (حدود ۰.۸ الی ۰.۹ ولت) از ولتاژ گیت بزرگتر باشد.

اگر $V_{DD} = 3.3V$ و V_{bias} نصف آن یعنی ۱.۶۵ ولت باشد، آنگاه مادامی که ولتاژ درین تقریباً کمتر از ۲.۴۵ ولت است رابطه بالا به کار می رود

$$V_{SG} = V_{DD} - V_{bias} = 1.65V$$

$$V_{eff} = V_{SG} + V_{tp} \approx 0.75V$$

بنابراین تا زمانی که این ولتاژ بیشتر از ۰.۷۵ ولت یا بیشتر باشد، $I_D = I_L$ مستقل از ولتاژ دو سر ترانزیستور است.

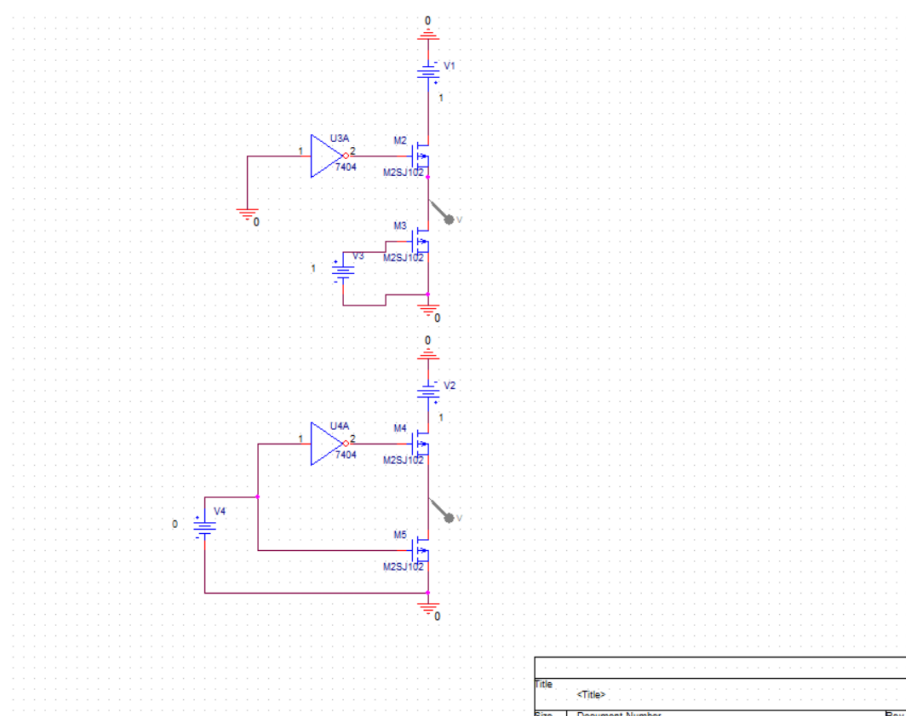
به این ترتیب، مادامی که ولتاژ خروجی گیت کمتر از ۲.۴۵ ولت یا حدود آن باشد، می توان از ترانزیستور کانال p برای ایجاد یک منبع جریان تقریبی استفاده کرد. این حالتی است که در اکثر موارد هنگام تغییر منطق خروجی رخ می دهد. زمانی که ولتاژ خروجی تقریباً بیشتر از ۲.۴۵ ولت شود، آنگاه جریان بار شروع به افت می کند و مدل دقیق تر، یک منبع جریان به صورت موازی با یک مقاومت خواهد بود.

سوال ۱:

خروجی دو وارونگر CMOS و شبه NMOS به هم متصل شده است. ولتاژ خروجی مدار را به ازای همه حالت های ممکن محاسبه کنید.

پاسخ ۱:

مدار شبیه سازی شده مربوط به سوال ۱:



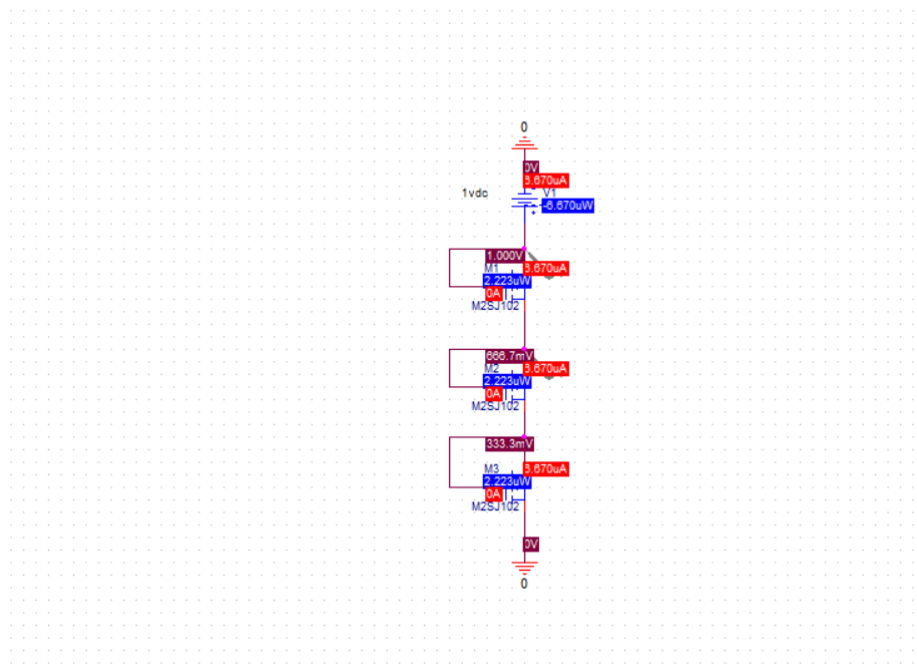
سوال ۲:

در مدار زیر ولتاژ VA ، VB و جریان گذرنده از مدار را محاسبه کنید. (توجه: ولتاژ تغذیه را شما ۱ ولت در نظر بگیرید نه ۵ ولت)

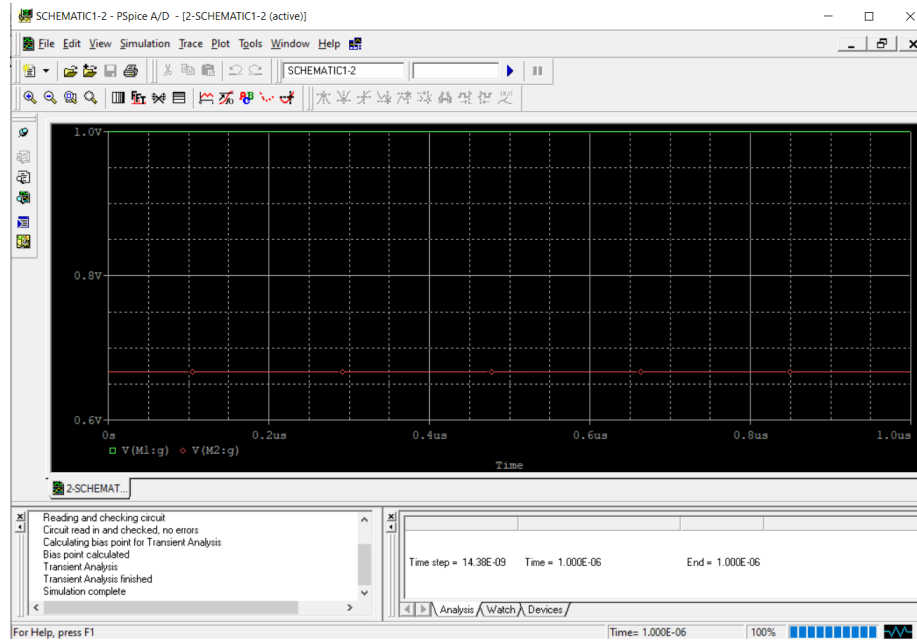
$$K_n = 200 \text{ A/V}^2$$

پاسخ ۲:

مدار شبیه سازی شده مربوط به سوال ۲:



نمودار مربوط به سوال ۲:

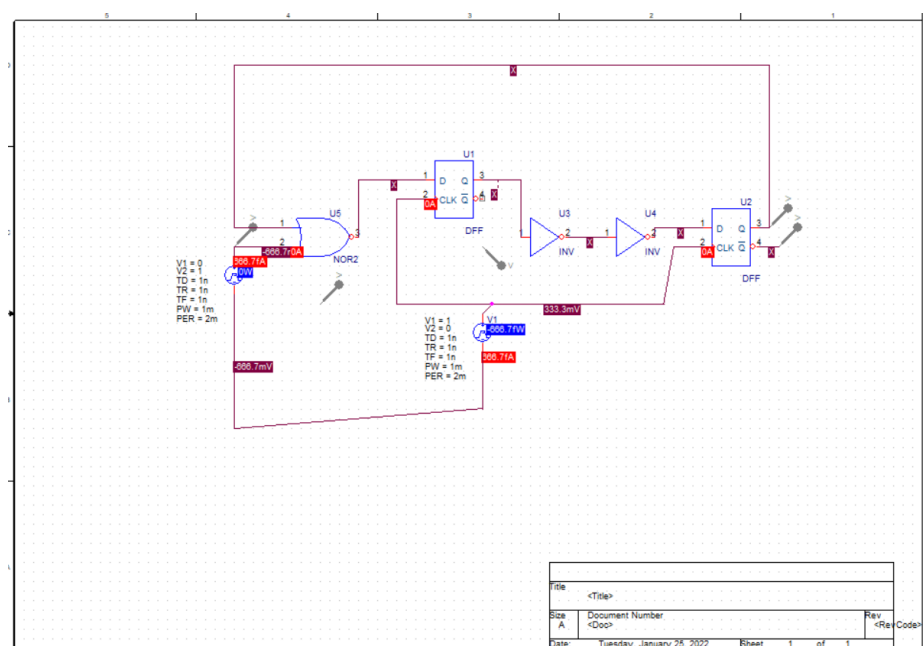


سوال ۳:

حداکثر فرکانس مدار زیر را فقط با استفاده از شبیه سازی بدست آورید.

پاسخ ۳:

مدار شبیه سازی شده مربوط به سوال ۳:



نمودار مربوط به سوال ۳:

