

اللَّهُمَّ احْمِ الْخَمِيمَ

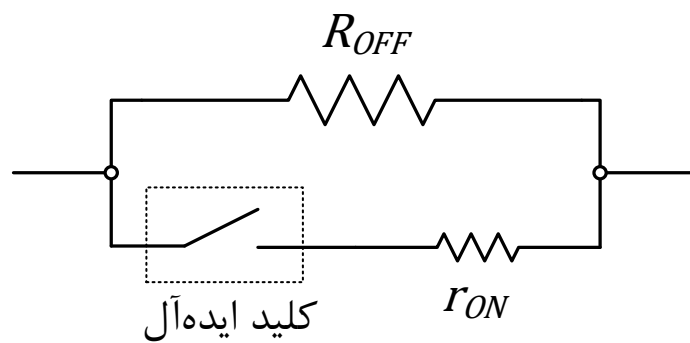
# طراحی سیستم های VLSI

## Pass Transistors & Transmission Gates

دکتر مهدی فاضلی

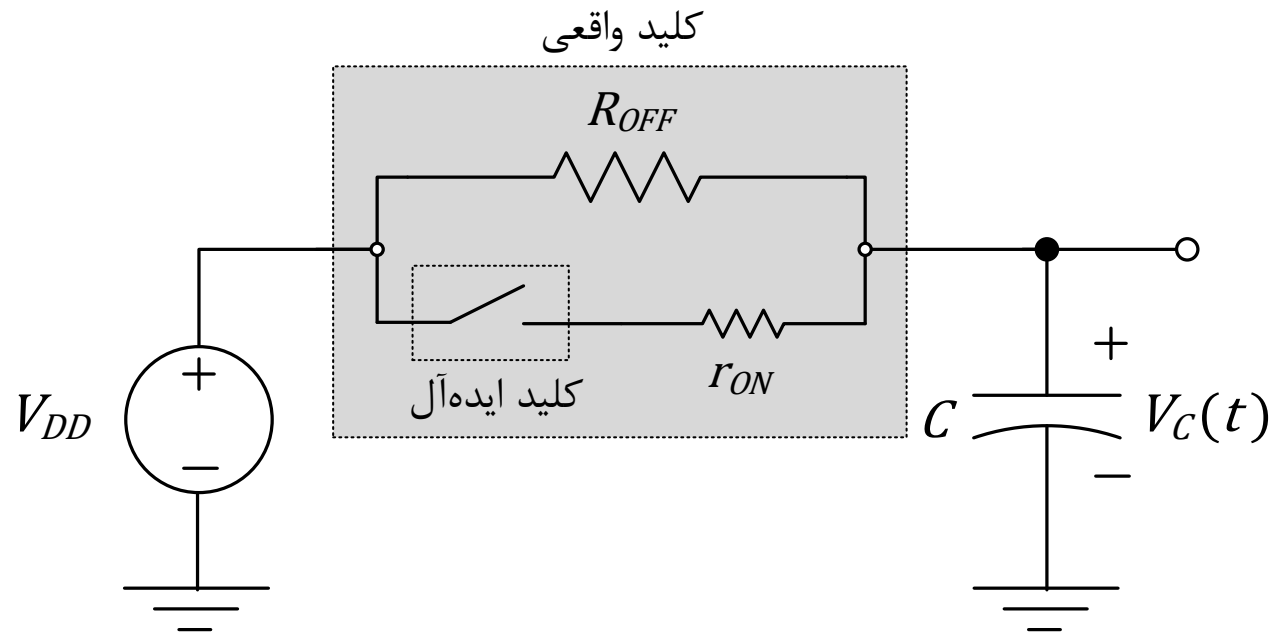
## سوئیچ واقعی

هنگام هدایت مقاومت  $r_{ON}$  و هنگام قطع مقاومت  $R_{OFF}$  را از خود نشان میدهد.



## سوئیچ واقعی

هنگام هدایت مقاومت  $r_{ON}$  و هنگام قطع مقاومت  $R_{OFF}$  را از خود نشان میدهد.

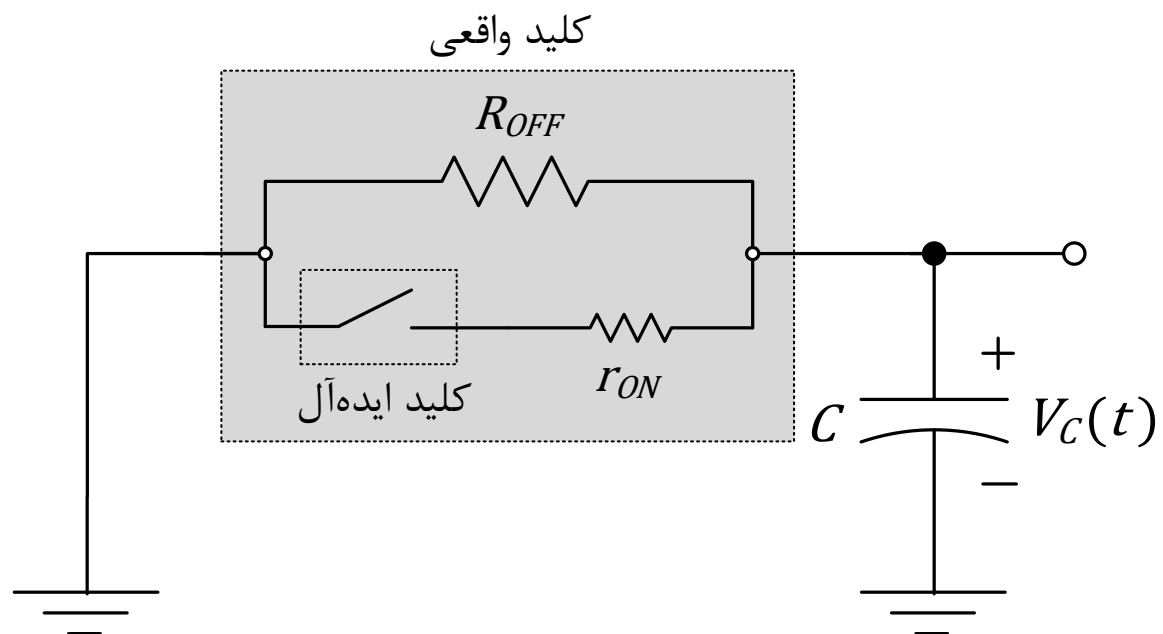


$$v_C(t) = V_{DD} \left(1 - e^{-\frac{t}{\tau}}\right), \quad \tau = r_{ON} \times C \quad \text{for all } t > 0$$

$$t_r = t_{90\%} - t_{10\%} = (\ln 9) \times \tau \approx 2.2 r_{ON} \cdot C$$

## سوئیچ واقعی

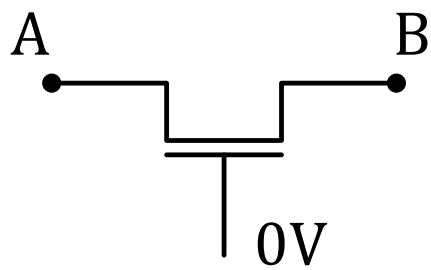
هنگام هدایت مقاومت  $r_{ON}$  و هنگام قطع مقاومت  $R_{OFF}$  را از خود نشان میدهد.



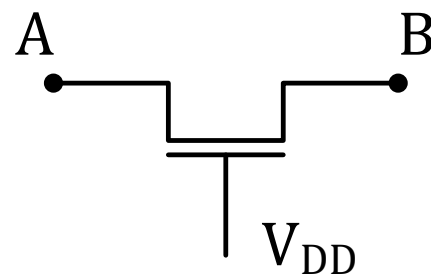
$$v_C(t) = V_{DD} e^{-\frac{t}{\tau}}, \quad \tau = r_{ON} \times C \text{ for all } t > 0$$

$$t_f = t_{10\%} - t_{90\%} = (\ln 9) \times \tau \approx 2.2 r_{ON} \times C$$

## NMOS به عنوان سوئیچ



(الف)



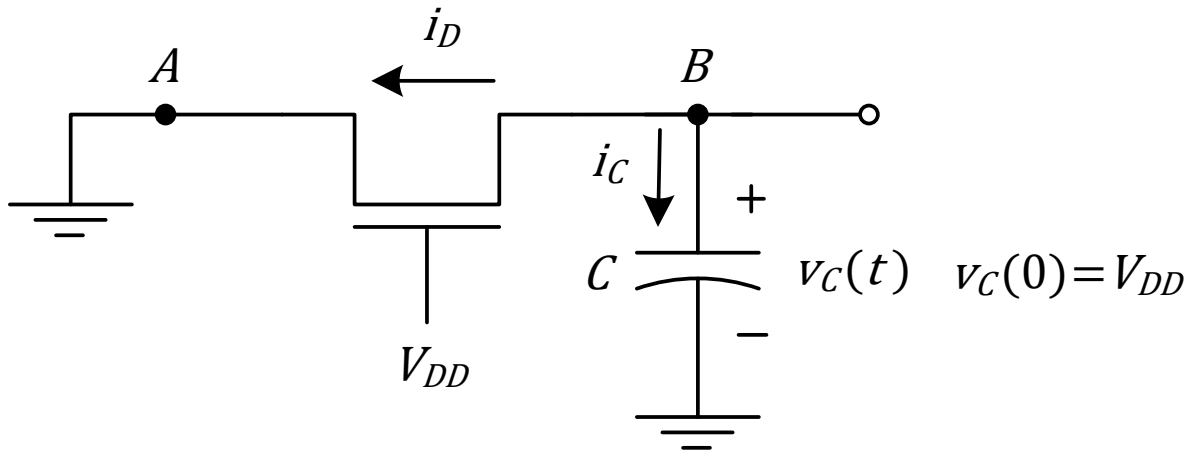
(ب)

اگر ولتاژ نقاط  $A$  و  $B$  بین  $0V$  و  $V_{DD}$  باشد. الف قطع و ب هدایت را نشان میدهد.

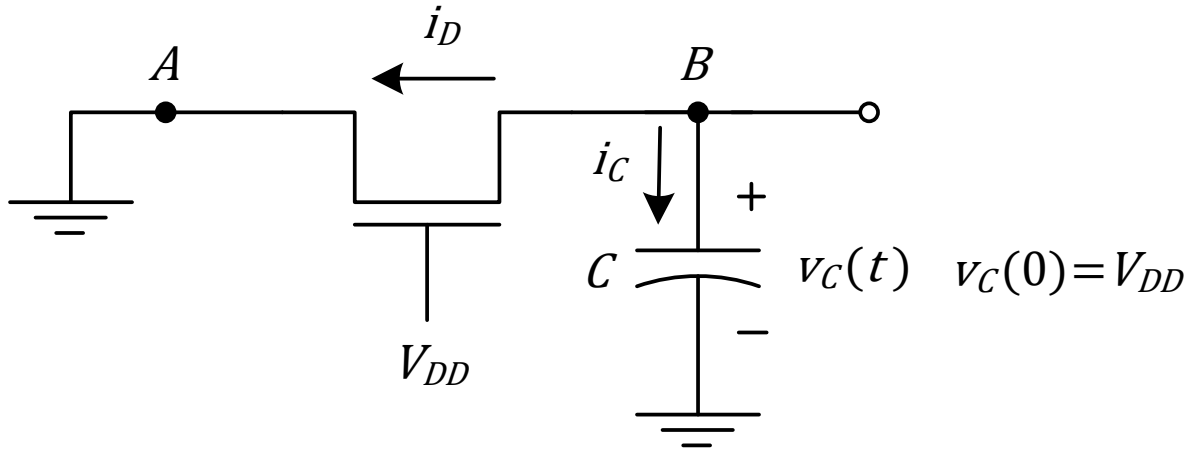
# بررسی عملکرد واقعی NMOS به عنوان سوئیچ

برای بررسی عملکرد NMOS در هنگام هدایت، مساله شارژ و دشارژ یک خازن را از مسیر ترانزیستور بررسی می کنیم.

به خاطر داشته باشید ترانزیستور MOS مقاومتی غیر خطی است.



## بررسی عملکرد واقعی NMOS به عنوان سوئیچ



If  $v_C = V_B = V_D \geq V_{DD} - V_{Tn}$  NMOS : Sat.

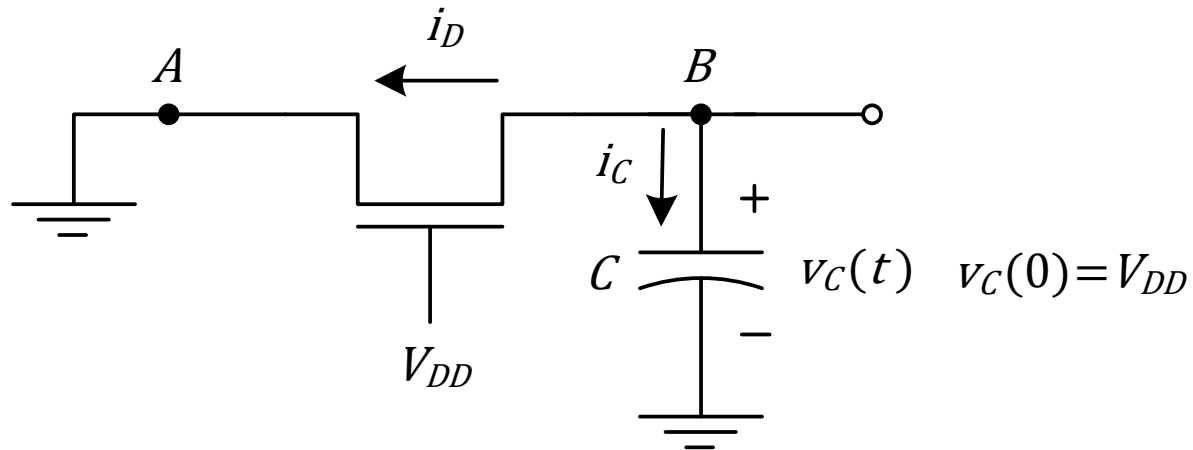
$$i_{Dn} = -i_C \rightarrow C \frac{dv_C}{dt} = -\frac{1}{2} \beta_n (V_{DD} - V_{Tn})^2, v_C(0) = V_{DD}$$

پس از حل معادله :

$$v_C(t) = V_{DD} - \frac{\beta_n}{2C} (V_{DD} - V_{Tn})^2 t, \quad V_{DD} - V_{Tn} \leq v_C \leq V_{DD}$$



## بررسی عملکرد واقعی NMOS به عنوان سوئیچ



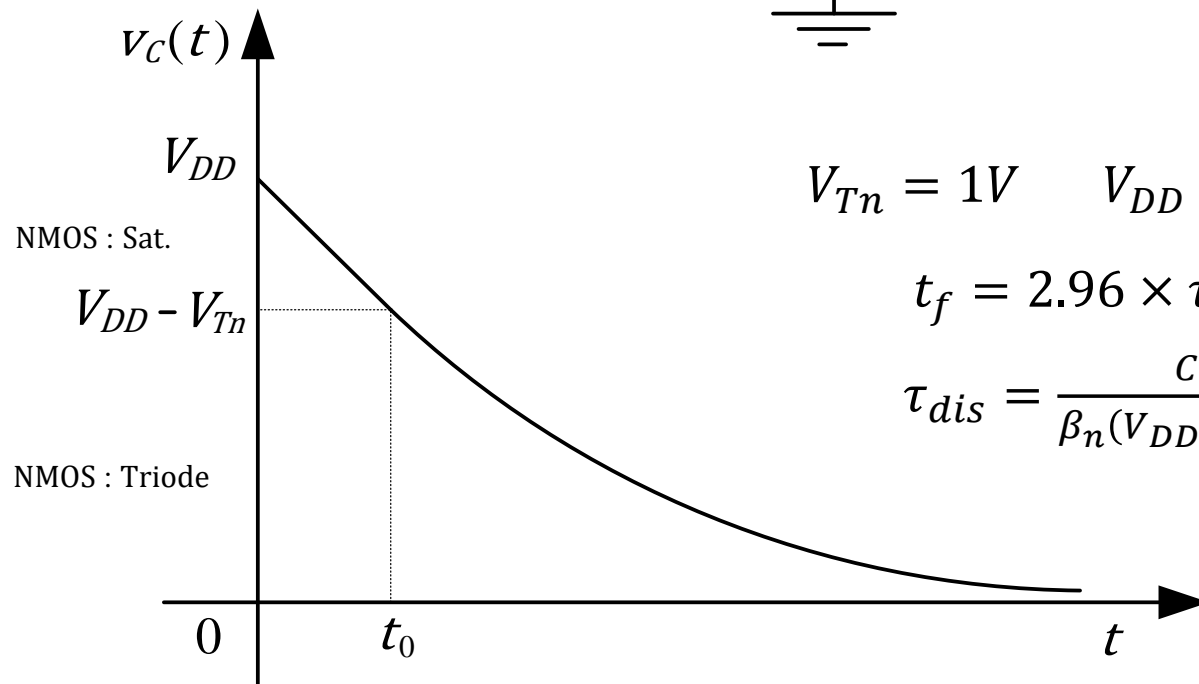
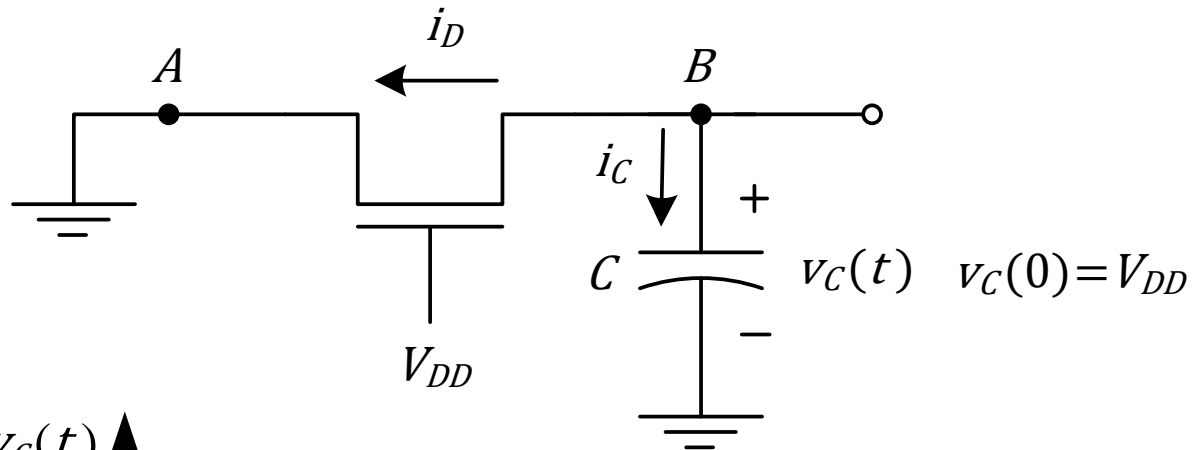
If  $0 \leq v_C < V_{DD} - V_{Tn}$  NMOS : Triode

$$i_{Dn} = -i_C \rightarrow C \frac{dv_C}{dt} = -\frac{1}{2} \beta_n (2(V_{DD} - V_{Tn})v_C - v_C^2) , v_C(t_0) = V_{DD} - V_{Tn}$$

پس از حل معادله :

$$v_C(t) = (V_{DD} - V_{Tn}) \cdot \frac{2e^{\left(-\frac{t-t_0}{\tau_{dis}}\right)}}{1 + e^{\left(-\frac{t-t_0}{\tau_{dis}}\right)}} , \tau_{dis} = \frac{C}{\beta_n (V_{DD} - V_{Tn})} , 0 \leq v_C \leq V_{DD} - V_{Tn}$$

# بررسی عملکرد واقعی NMOS به عنوان سوئیچ

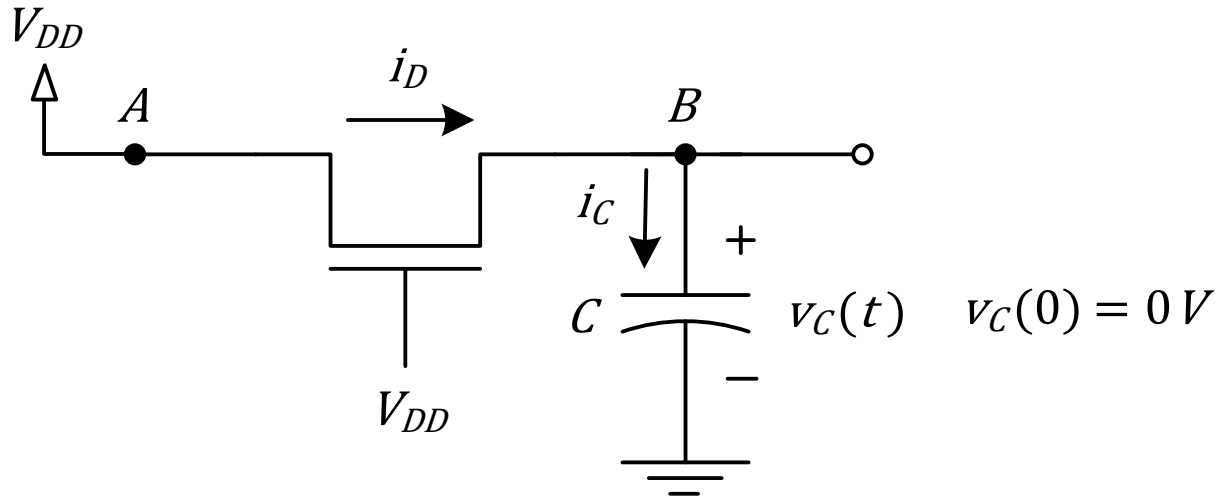


$$V_{Tn} = 1V \quad V_{DD} = 5V$$

$$t_f = 2.96 \times \tau_{dis}$$

$$\tau_{dis} = \frac{C}{\beta_n(V_{DD} - V_{Tn})}$$

## بررسی عملکرد واقعی NMOS به عنوان سوئیچ



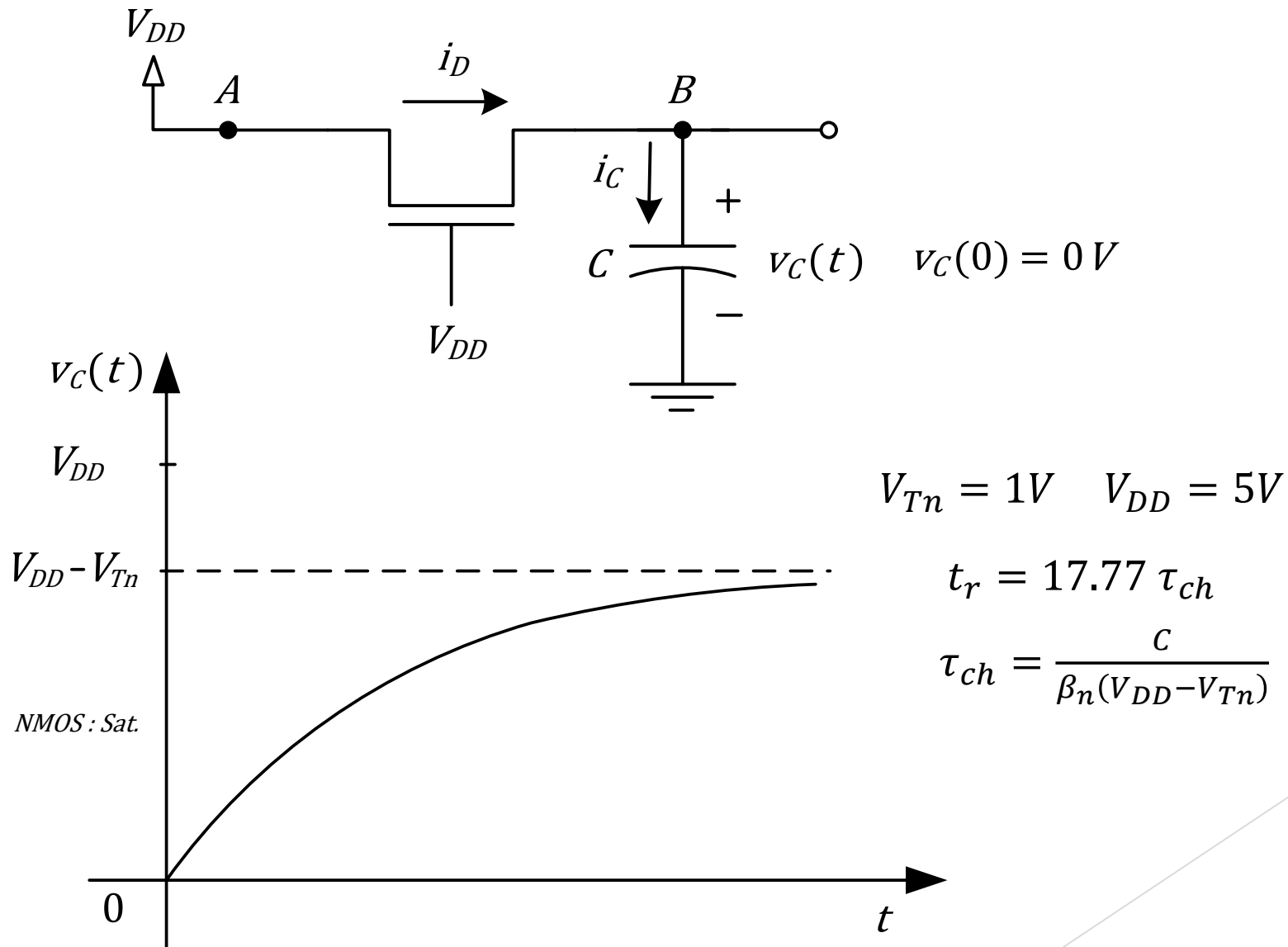
$$0 \leq v_C \leq V_{DD} - V_{Tn} \quad \text{NMOS : Sat.}$$

$$i_{Dn} = i_C \rightarrow C \frac{dv_C}{dt} = \frac{1}{2} \beta_n (V_{DD} - v_C - V_{Tn})^2, \quad v_C(0) = 0V$$

پس از حل معادله :

$$v_C(t) = V_{DD} - V_{Tn} - \frac{V_{DD} - V_{Tn}}{1 + \frac{t}{2\tau_{ch}}} \quad \tau_{ch} = \frac{C}{\beta_n (V_{DD} - V_{Tn})}$$

## بررسی عملکرد واقعی NMOS به عنوان سوئیچ



# برخی از نکات هدایت NMOS

NMOS ، 0 منطقی را به خوبی هدایت میکند زیرا :

- مقدار ولتاژ هدایت شده به صفر ولت می رسد.
- زمان نزول ( Fall time ) نزدیک زمان نزول سوئیچ واقعی است :

$$t_{fNMOS} = 2.96 \times \tau_{dis}$$

$$t_{f\ switch} = 2.22 \times \tau_{dis}$$

# برخی از نکات هدایت NMOS

NMOS ، 0 منطقی را به خوبی هدایت میکند زیرا :

- مقدار ولتاژ هدایت شده به صفر ولت می رسد.
- زمان نزول ( Fall time ) نزدیک زمان نزول سوئیچ واقعی است :

$$t_{fNMOS} = 2.96 \times \tau_{dis} \qquad t_{f\ switch} = 2.22 \times \tau_{dis}$$

NMOS ، 1 منطقی را به خوبی هدایت نمیکند زیرا :

- مقدار ولتاژ هدایت شده به حداکثر (  $V_{DD}$  ) نمیرسد.
- زمان صعود ( Rise time ) از زمان صعود سوئیچ واقعی بسیار بیشتر است:

$$t_{rNMOS} = 17.77 \times \tau_{dis} \approx 6\ t_{rNMOS} \qquad t_{r\ switch} = 2.22 \times \tau_{ch}$$

## نکته مهم

می توان با مقایسه روابط ثابت زمانی، برای ترانزیستور NMOS مقاومت معادل در نظر گرفت :

$$\tau = r_{ON} \cdot C$$

$$\tau_{dis} = \tau_{ch} = \frac{C}{\beta_n (V_{DD} - V_{Tn})}$$

## نکته مهم

می توان با مقایسه روابط ثابت زمانی، برای ترانزیستور NMOS مقاومت معادل در نظر گرفت :

$$\tau = r_{ON} \cdot C$$

$$\tau_{dis} = \tau_{ch} = \frac{C}{\beta_n(V_{DD} - V_{Tn})} \rightarrow R_{eq,NMOS} = \frac{1}{\beta_n(V_{DD} - V_{Tn})}$$



## نکته مهم

می توان با مقایسه روابط ثابت زمانی، برای ترانزیستور NMOS مقاومت معادل در نظر گرفت :

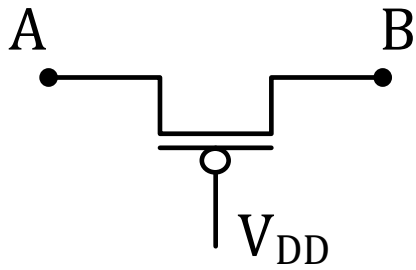
$$\tau = r_{ON} \cdot C$$

$$\tau_{dis} = \tau_{ch} = \frac{C}{\beta_n (V_{DD} - V_{Tn})} \rightarrow R_{eq, NMOS} = \frac{1}{\beta_n (V_{DD} - V_{Tn})}$$

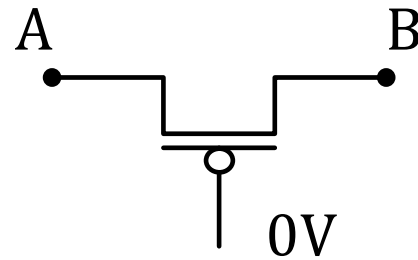
این رابطه نشان میدهد با تغییر  $\beta_n$  می توان مقاومت معادل ترانزیستور را که فقط در روابط تاخیری قابل استفاده است تغییر داد.  
به خاطر داریم :

$$\beta_n = \mu_n \cdot C_{ox} \frac{W}{L}$$

## PMOS به عنوان سوئیچ



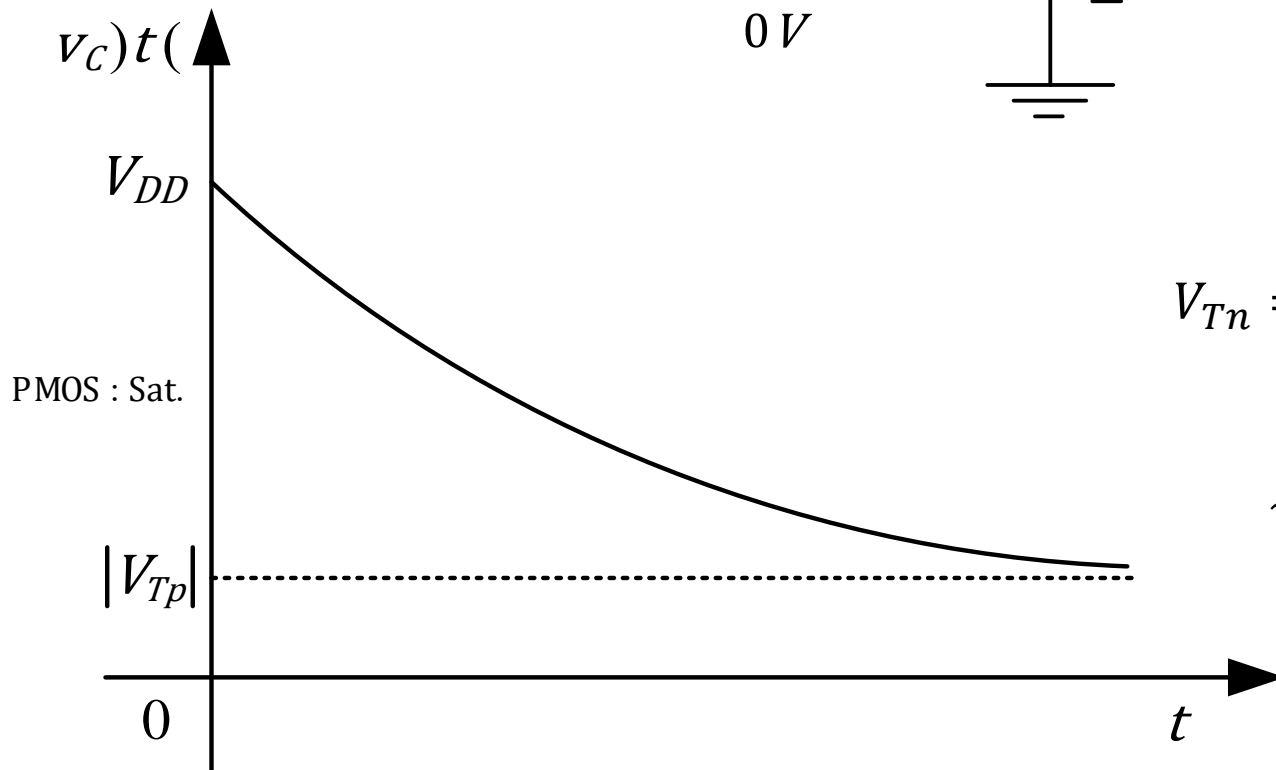
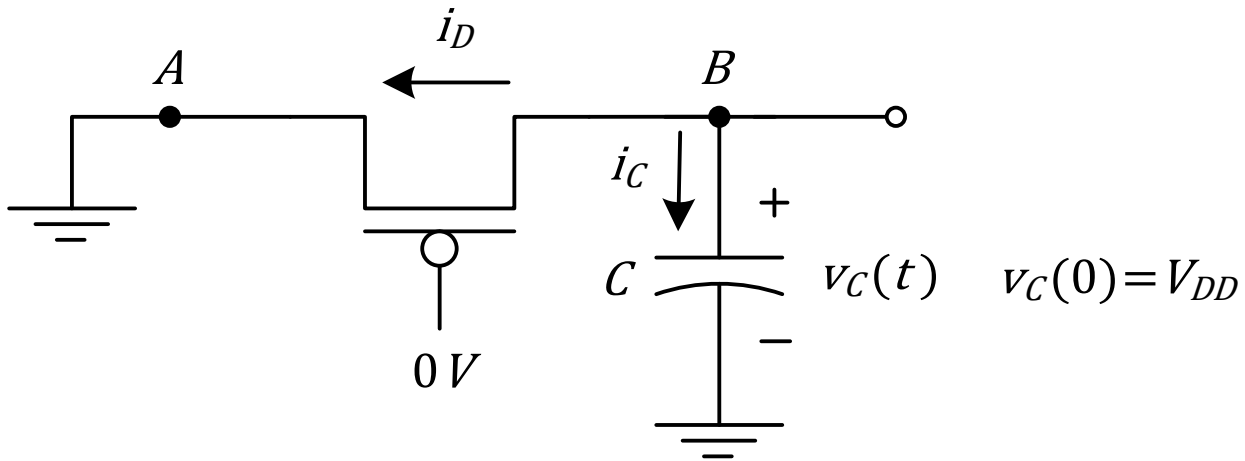
الف



ب

اگر ولتاژ نقاط A و B بین  $0V$  و  $V_{DD}$  باشد. الف قطع و ب هدایت را نشان میدهد.

# بررسی عملکرد واقعی PMOS به عنوان سوئیچ

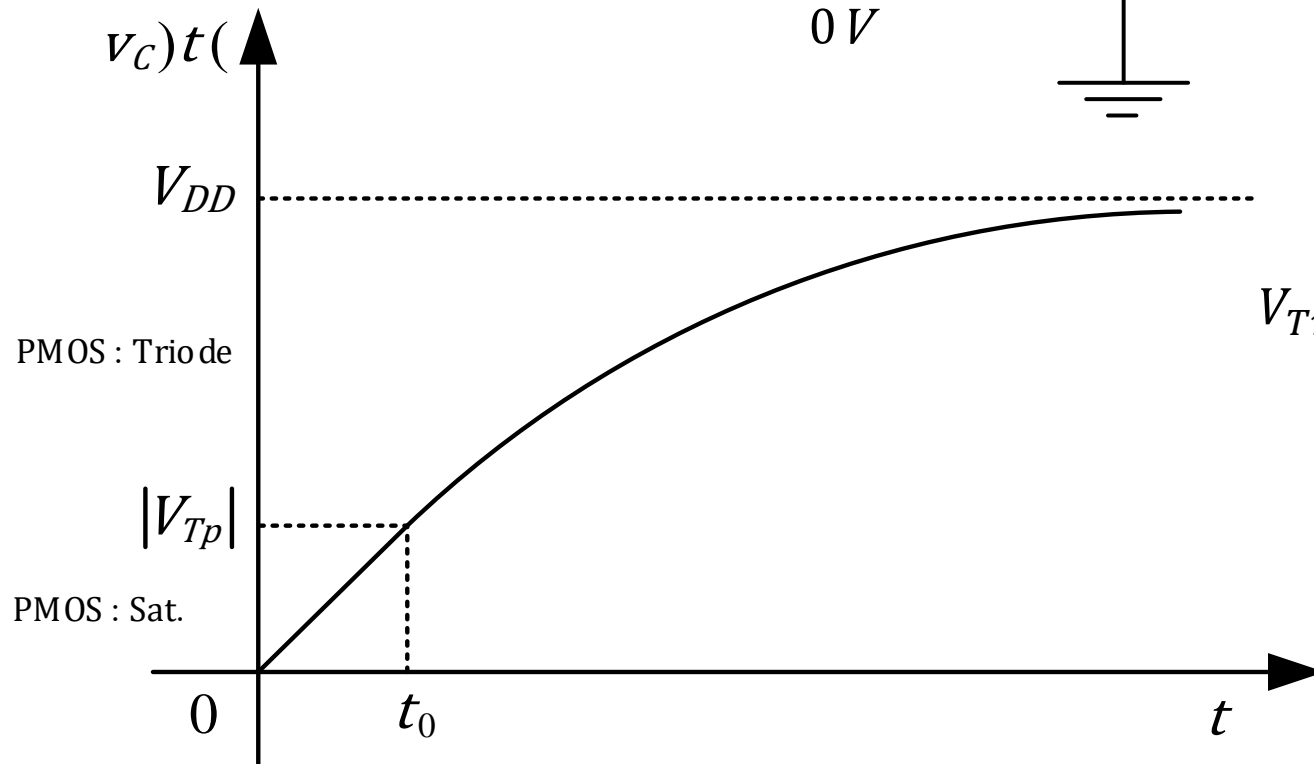
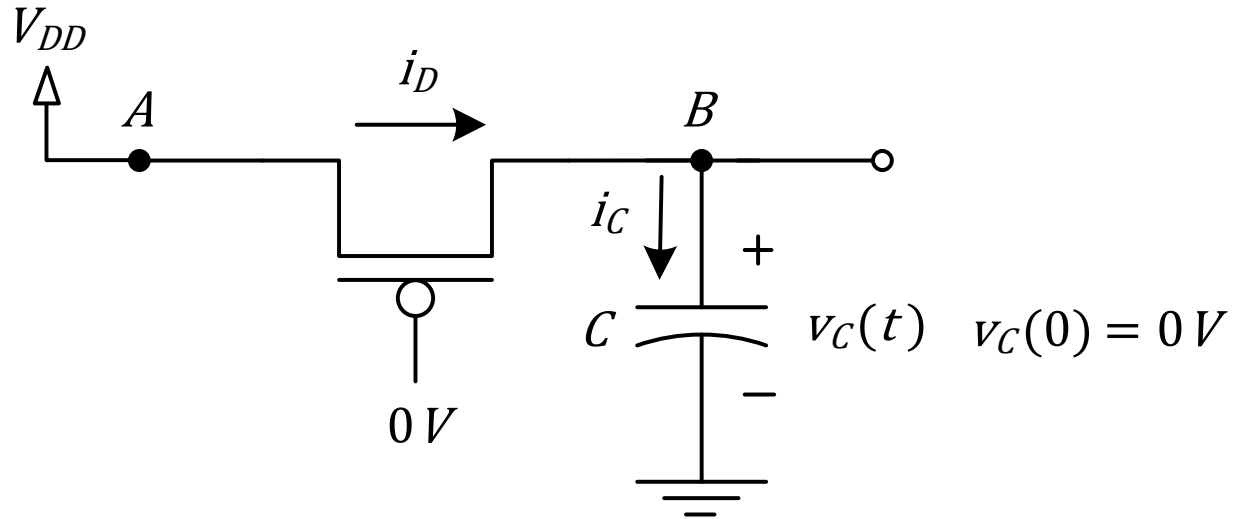


$$V_{Tn} = 1V \quad V_{DD} = 5V$$

$$t_f = 17.77 \times \tau_{dis}$$

$$\tau_{dis} = \frac{C}{\beta_p(V_{DD} - |V_{Tp}|)}$$

# بررسی عملکرد واقعی PMOS به عنوان سوئیچ



$$V_{Tn} = 1V \quad V_{DD} = 5V$$

$$t_r = 2.96 \tau_{ch}$$

$$\tau_{ch} = \frac{C}{\beta_p (V_{DD} - |V_{Tp}|)}$$

# برخی از نکات هدایت PMOS

PMOS ، 1 منطقی را به خوبی هدایت میکند زیرا :

- مقدار ولتاژ هدایت شده به حداکثر ( $V_{DD}$ ) می رسد.
- زمان صعود (Rise time) نزدیک زمان صعود سوئیچ واقعی است :

$$t_{rPMOS} = 2.96 \times \tau_{ch} \qquad t_{r switch} = 2.22 \times \tau_{dis}$$

PMOS ، 0 منطقی را به خوبی هدایت نمیکند زیرا :

- مقدار ولتاژ هدایت شده به 0V نمیرسد.
- زمان نزول (Fall time) از زمان نزول سوئیچ واقعی بسیار بیشتر است:

$$t_{fPMOS} = 17.77 \times \tau_{dis} \approx 6 t_{fPMOS} \quad t_{f switch} = 2.22 \times \tau_{ch}$$

## نکته مهم

می توان با مقایسه روابط ثابت زمانی، برای ترانزیستور PMOS مقاومت معادل در نظر گرفت :

$$\tau = r_{ON} \cdot C$$

$$\tau_{dis} = \tau_{ch} = \frac{C}{\beta_p (V_{DD} - |V_{Tp}|)} \rightarrow R_{eq, PMOS} = \frac{1}{\beta_p (V_{DD} - |V_{Tp}|)}$$

این رابطه نشان میدهد با تغییر  $\beta_p$  می توان مقاومت معادل ترانزیستور را که فقط در روابط تاخیری قابل استفاده است تغییر داد.  
به خاطر داریم :

$$\beta_p = \mu_p \cdot C_{ox} \frac{W}{L}$$

## نکته مهم

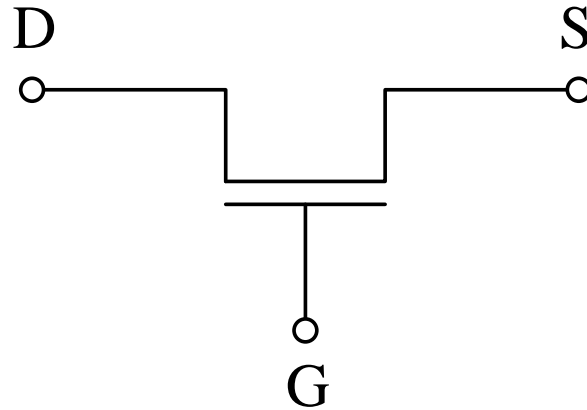
اگر دو ترانزیستور NMOS و PMOS با ولتاژهای آستانه مشابه باشند. نسبت مقاومت آنها به صورت زیر قابل بیان است:

$$\frac{R_{eq,PMOS}}{R_{eq,NMOS}} = \frac{\frac{1}{\beta_p(V_{DD} - |V_{Tp}|)}}{\frac{1}{\beta_n(V_{DD} - V_{Tn})}} = \frac{\beta_n}{\beta_p} = \frac{\mu_n \cdot C_{ox} \left(\frac{W}{L}\right)_n}{\mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_p} = \frac{\mu_n \left(\frac{W}{L}\right)_n}{\mu_p \left(\frac{W}{L}\right)_p}$$

اگر  $\frac{W}{L}$  ( aspect ratio ) دو ترانزیستور برابر باشد :

$$\frac{R_{eq,PMOS}}{R_{eq,NMOS}} = \frac{\mu_n}{\mu_p} \approx 2.5$$

## انتقال ولتاژ کلید NMOS با فرض جریان صفر



$$V_D \geq V_G - V_{Tn} , \quad i_D = 0$$

حالت اول : فرض ترانزیستور اشباع

$$i_D = \frac{1}{2} \beta_n (V_{GSn} - V_{Tn})^2 = 0 \rightarrow V_{GSn} = V_{Tn} \text{ or } V_S = V_G - V_{Tn}$$

$$V_D < V_G - V_{Tn} , \quad i_D = 0$$

حالت دوم: فرض ترانزیستور خطی

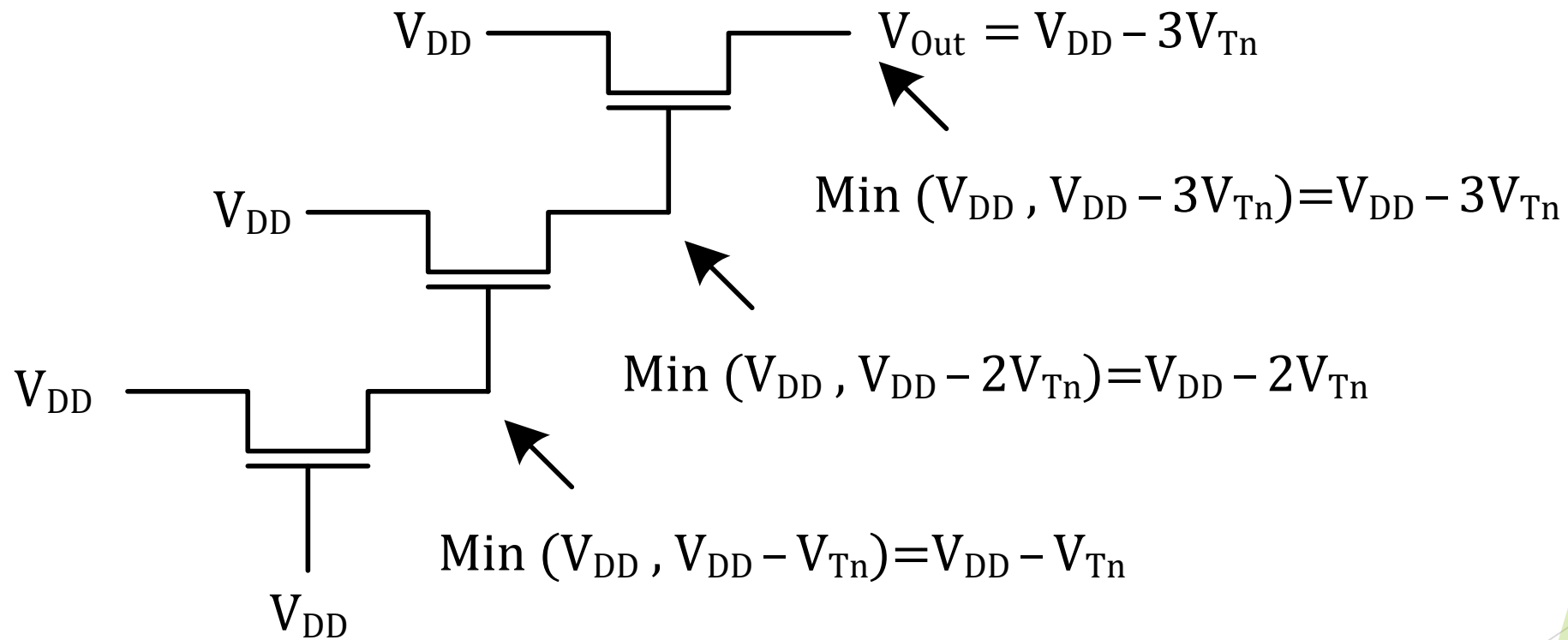
$$i_D = \frac{1}{2} \beta_n (2(V_{GSn} - V_{Tn}) \cdot V_{DSn} - V_{DS}^2) = 0 \rightarrow V_{DSn} = 0 \text{ or } V_S = V_D$$

$$V_S = \text{Min} ( V_D , V_G - V_{Tn} )$$

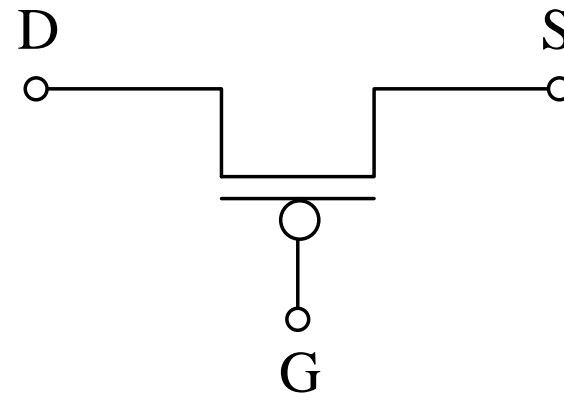
ترکیب روابط و شرایط فوق



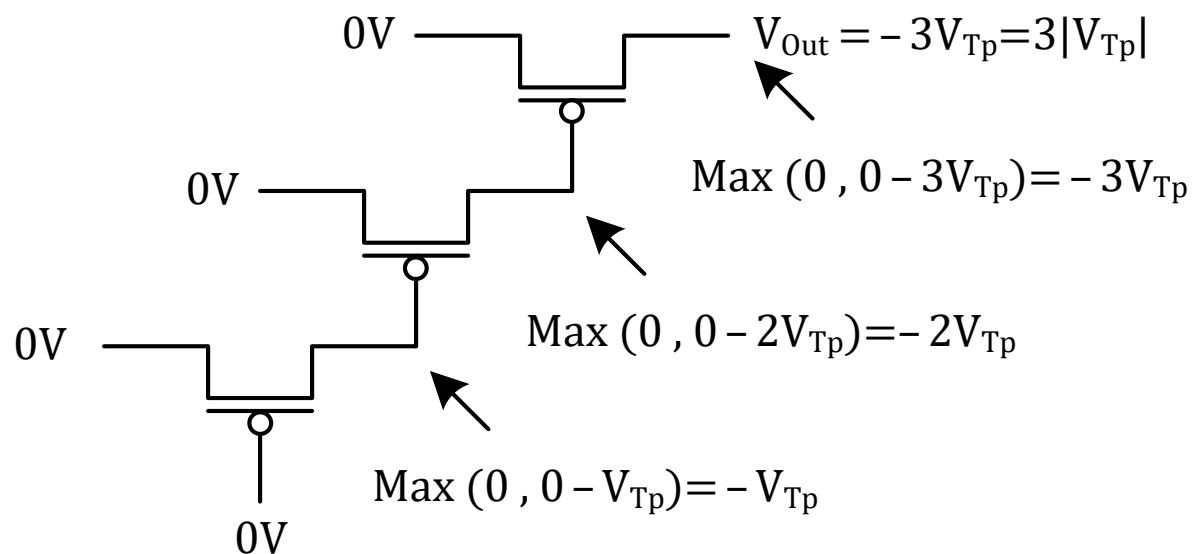
مثال



# انتقال ولتاژ کلید PMOS با فرض جریان صفر



$$V_S = \text{Max}(V_D, V_G - V_{Tp})$$

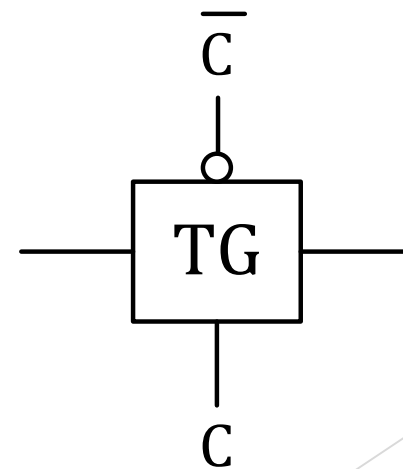
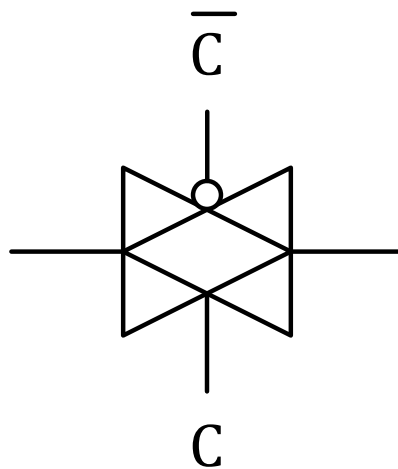
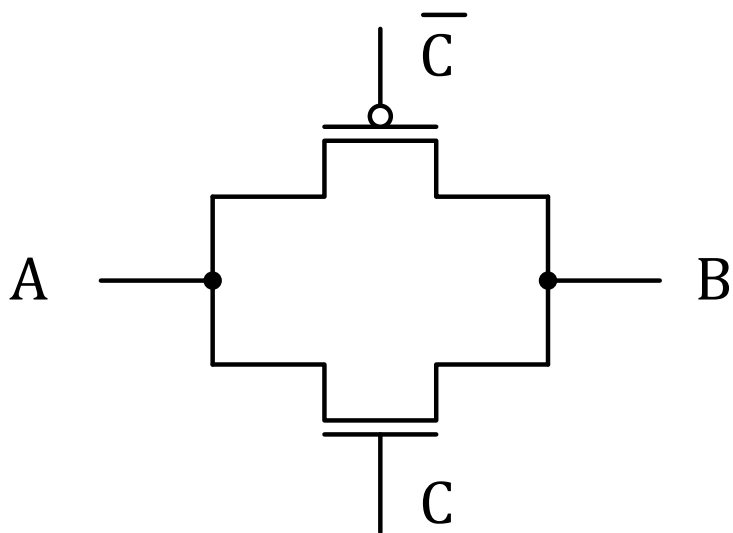


# Transmission Gate

NMOS برای هدایت 0 مناسب است ولی 1 را نمی تواند به خوبی انتقال دهد

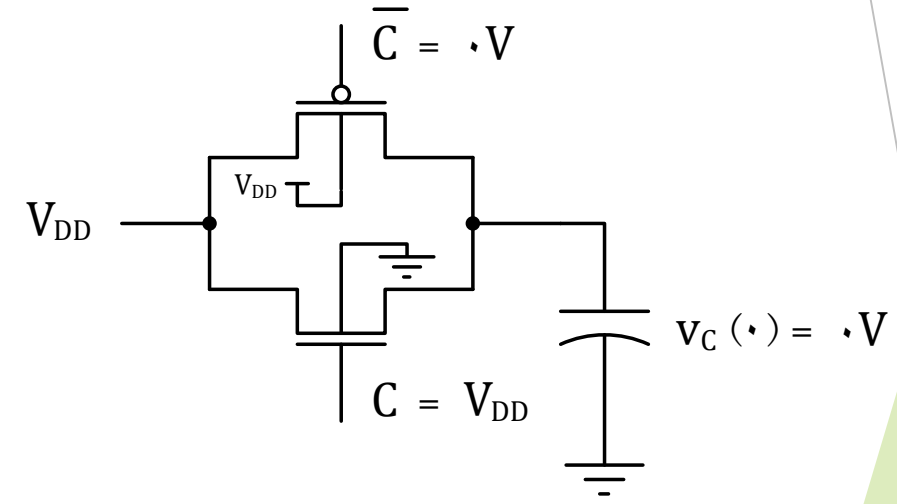
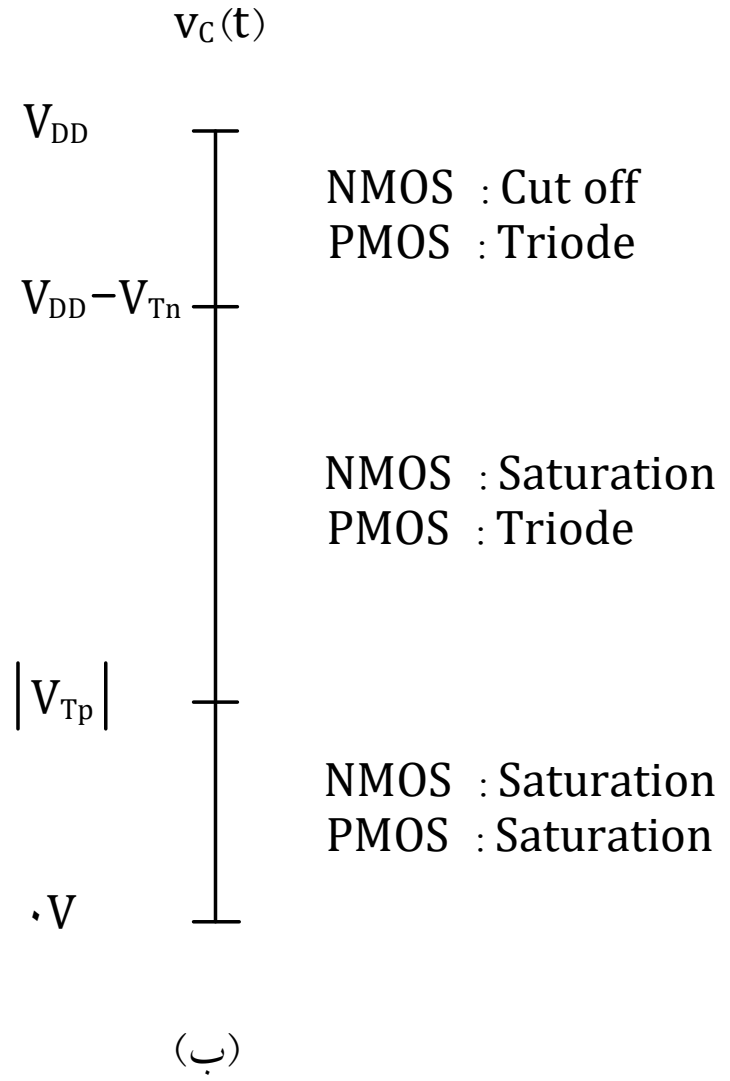
PMOS برای هدایت 1 مناسب است ولی 0 را نمی تواند به خوبی انتقال دهد

راه حل : استفاده همزمان از هر دو کلید :



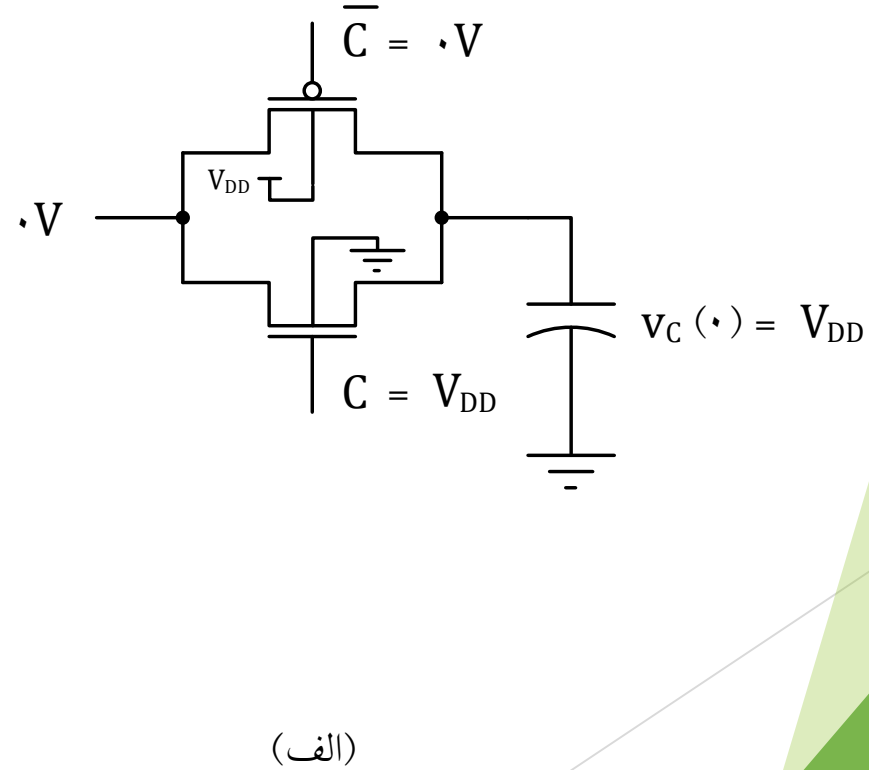
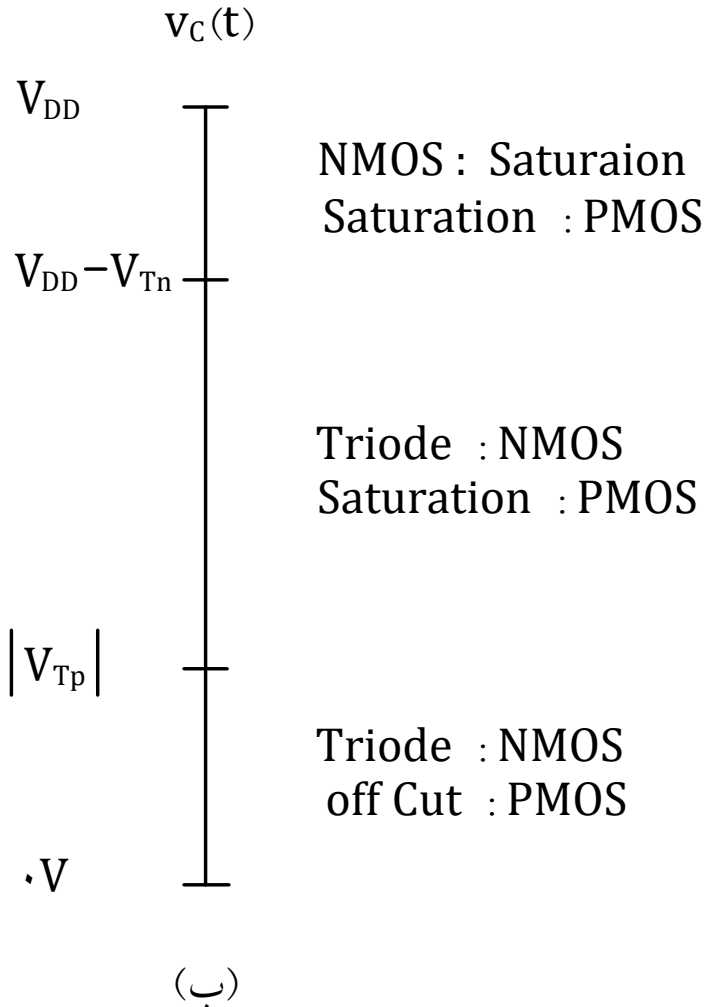
# بررسی هدایت TG

افزایش ولتاژ

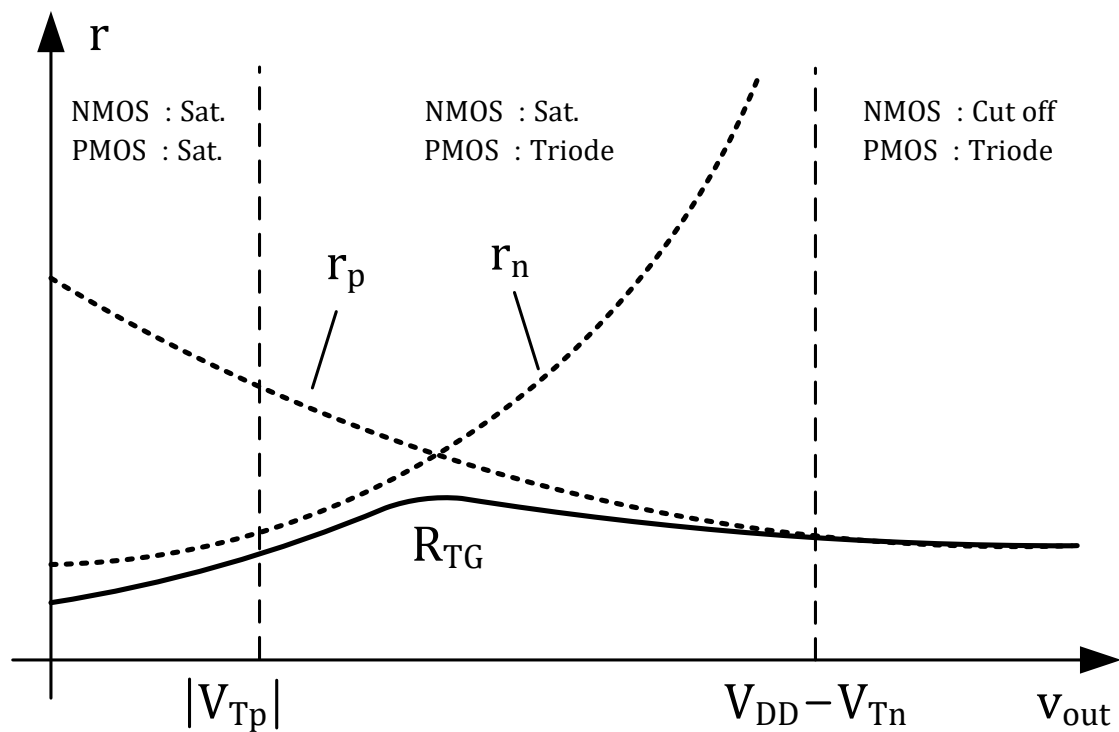
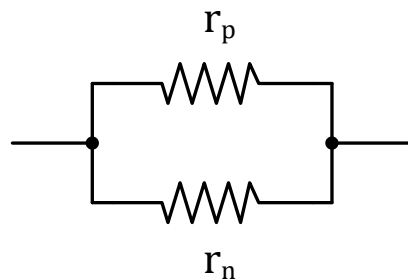
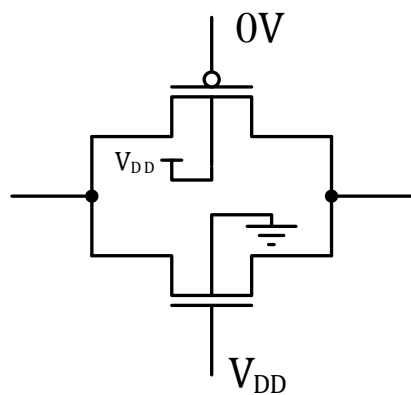


# بررسی هدایت TG

کاهش ولتاژ

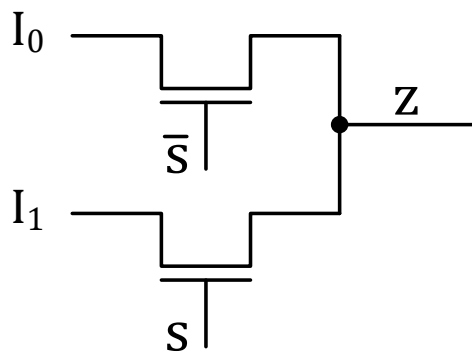
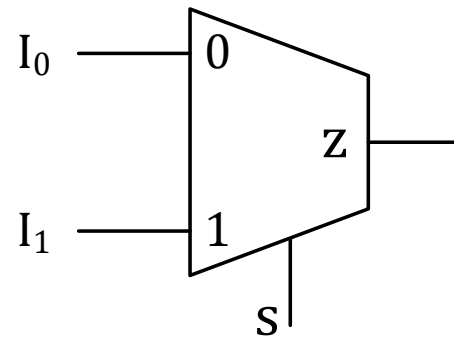


# بررسی هدایت TG

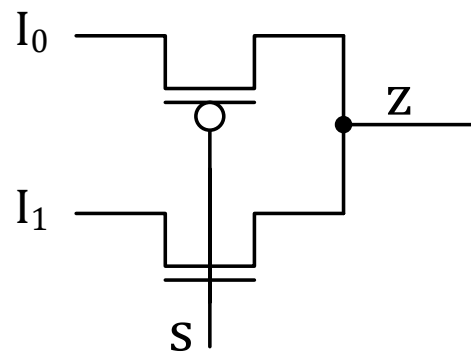


# طراحی مدارهای ترکیبی با PT

اساس کار : استفاده از MUX

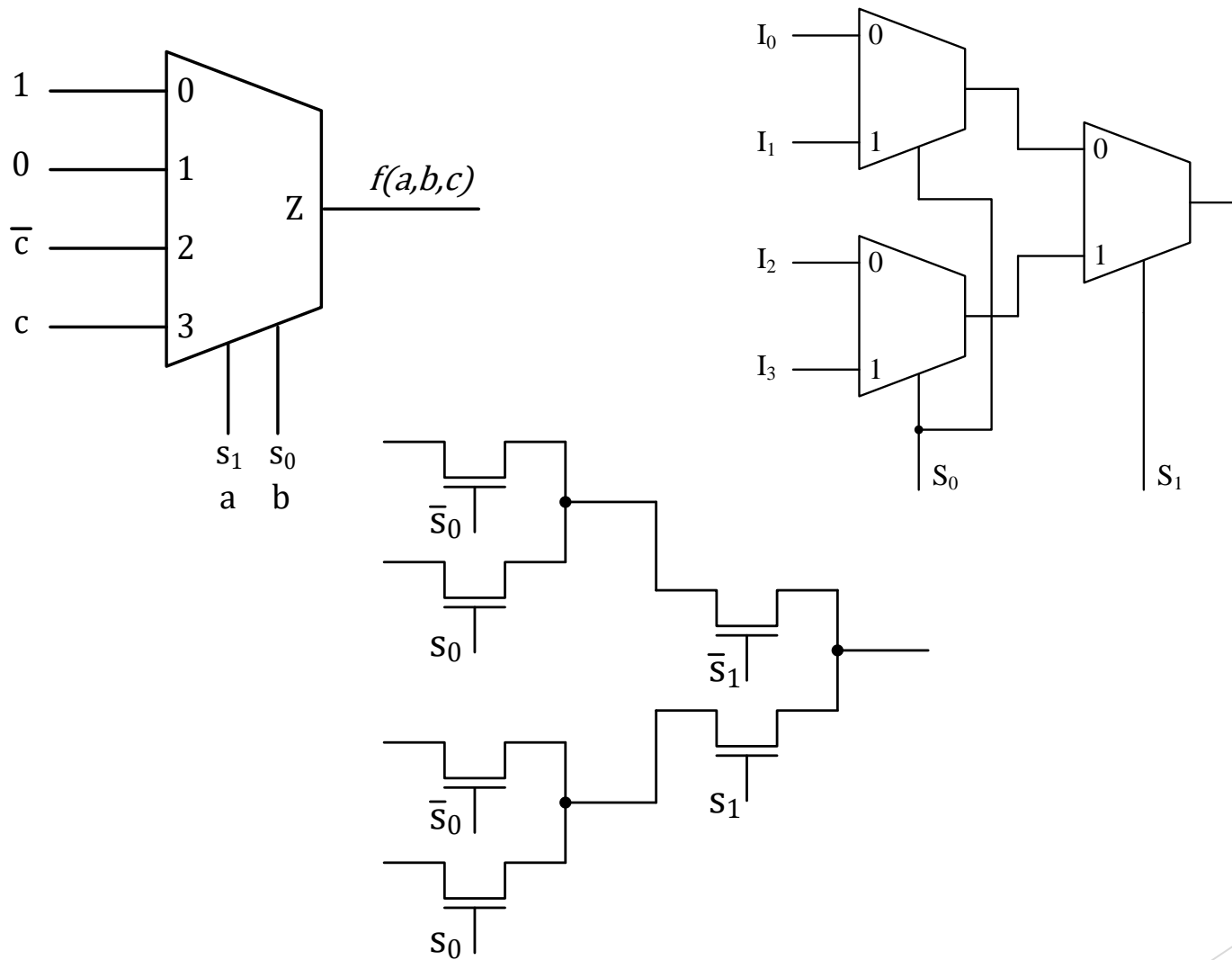


(الف)



(ب)

# طراحی مدارهای ترکیبی با PT

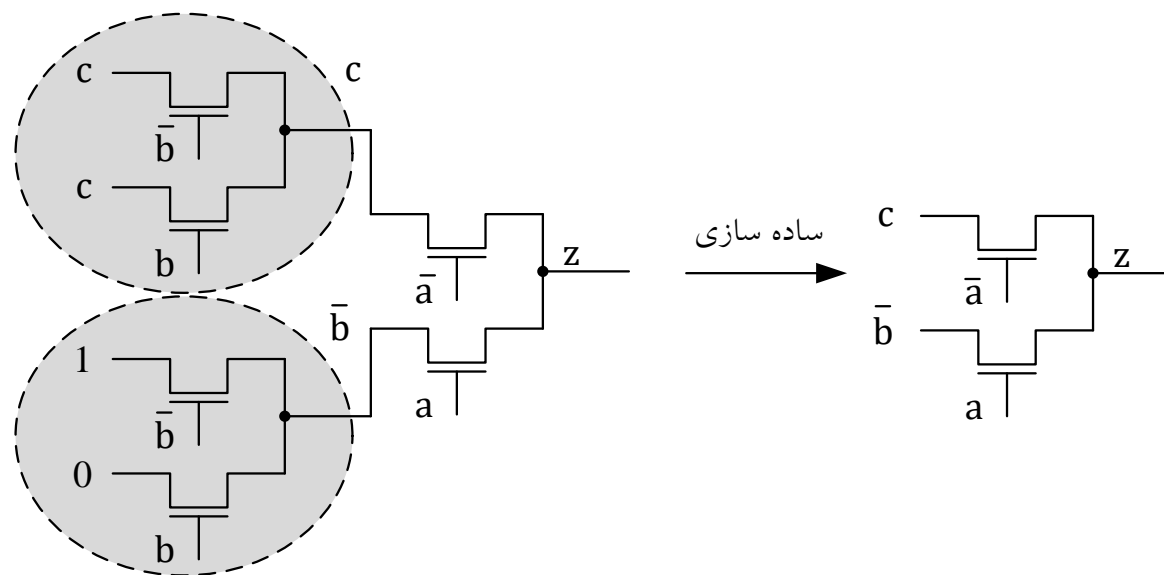




# طراحی مدارهای ترکیبی با PT

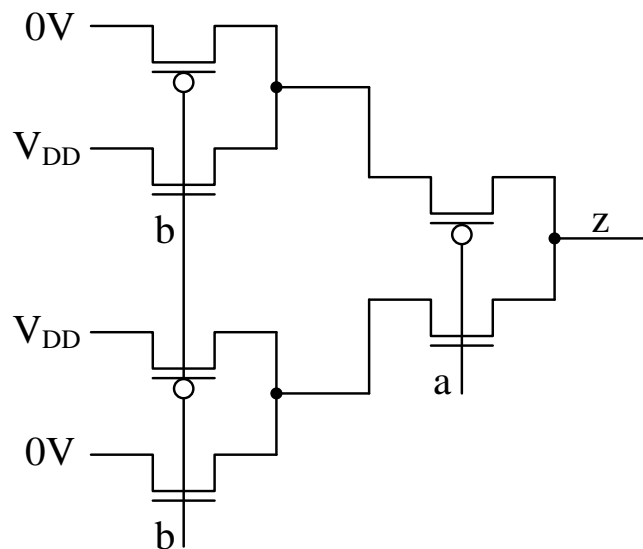
مثال : تابع زیر را با حداقل Pass Transistor طراحی کنید.

$a$	$b$	$c$	$f(a,b,c)$	$f(a,b,c)$
0	0	0	0	$c$
0	0	1	1	
0	1	0	0	$c$
0	1	1	1	
1	0	0	1	1
1	0	1	1	
1	1	0	0	0
1	1	1	0	



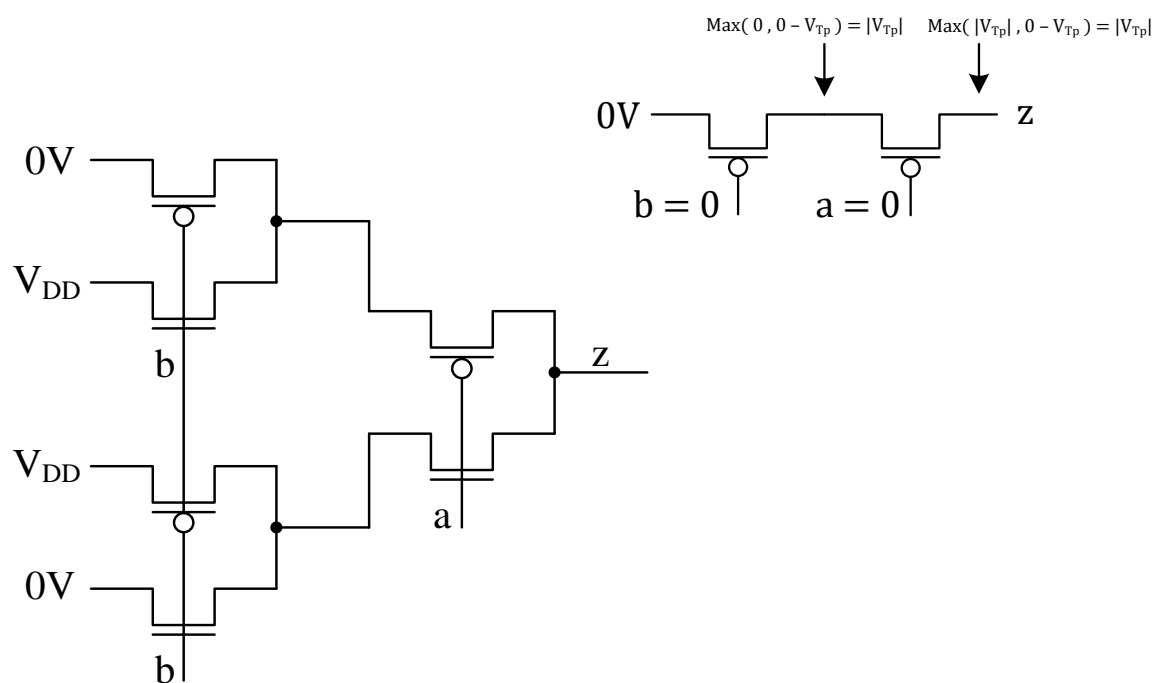
# طراحی مدارهای ترکیبی با PT

مثال : در مدار زیر حداقل و حداکثر ولتاژ خروجی ( $V_{OH}$  و  $V_{OL}$ ) را محاسبه کنید :



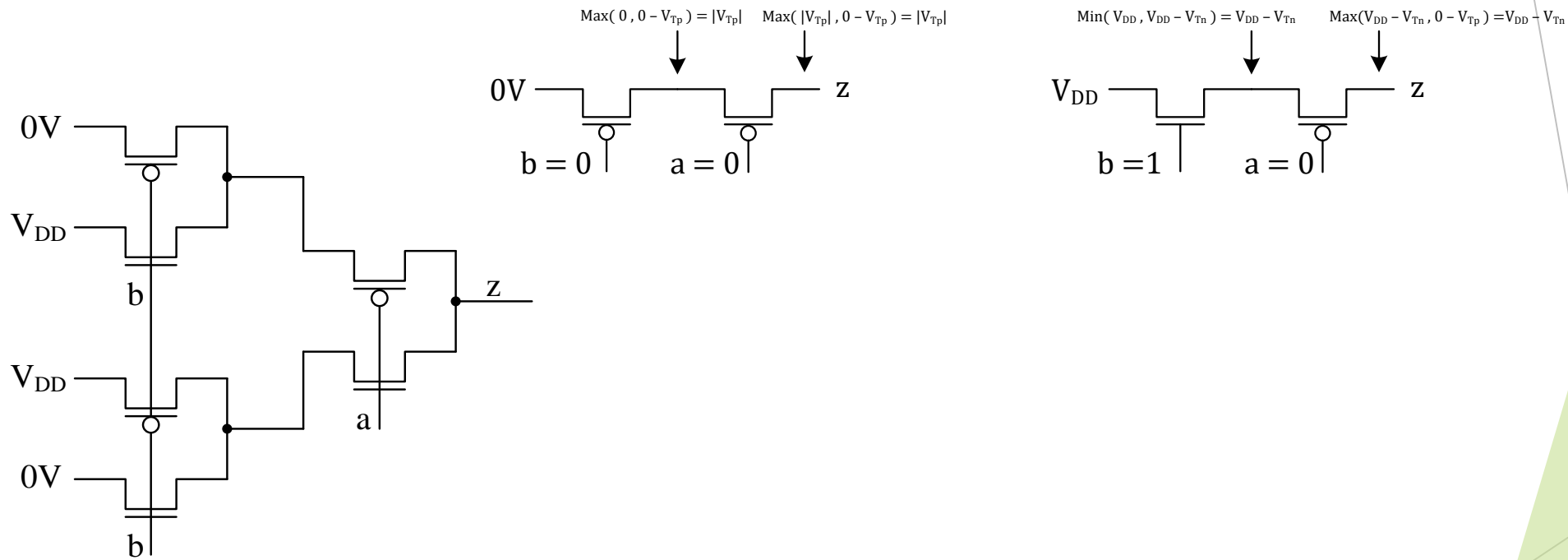
# طراحی مدارهای ترکیبی با PT

مثال : در مدار زیر حداقل و حداکثر ولتاژ خروجی ( $V_{OH}$  و  $V_{OL}$ ) را محاسبه کنید :



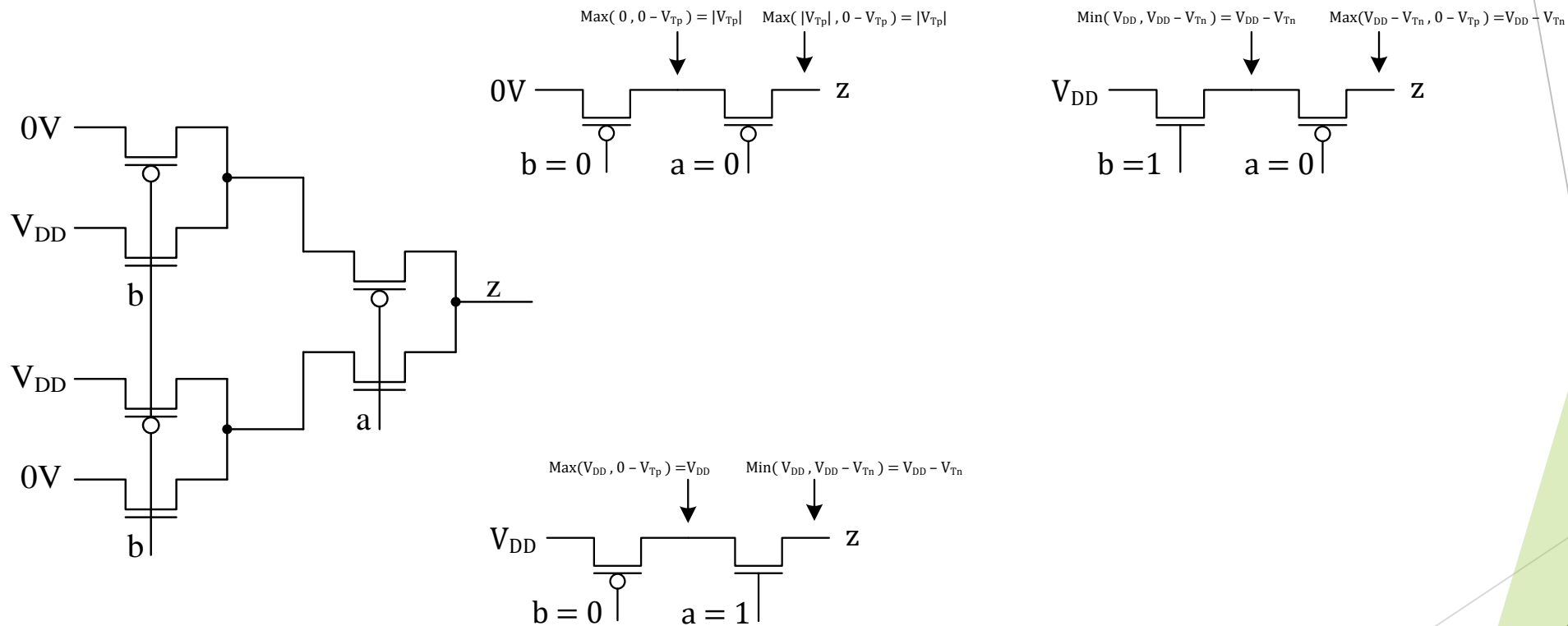
# طراحی مدارهای ترکیبی با PT

مثال : در مدار زیر حداقل و حداکثر ولتاژ خروجی ( $V_{OH}$  و  $V_{OL}$ ) را محاسبه کنید :



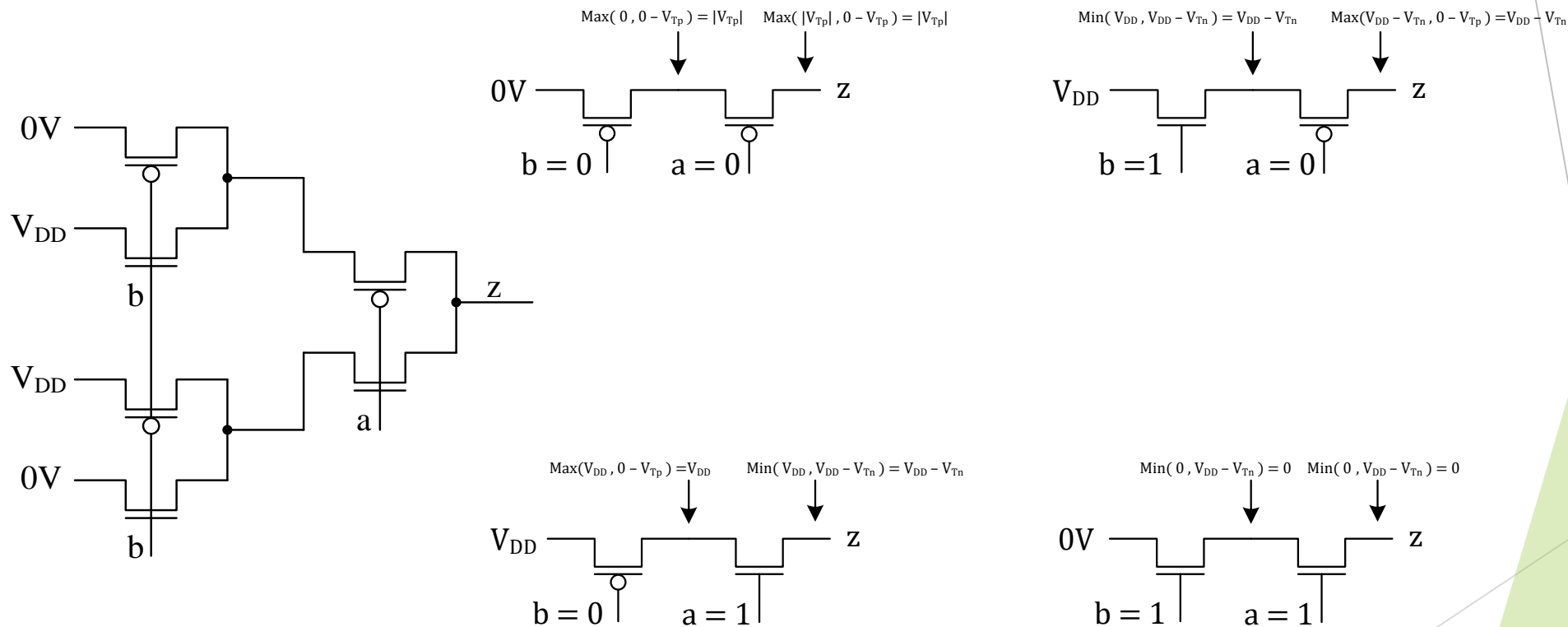
# طراحی مدارهای ترکیبی با PT

مثال : در مدار زیر حداقل و حداکثر ولتاژ خروجی ( $V_{OH}$  و  $V_{OL}$ ) را محاسبه کنید :



# طراحی مدارهای ترکیبی با PT

مثال : در مدار زیر حداقل و حداکثر ولتاژ خروجی ( $V_{OH}$  و  $V_{OL}$ ) را محاسبه کنید :

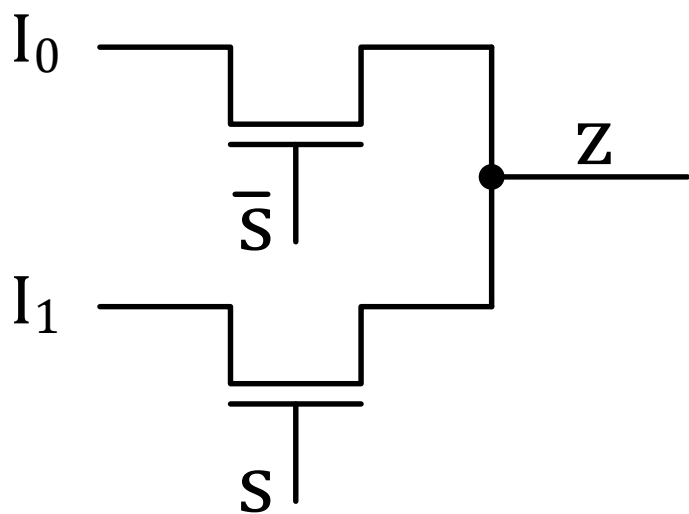


# روش رفع مشکل ولتاژ خروجی در مدارهای PTL

۱- استفاده از گیت انتقال ( TG ) به جای ترانزیستور گذر ( PT )

به دلیل وجود ترانزیستور NMOS ، هدایت 1 منطقی به درستی صورت نمی گیرد :

$$V_{OH} = V_{DD} - V_{Tn}$$

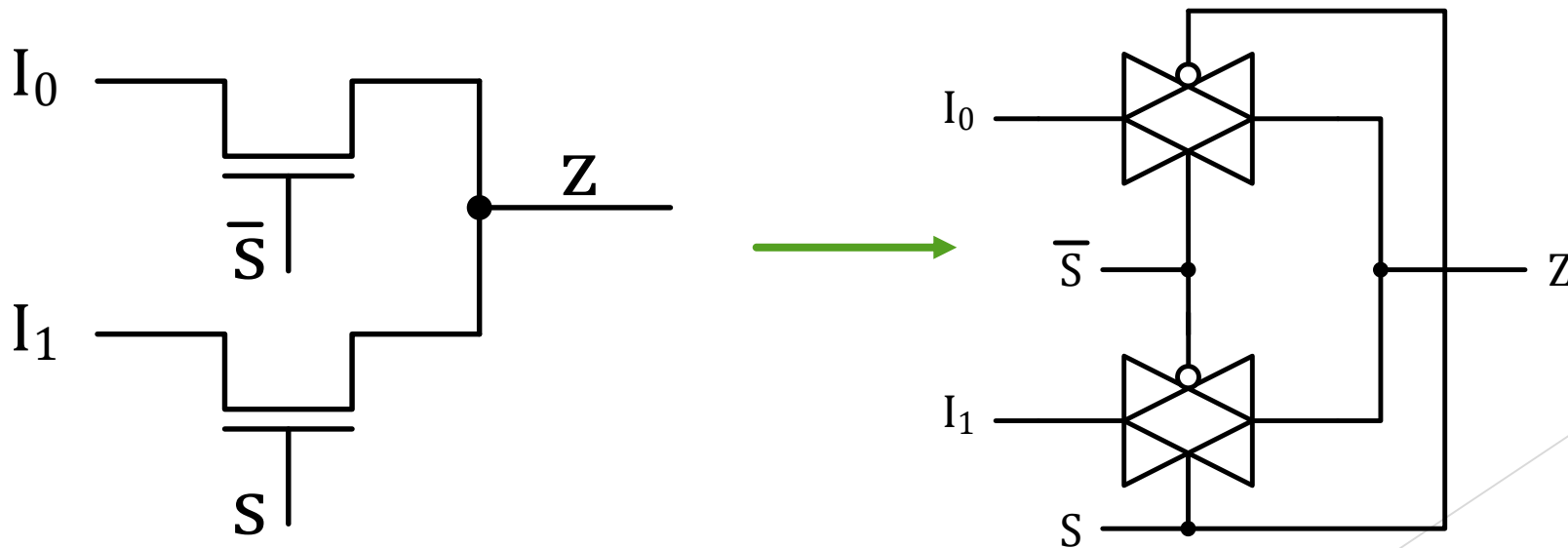


# روش رفع مشکل ولتاژ خروجی در مدارهای PTL

۱- استفاده از گیت انتقال ( TG ) به جای ترانزیستور گذر ( PT )

به دلیل وجود ترانزیستور NMOS ، هدایت 1 منطقی به درستی صورت نمی گیرد :

$$V_{OH} = V_{DD} - V_{Tn}$$



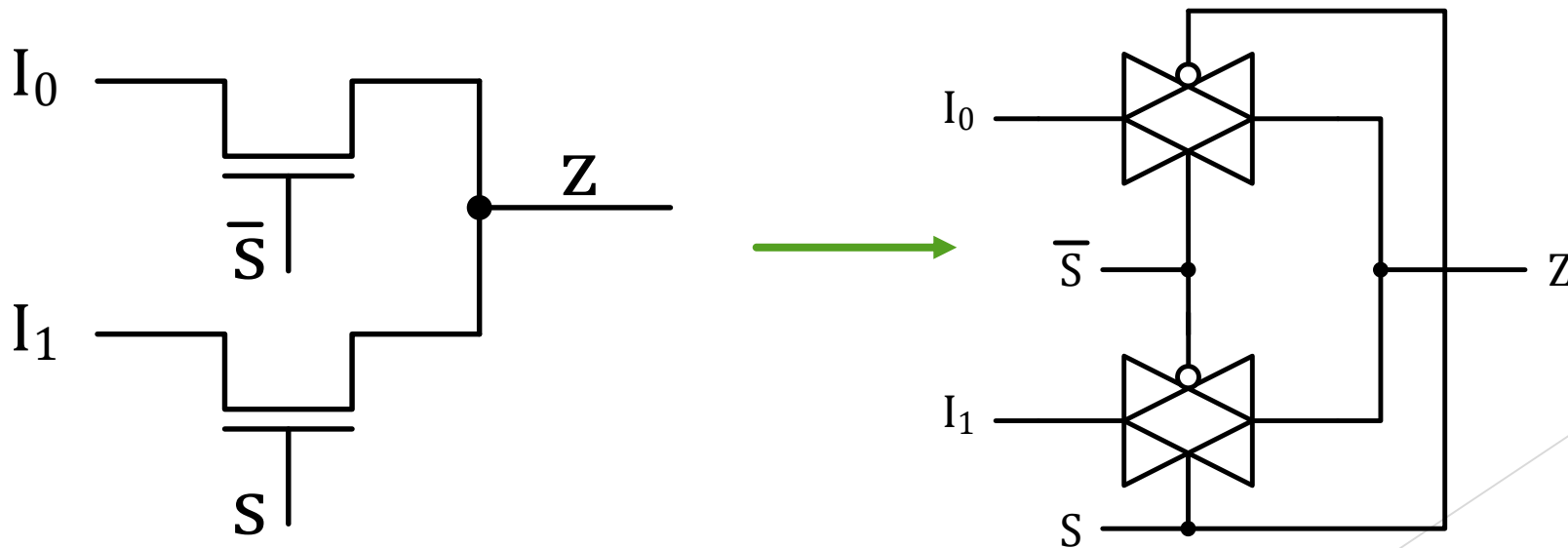


# روش رفع مشکل ولتاژ خروجی در مدارهای PTL

۱- استفاده از گیت انتقال ( TG ) به جای ترانزیستور گذر ( PT )

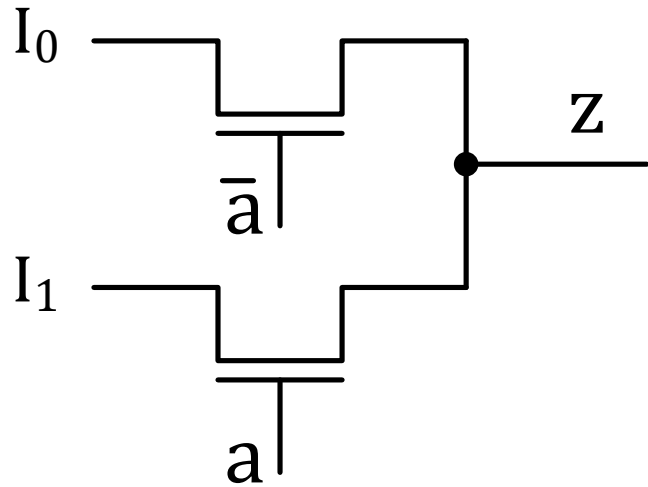
به دلیل وجود ترانزیستور NMOS ، هدایت 1 منطقی به درستی صورت نمی گیرد :

$$V_{OH} = V_{DD} - V_{Tn}$$



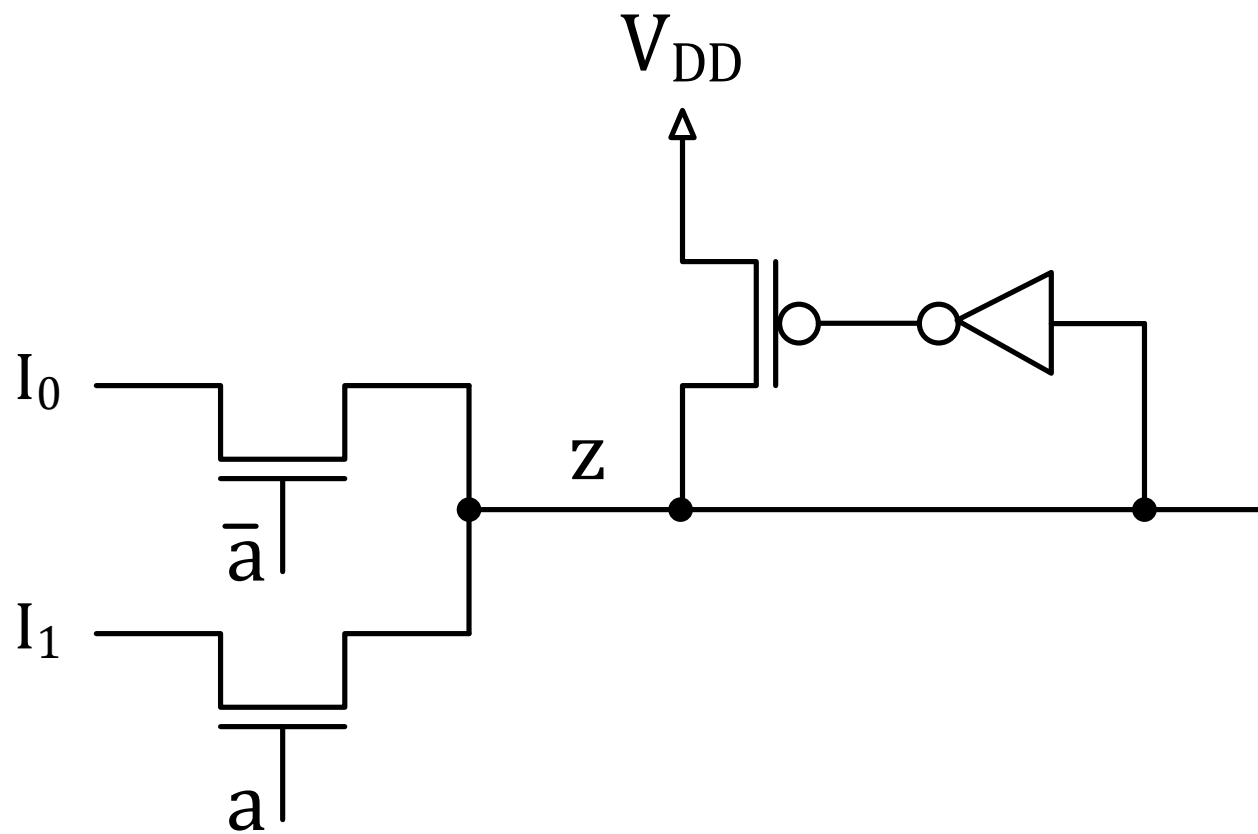
# روش رفع مشکل ولتاژ خروجی در مدارهای PTL

## ۲- استفاده از مدار بالابر



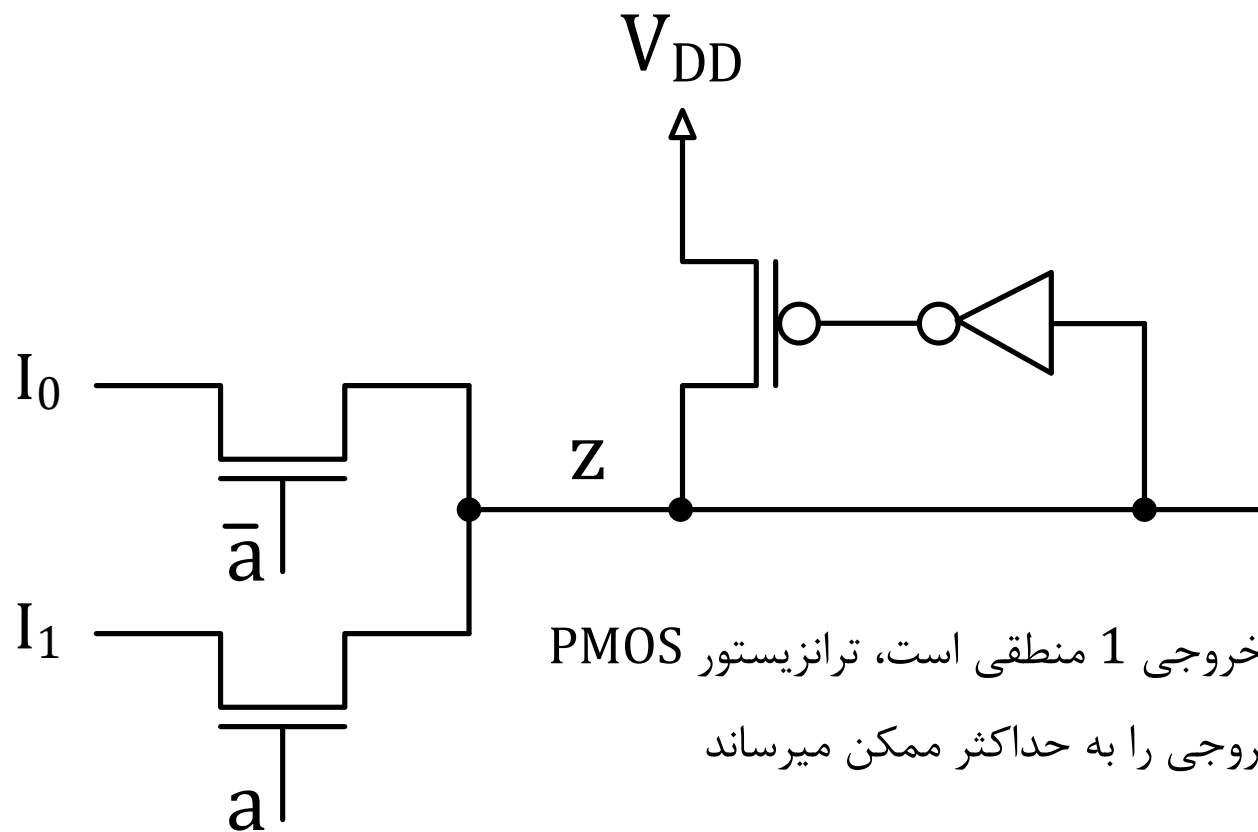
# روش رفع مشکل ولتاژ خروجی در مدارهای PTL

۲- استفاده از مدار بالابر



# روش رفع مشکل ولتاژ خروجی در مدارهای PTL

## ۲- استفاده از مدار بالابر



هنگامی که ولتاژ خروجی 1 منطقی است، ترانزیستور PMOS هدایت کرده و خروجی را به حداکثر ممکن میرساند

# روشهای مختلف طراحی مدار با PT

## **Low-Power Logic Styles: CMOS Versus Pass-Transistor Logic**

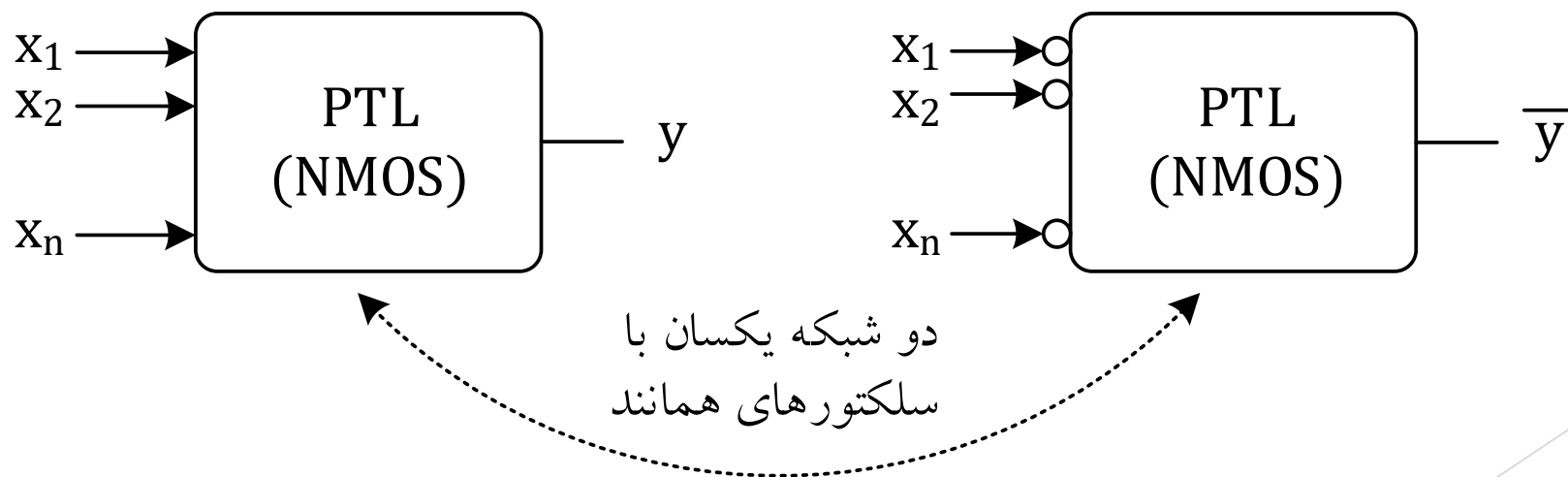
IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, NO. 7, JULY 1997

Reto Zimmermann and Wolfgang Fichtner, *Fellow, IEEE*

# روشهای مختلف طراحی مدار با PT

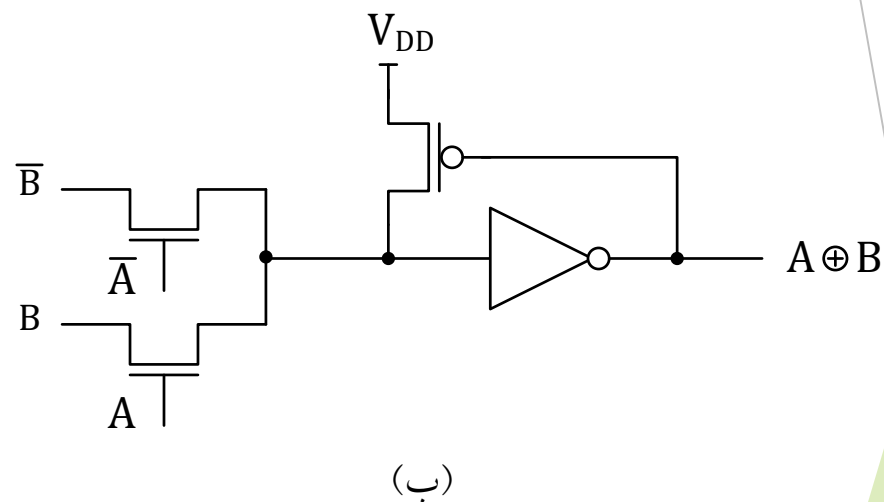
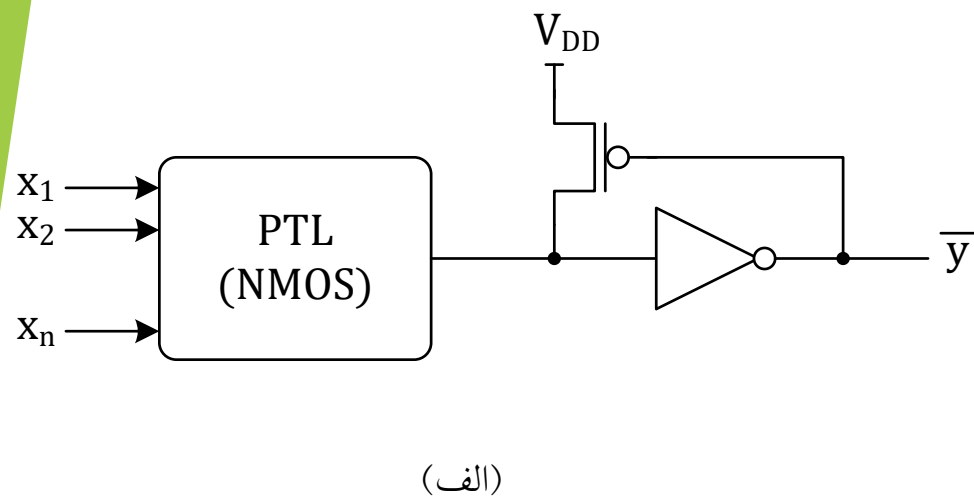
## ۱. مدار DCVSPG

( Differential Cascode Voltage Switch with Pass Gate Logic )



# روشهای مختلف طراحی مدار با PT

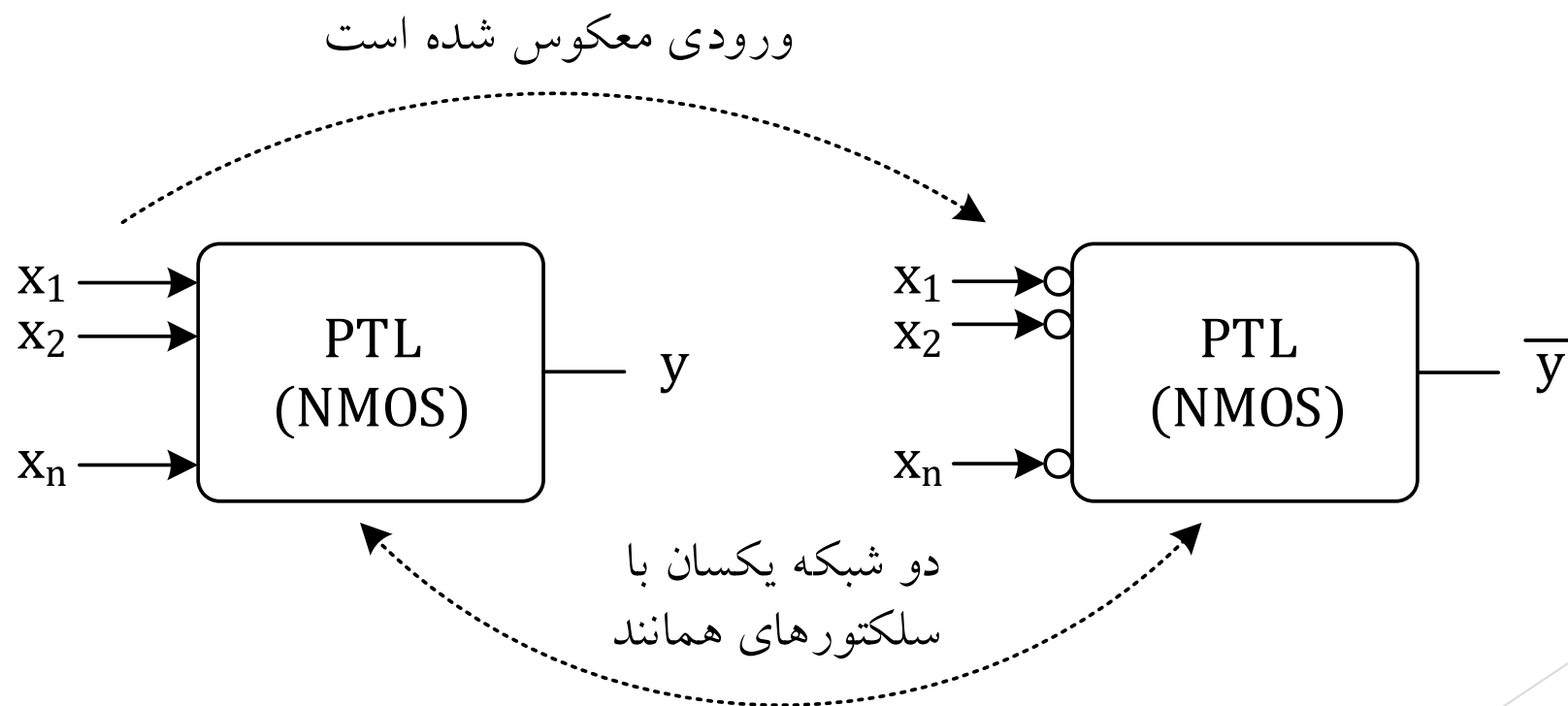
## ۱. مدار LEAP (Lean integration with Pass transistors)



# روشهای مختلف طراحی مدار با PT

## ۲. مدار DCVSPG

( Differential Cascode Voltage Switch with Pass Gate Logic )

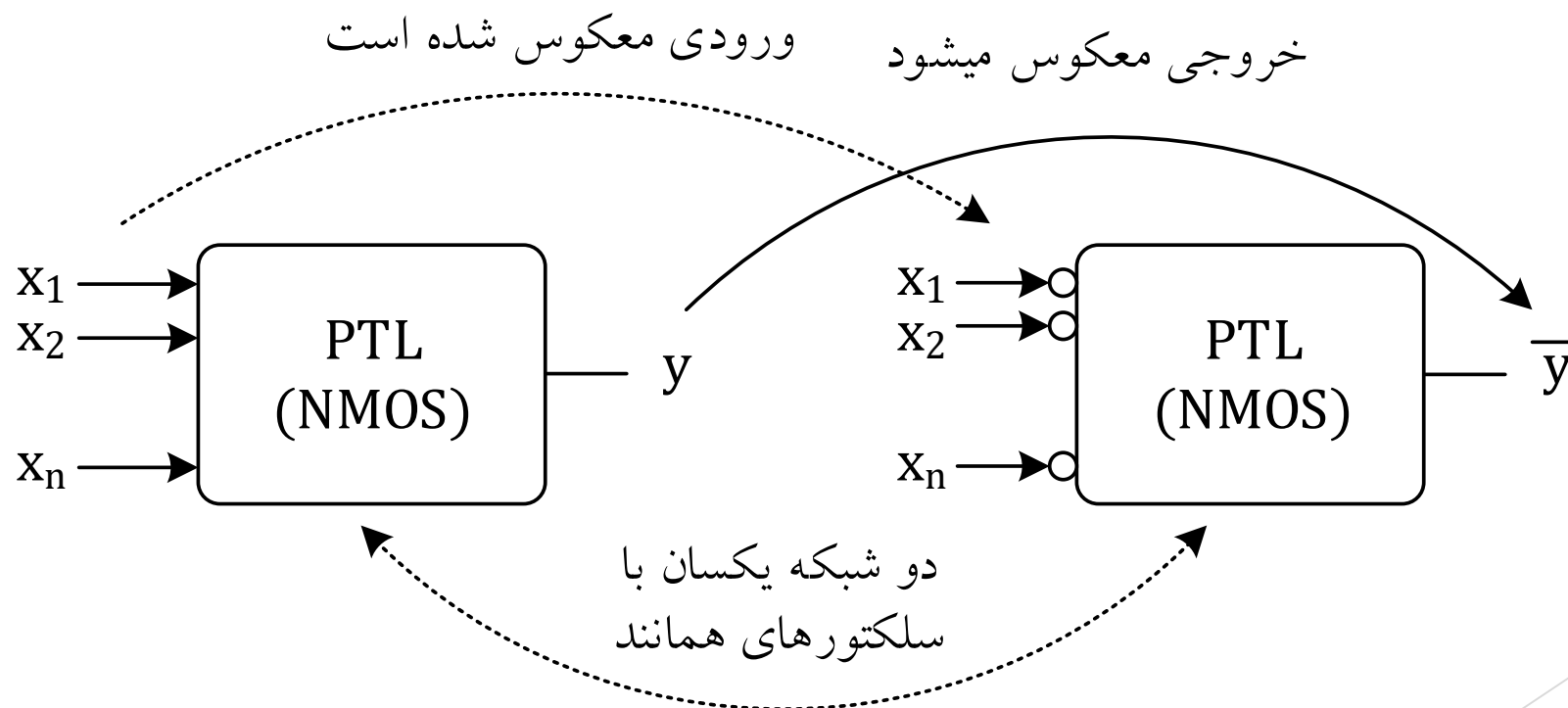




# روشهای مختلف طراحی مدار با PT

## ۲. مدار DCVSPG

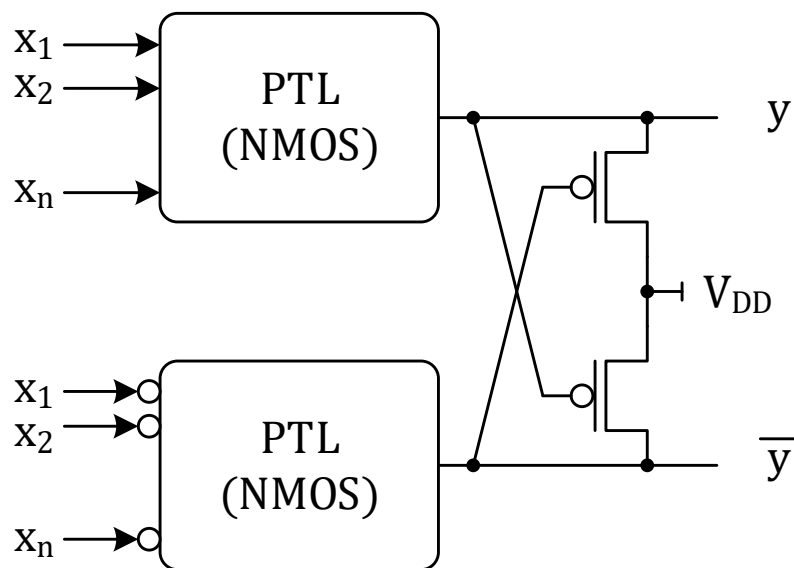
( Differential Cascode Voltage Switch with Pass Gate Logic )



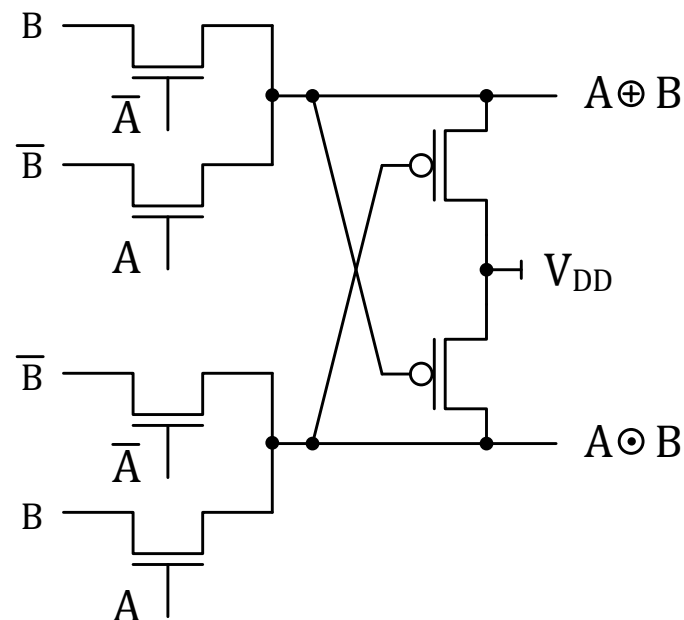
# روشهای مختلف طراحی مدار با PT

## ۲. مدار DCVSPG

( Differential Cascode Voltage Switch with Pass Gate Logic )



الف

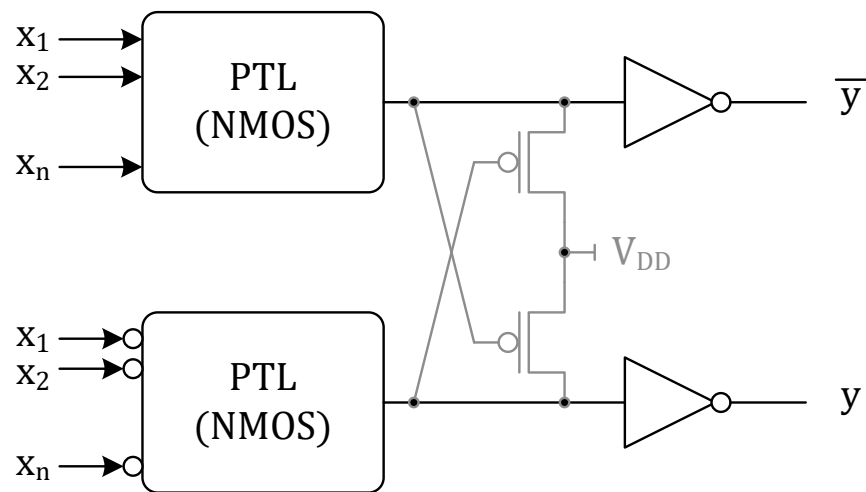


ب

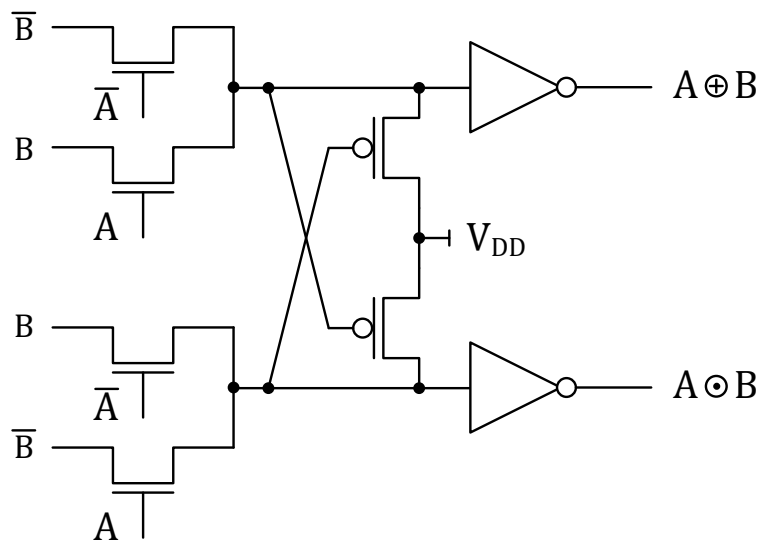
خروجی های همزمان مزیت اصلی این نوع مدار است

# روشهای مختلف طراحی مدار با PT

## ۳. مدار CPL : Lean Integration with Pass transistors



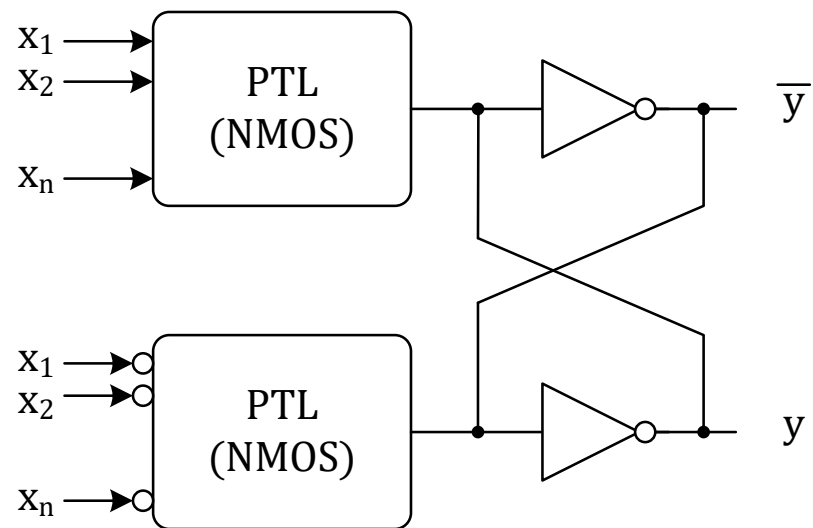
(الف)



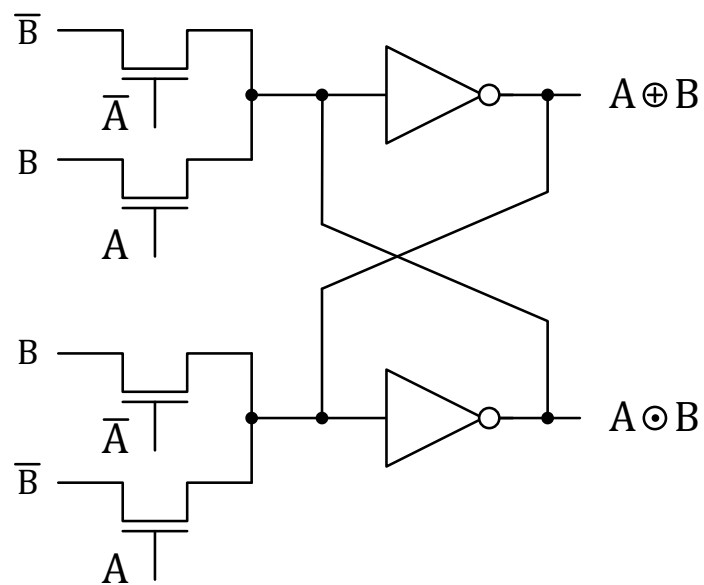
(ب)

# روشهای مختلف طراحی مدار با PT

## ۴. SRPL ( Swing Restored Pass Transistor Logic )



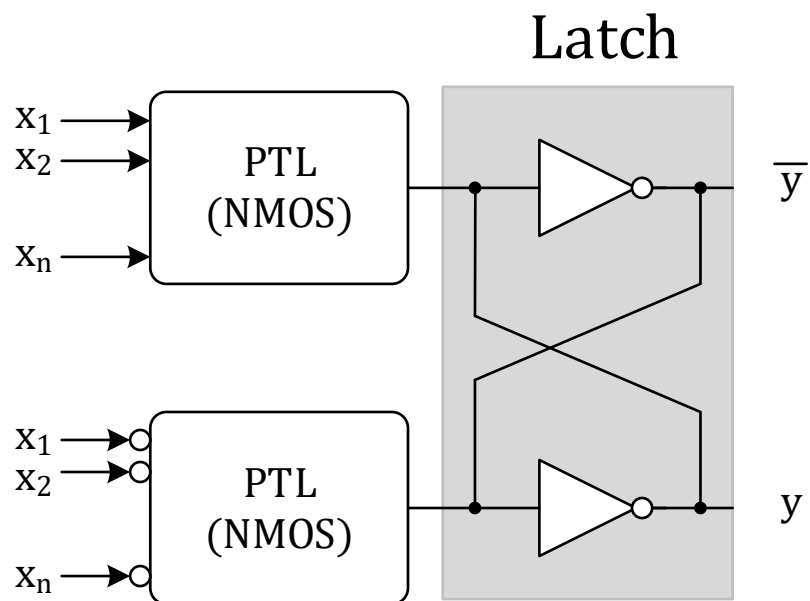
الف



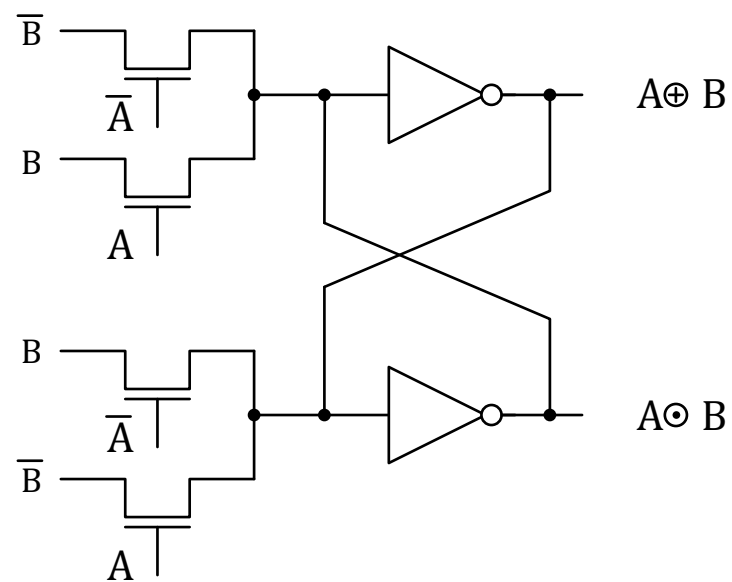
ب.

# روشهای مختلف طراحی مدار با PT

## ۴. SRPL ( Swing Restored Pass Transistor Logic )



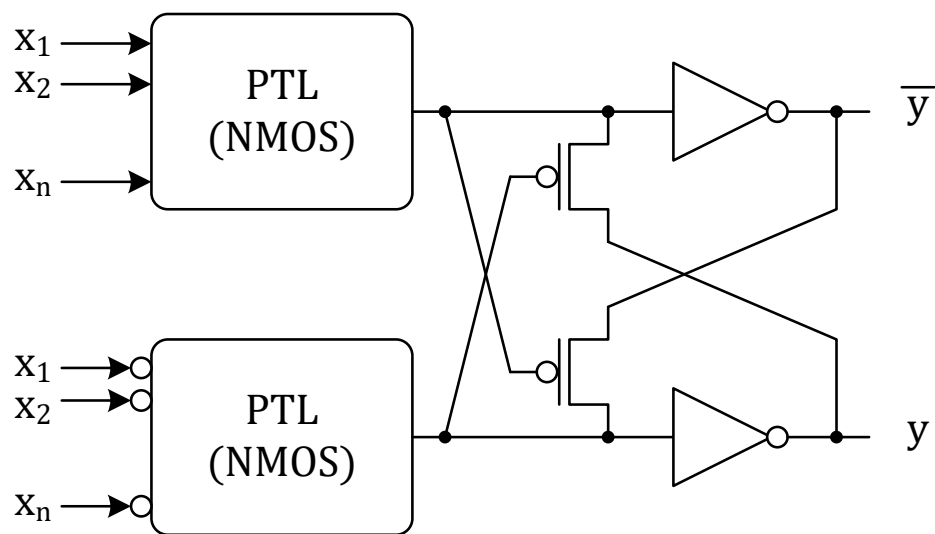
الف



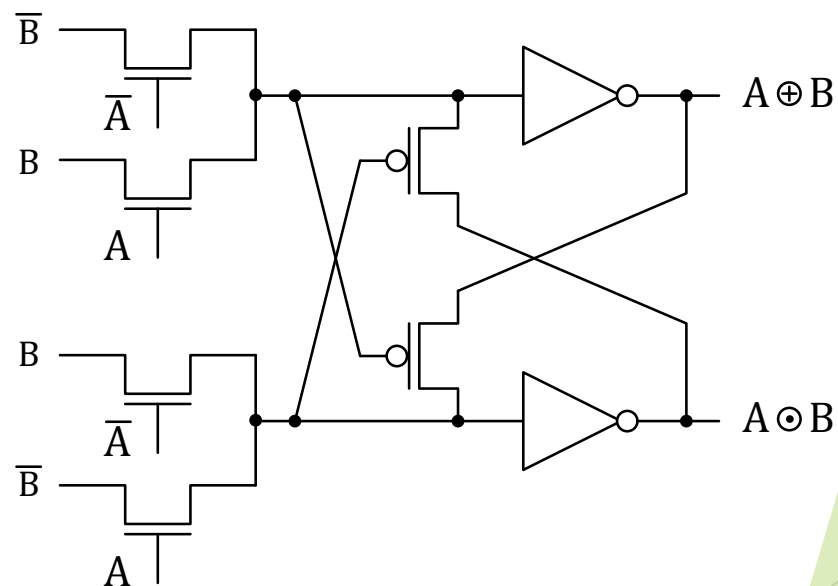
ب

# روشهای مختلف طراحی مدار با PT

## ۵. مدار EEPL (Energy Economized Pass Transistor Logic)



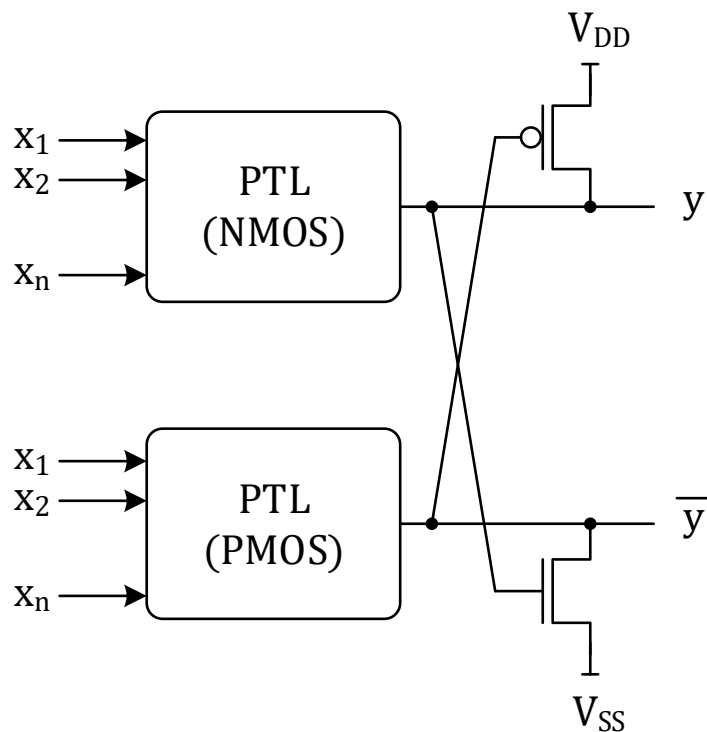
(الف)



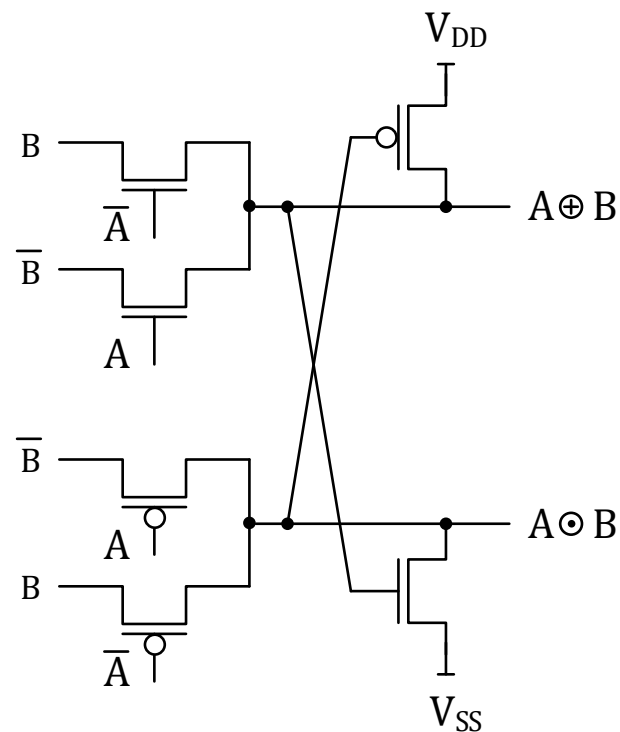
(ب)

# روشهای مختلف طراحی مدار با PT

## ۶. مدار PPL ( Push pull Pass Transistor Logic )



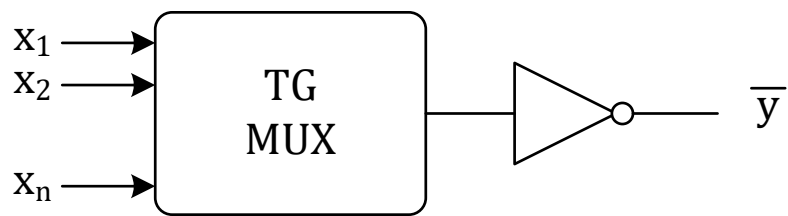
(الف)



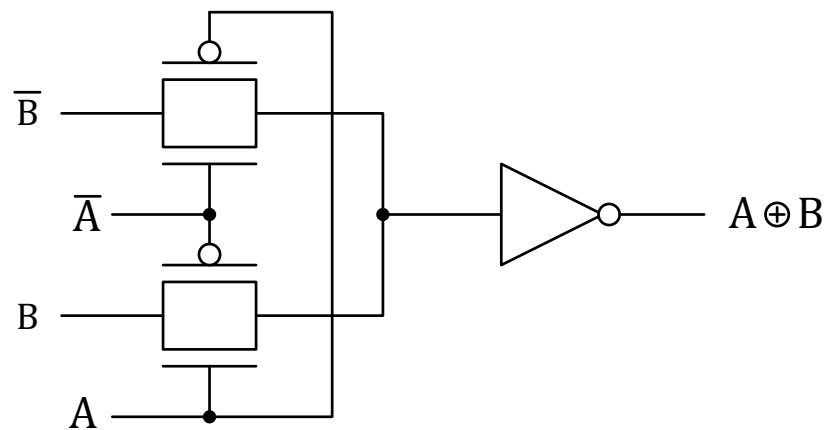
(ب)

# روشهای مختلف طراحی مدار با PT

## ۷. مدار CMOSTG ( CMOS with Transmission Gate )



(الف)



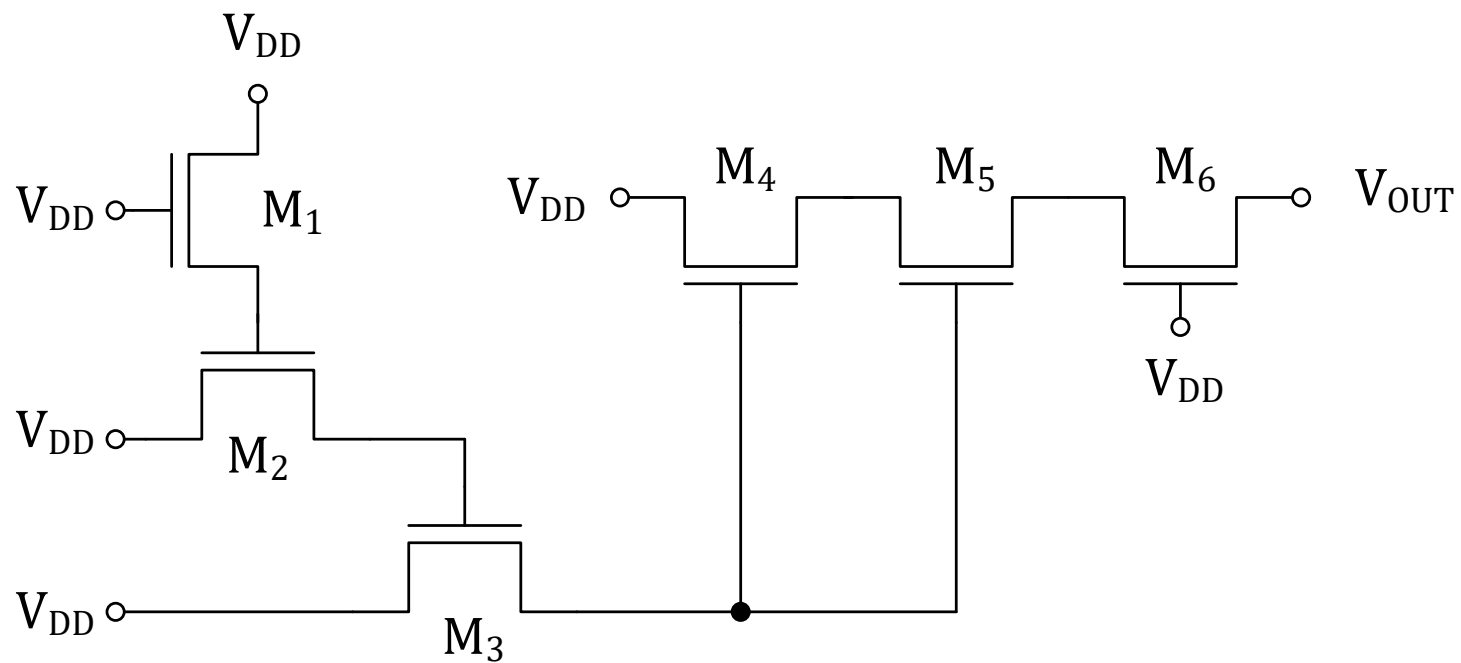
(ب)



سوال - کدام روش طراحی مدارهای ترکیبی مناسب تر است؟  
- مدارهای CMOS  
- استفاده از PTL

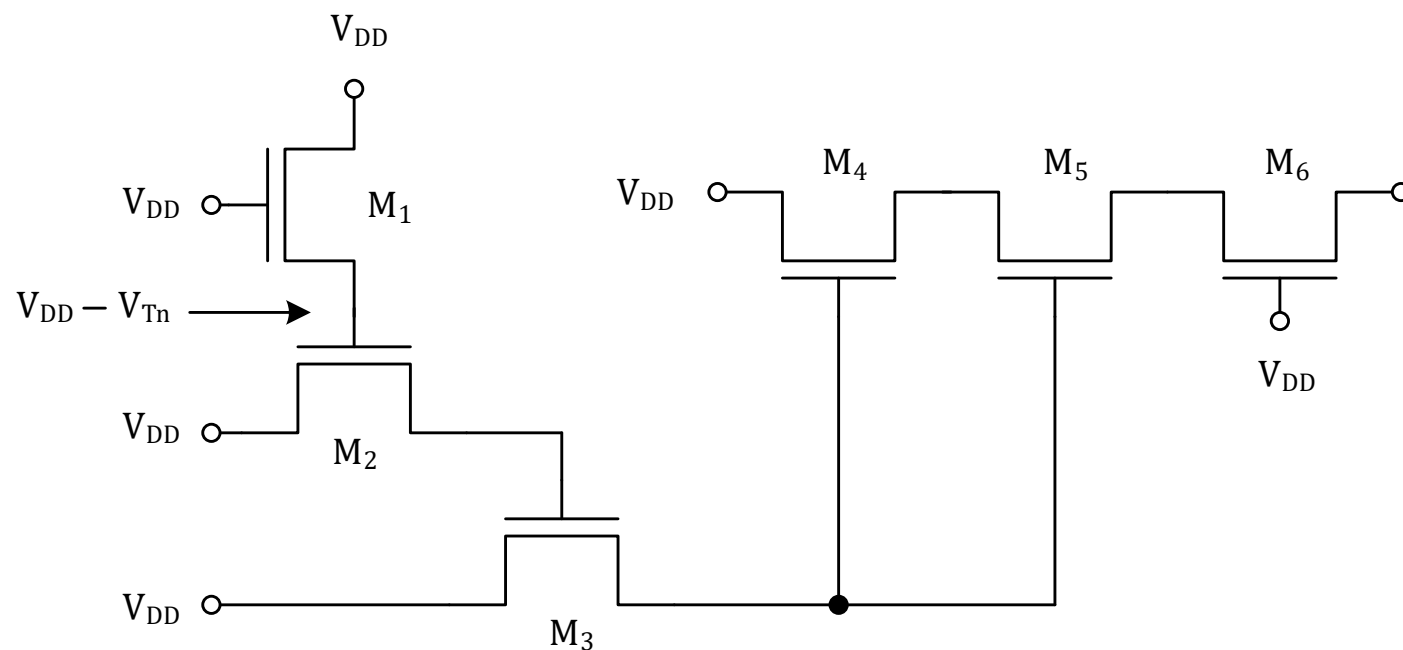
# بررسی برخی از مثالهای مدارهای ترکیبی

ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )



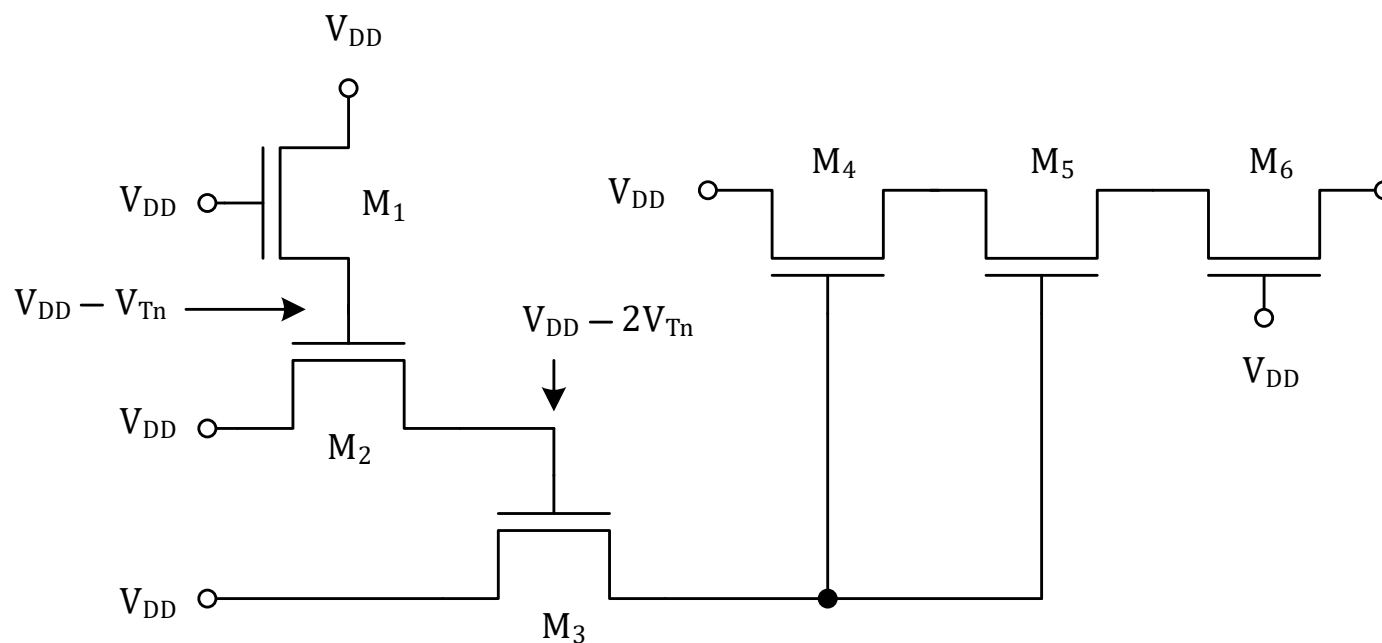
# بررسی برخی از مثالهای مدارهای ترکیبی

ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )



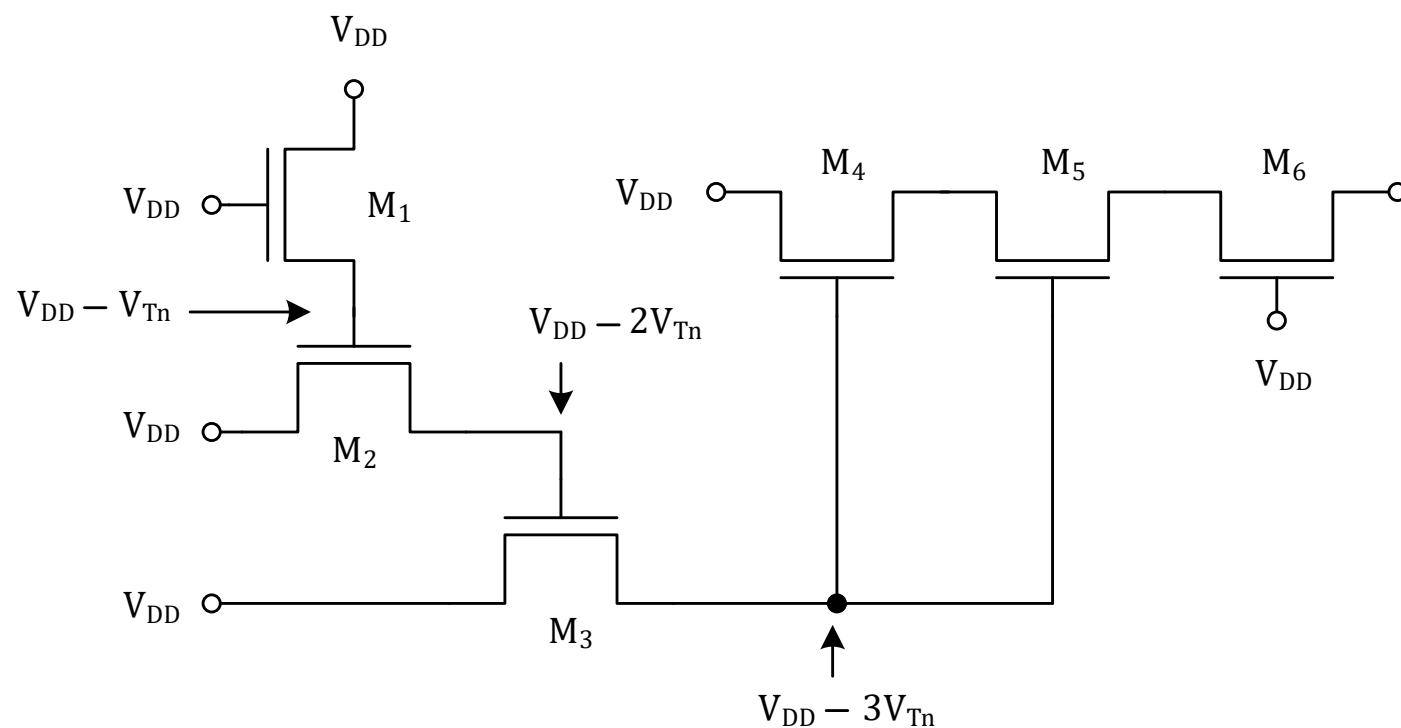
# بررسی برخی از مثالهای مدارهای ترکیبی

ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )



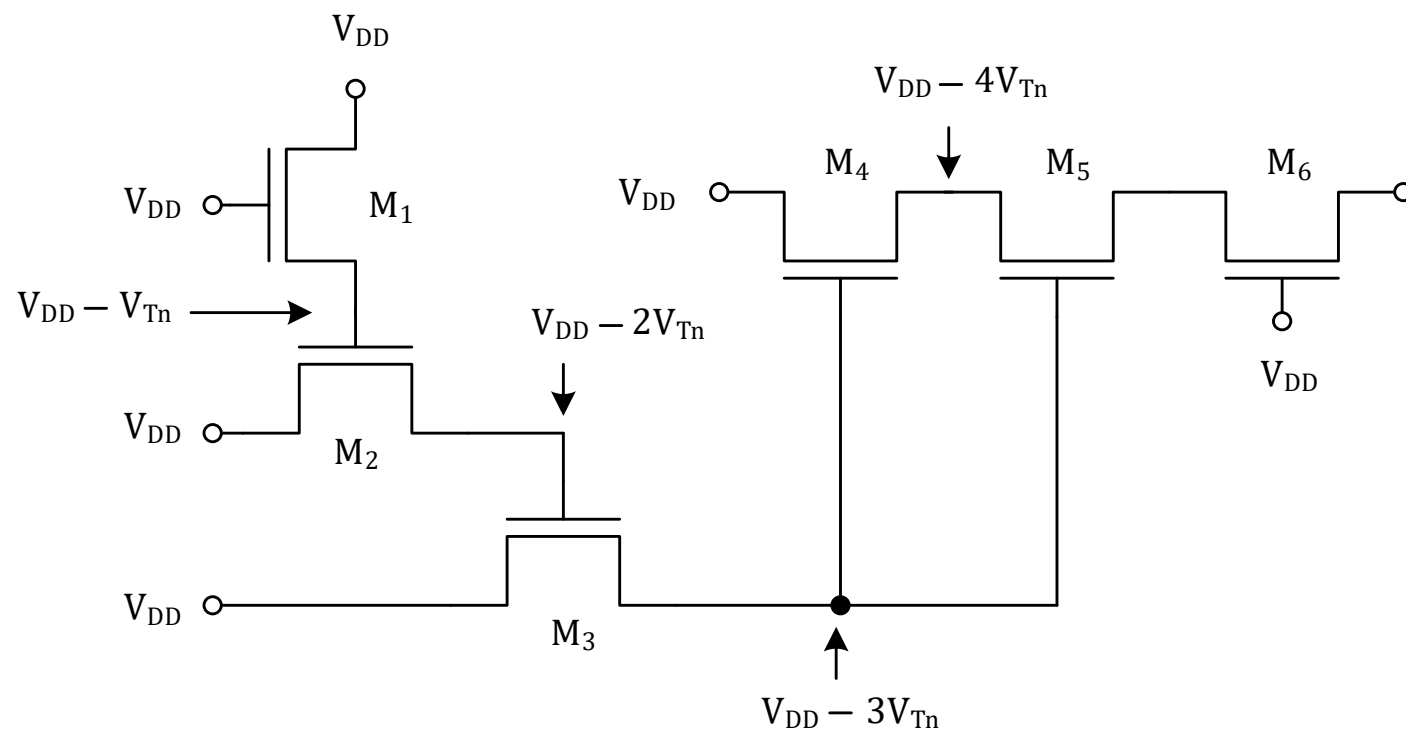
# بررسی برخی از مثالهای مدارهای ترکیبی

ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )



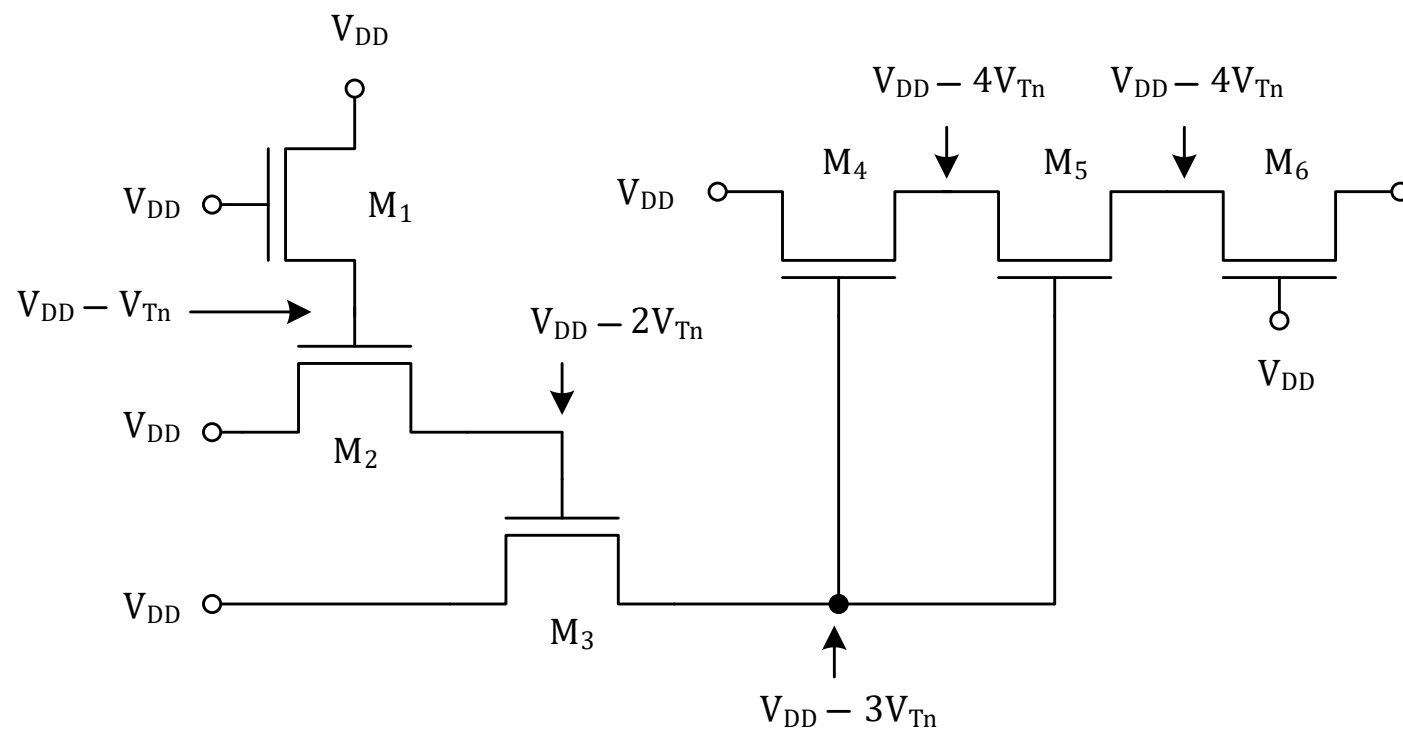
# بررسی برخی از مثالهای مدارهای ترکیبی

ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )



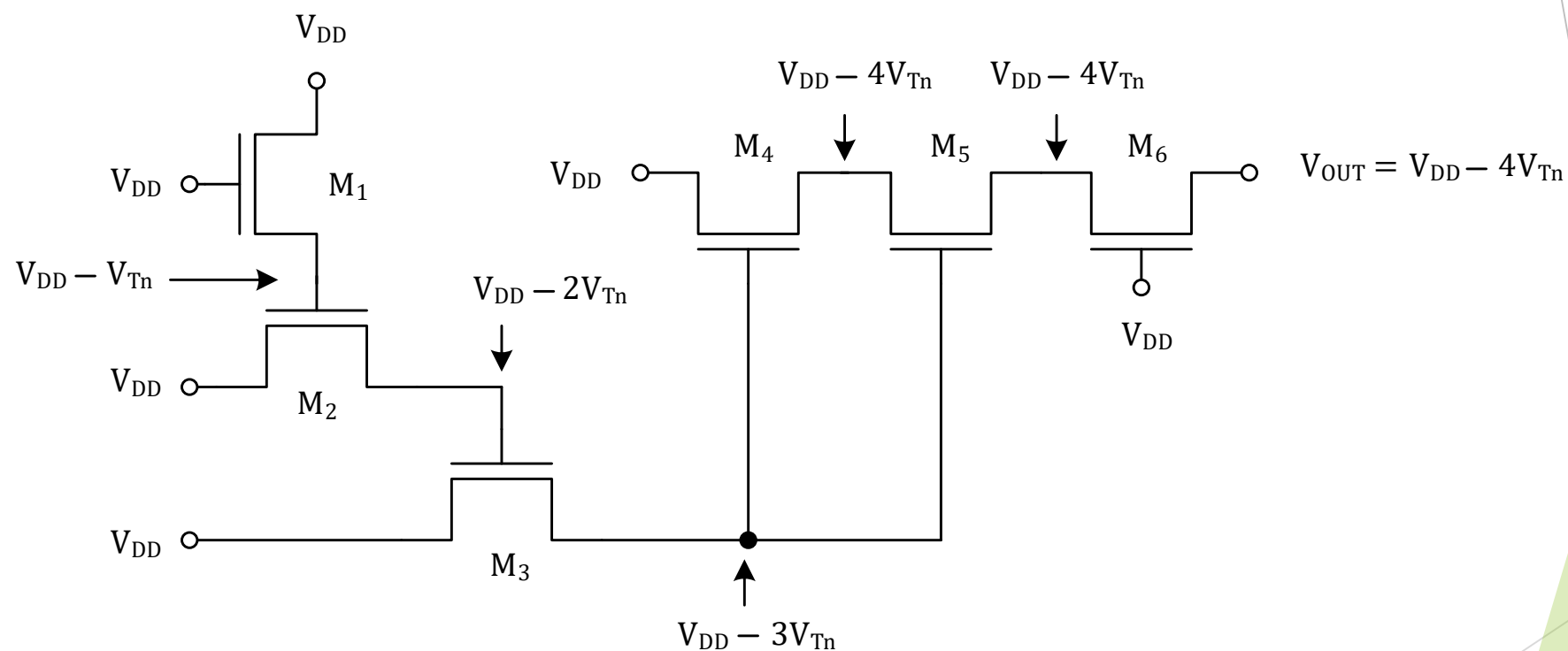
# بررسی برخی از مثالهای مدارهای ترکیبی

ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )



# بررسی برخی از مثالهای مدارهای ترکیبی

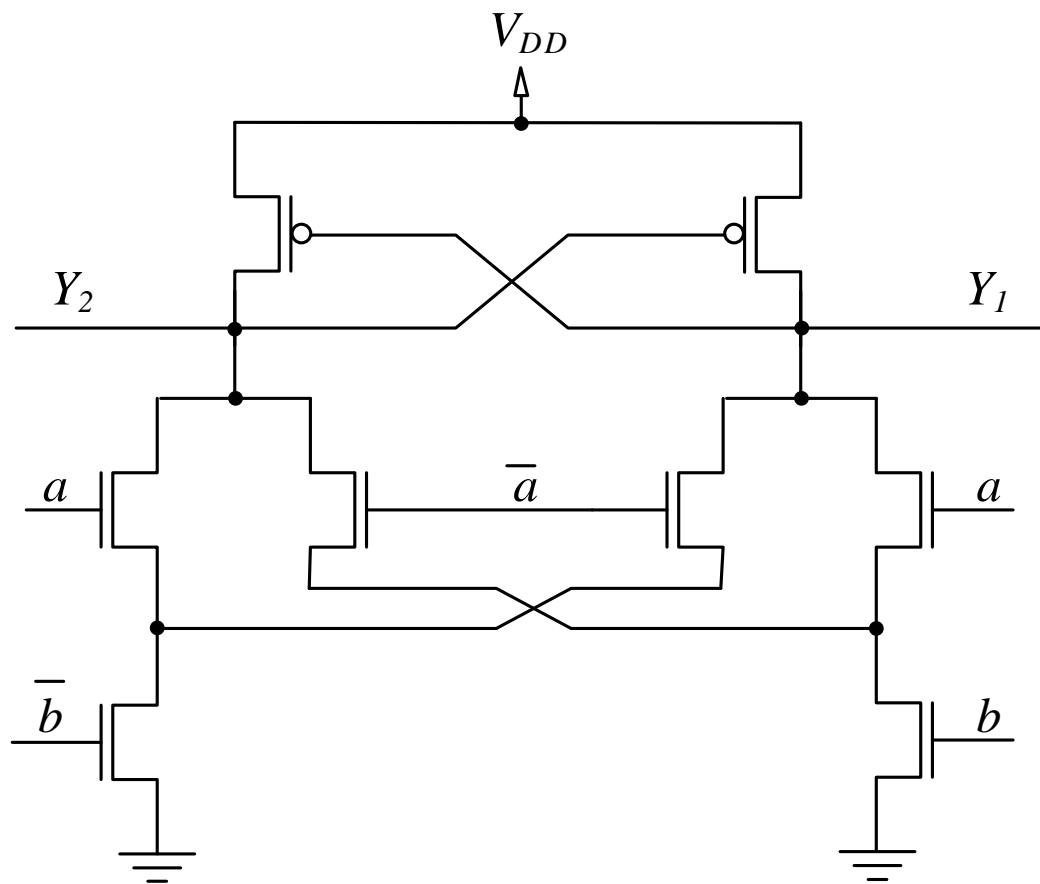
ولتاژ  $V_{OUT}$  را بیابید ( تست کنکور سراسری سال ۸۸ )





# بررسی برخی از مثالهای مدارهای ترکیبی

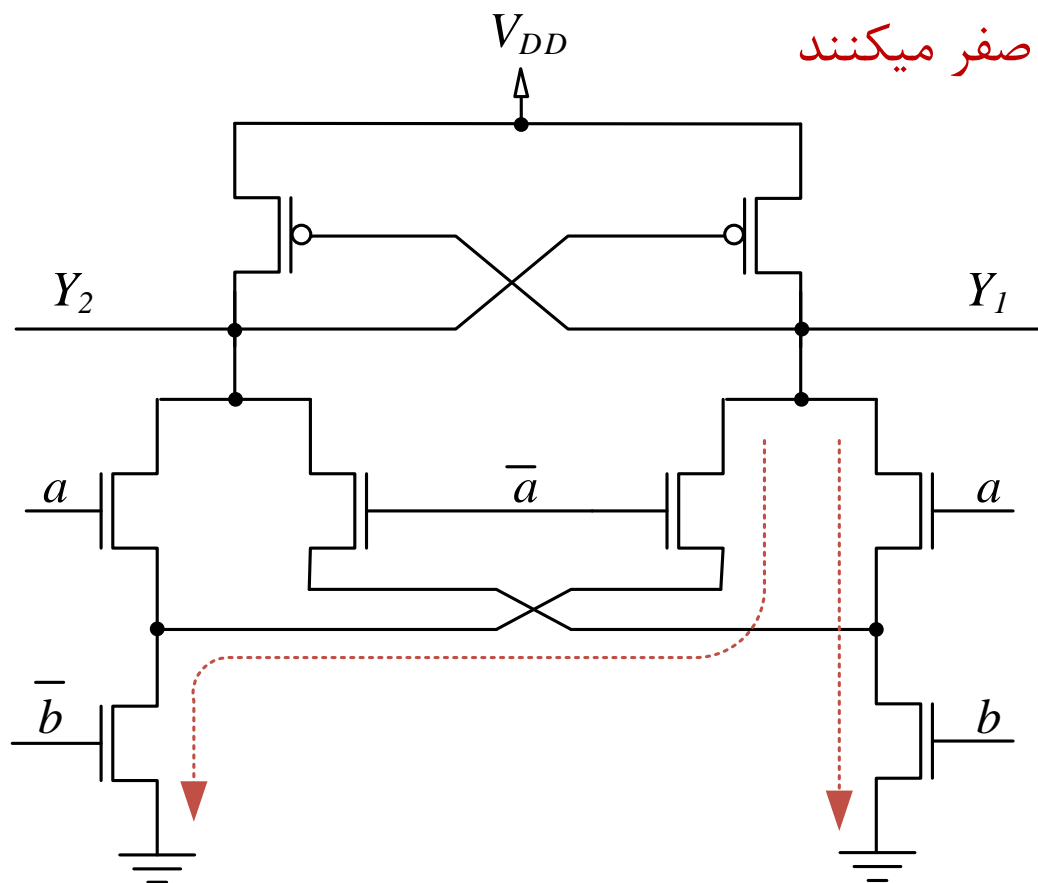
تابع خروجی مدار زیر چیست ؟



## بررسی برخی از مثالهای مدارهای ترکیبی

تابع خروجی مدار زیر چیست ؟

مسیرهایی که خروجی  $Y_1$  را صفر میکنند

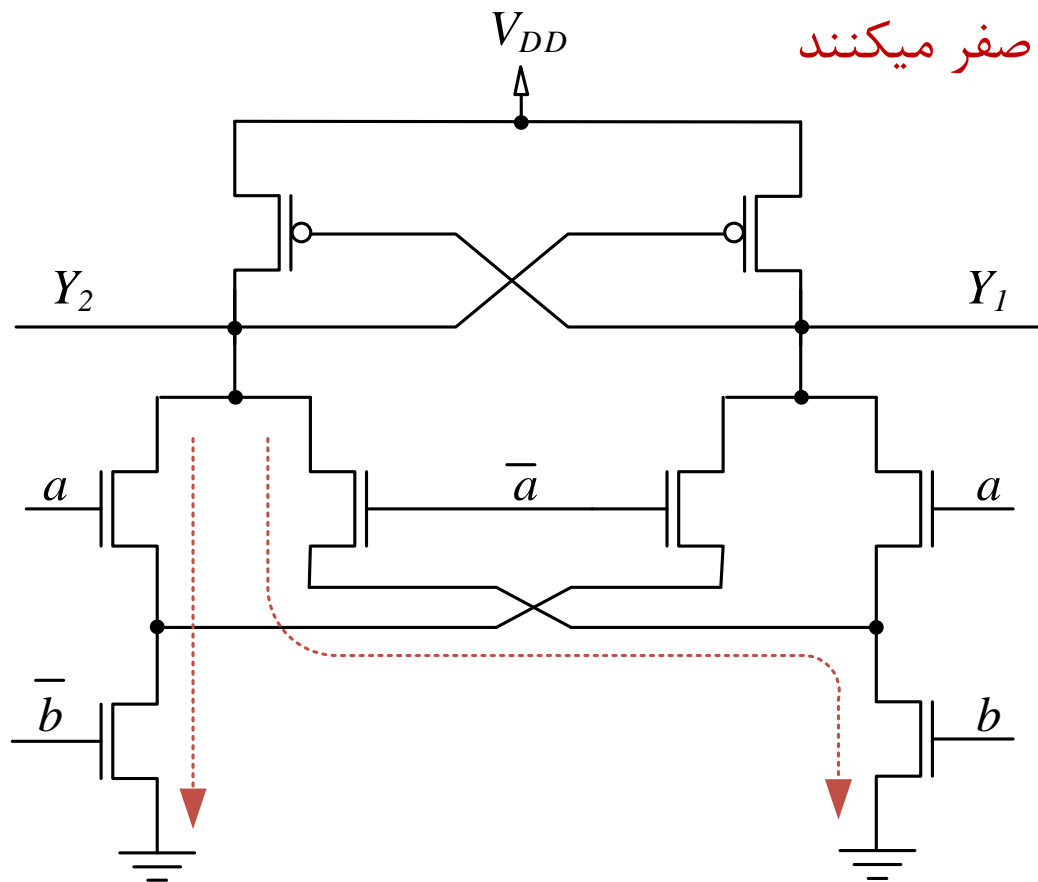


$$Y_1 = \overline{ab + \bar{a}\bar{b}}$$

## بررسی برخی از مثالهای مدارهای ترکیبی

تابع خروجی مدار زیر چیست ؟

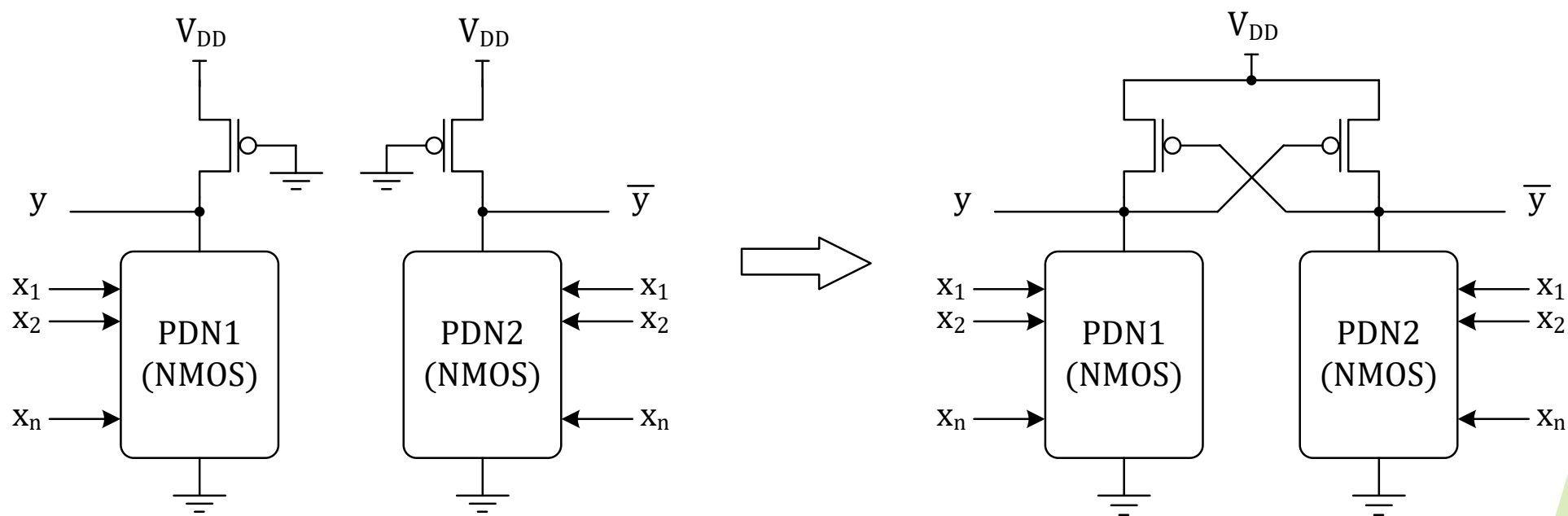
مسیرهایی که خروجی  $Y_2$  را صفر میکنند



$$Y_2 = \overline{a\bar{b} + \bar{a}b}$$

# بررسی برخی از مثالهای مدارهای ترکیبی

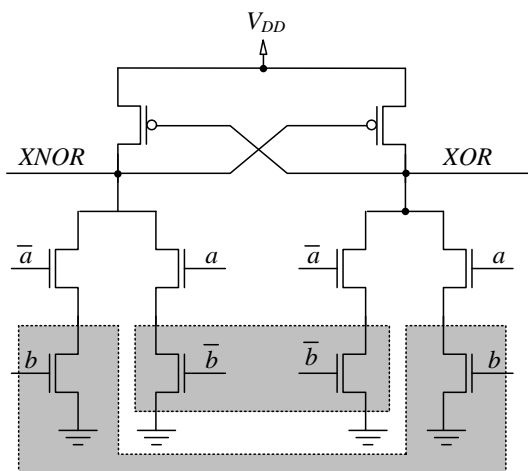
## ساختار کلی این نوع مدارها



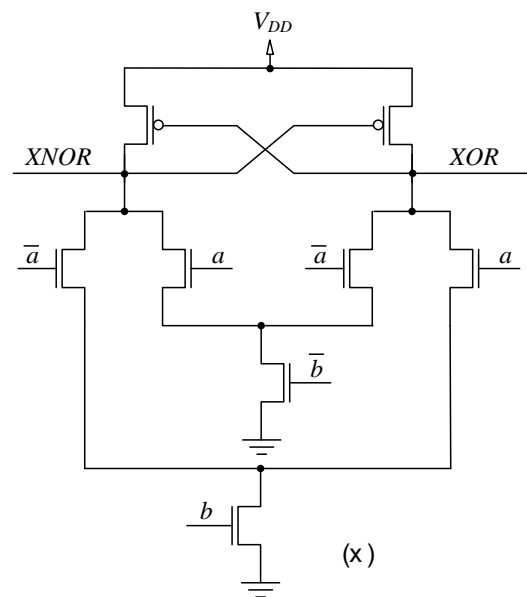
این نوع مدارها را **CVSL (Cascode Voltage Switch Logic)** می نامند

# بررسی برخی از مثالهای مدارهای ترکیبی

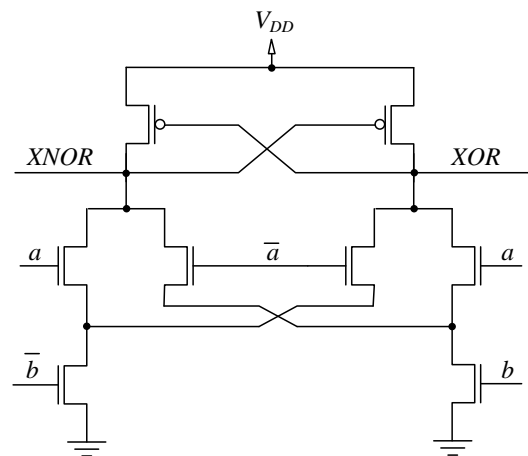
## مثال مدار xor/xnor



(f)



(x)



(a)

## بررسی برخی از مثالهای مدارهای ترکیبی

سوال - مزایای مدار CVSL چیست؟ حداقل دو مورد را توضیح کامل دهید.

سوال - مدار xor/xnor سه ورودی را به روش CVSL ترسیم کنید.



سوال - کدام روش طراحی مدارهای ترکیبی مناسب تر است؟  
- مدارهای CMOS  
- استفاده از PTL

## مقاله Top Down Pass Transistor Design

IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31,  
NO. 6, JUNE 1996

این موضوع را بررسی کرده است و نتایج جالبی را در خصوص مقایسه میان این دو روش گرفته است. در این مقاله Cell Library های مختلف با دو روش طراحی مورد بررسی قرار گرفته است.

1. مدار LEAP

2. CMOS



به عنوان نمونه نتایج مقایسه دو مدار FA به صورت زیر است :

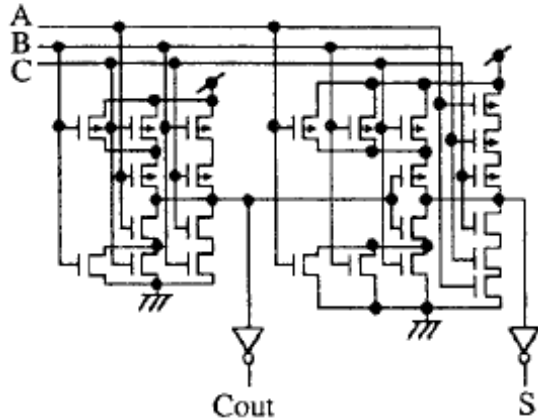
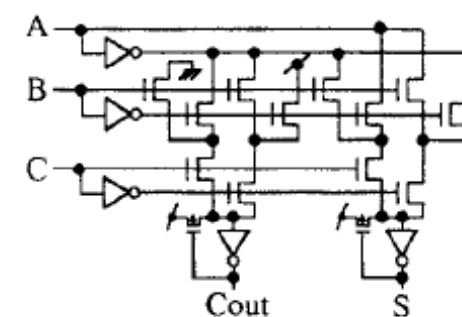
مقایسه تعداد ترانزیستور

مقایسه سطح اشغال شده بر روی سیلیکون

مقایسه تاخیر

مقایسه توان مصرفی

در انتها Figure Of Merit با معکوس حاصلضرب توان، تاخیر و مساحت مشخص شده است

		Reported Circuits [18, 19]	Circuit Inventor (This Work)
Full Adder	Circuit Diagram		
	Tr. Count	28 (1)	24 (0.86)
	Area	1810 $\mu\text{m}^2$ (1)	1161 $\mu\text{m}^2$ (0.64)
	Delay	0.73 ns (1)	0.32 ns (0.44)
	Power	3.65 $\mu\text{W}/\text{MHz}$ (1)	2.35 $\mu\text{W}/\text{MHz}$ (0.64)
	FOM*	1	6.5