

IFT 1227 – Architecture des ordinateurs

Devoir 1

- À faire en groupe de **deux** étudiants.
- Remise : Le **12 février** 2018 à **23:55** au plus tard
- Il y aura une pénalité de **10%** par jour de retard.
- Rapport : Écrire à la main ou par traitement de texte. Le rapport devra être clair, **présentable** et concis. Il devra contenir **les résultats intermédiaires** nécessaires permettant de montrer sans ambiguïté que vous êtes arrivés au résultat demandé. La version écrite à la main doit être numérisée (photographiée) et remise électroniquement.

I. Réduction de la logique numérique

Simplifier la fonction logique suivante en utilisant la méthode de Quine - McCluskey:

$$F(a, b, c, d, e) = \sum (0, 5, 7, 8, 16, 17, 18, 29, 30) + \sum_d (1, 2, 3, 10, 20, 21, 31)$$

II. Conception schématique des circuits combinatoires avec la carte Altera DE2

Suivez les mêmes étapes que le Tutoriel 1 pour réaliser une machine de votes pour une société à cinq actionnaires. Les actionnaires possèdent le nombre d'actions suivant : A – 63, B – 71, C – 59, D – 100, E – 101. La machine devra permettre le vote automatique lors des réunions. Chaque actionnaire appuie sur un bouton qui porte son nom (A, B, C, D, E). Si un actionnaire vote OUI, sa variable (par exemple A) vaut 1, s'il vote NON, elle vaut 0. Le poids de son vote est proportionnel au nombre d'actions qu'il possède (A – 63, B – 71, C – 59, D – 100, E – 101). Une résolution sera votée ($V = 1$) si la somme des actions correspondantes aux votes OUI représente au moins la moitié des actions plus une.

- a) Concevoir la table de vérité de V.
- b) Simplifier SOP de la fonction V en utilisant la méthode des tables de Karnaugh.
- c) Fournir les 3 implémentations de la fonction V en utilisant votre carte :
 - 1) Avec les portes logiques ET, OU et NON (SOP simplifiée).
 - 2) Avec un multiplexeur 16 à 1.
 - 3) Avec un décodeur et une porte logique OU.

Pour chaque implémentation créer un nouveau projet Quartus. Tester toutes les implémentations sur la carte en assignant pour modéliser les entrées A, B, C, D, E les interrupteurs SW0 – PIN_N25 ; SW1 – PIN_N26 ; SW2 – PIN_P25, SW3 – PIN_AE14 et SW4 – PIN_AF14. Lorsque vos interrupteurs sont en position « bas », ils génèrent « 0 » ; « haut » - « 1 ». La sortie V connecter à une lumière verte LEDG7 – PIN_Y18 et introduire

une autre sortie notV et la connecter à une lumière rouge LEDR0 – PIN_AE23. Lorsque la résolution est OUI, la lumière verte s'allume, dans le cas contraire - la lumière rouge. Pour les LEDs, on les allume, si on les assigne à « 1 ».

À remettre

1. Un rapport contenant :
 - La solution avec **toutes les démarches** (seulement toutes les tables, pas d'explications en français) pour arriver aux résultats du numéro 1 et numéro 2 (a) et (b).
 - Pour chaque implémentation du numéro 2 (c) créer un projet distinct dans le Quartus. Imprimer les 3 schémas résultats et les joindre au rapport (dans Quartus ouvrez le projet, compilez-le. Aller sur « Tools » → « Netlist Viewers » → RTL Viewer. Votre circuit synthétisé sera affiché). N'oubliez pas de mettre les noms des participants dans votre rapport!
2. Code : Faire la remise électronique sur StudiUM de 3 fichiers archivés contenant vos projets Quartus (1 fichier compressé par projet) et le rapport en forme pdf. Une remise par équipe!

Barème de correction

Numéro 1 – 20; 2a – 10, 2b – 15. Absence des tables, des étapes de développement entrainera la diminution de la note proportionnellement aux nombre d'étapes non présentés. Si une étape principale est sautée, la note deviendra 0.

Numéro 2c – 45 (3* 15).

Présentation de rapport : 10 – propreté, lisibilité, etc.

Total : 100 points

Bon travail!