

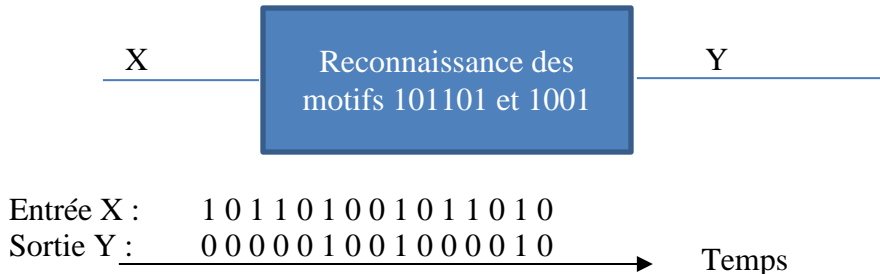
IFT 1227 – Architecture des ordinateurs

Devoir 2

- À faire en groupe de **deux** étudiants.
- Remise : Le **15 mars** 2018 avant minuit au plus tard.
- Il y aura une pénalité de **10%** par jour de retard.
- Rapport : Écrire à la main ou par traitement de texte. Le rapport devra être clair, **présentable** et concis.

1. FSM

- a) Concevoir une machine à états finis qui prend une entrée en série et reconnaît deux motifs : 101101 ou 1001.



- Dessinez une FSM de Melay.
- Écrire une table de transition d'états pour cette machine.
- Écrire une table de vérité en utilisant un encodage binaire.
- Écrire une table de vérité en utilisant un encodage « one-hot ».

2. Conception des circuits combinatoires (entrée VHDL)

- Concevoir un circuit combinatoire de convertisseur de la représentation d'un nombre en complément à 2 sur 5 bits en représentation DCB (décimal codé binaire) pour l'afficheur 7 segments. Sur la carte, pour allumer un segment il faudra assigner une valeur '0' au signal de control et '1' pour l'éteindre.

Dans la représentation complément à 2 sur 5 bits on peut représenter les nombres de -16 à +15. Pour chaque nombre en complément à 2 il faudra générer les 3 sorties de 7 bits qui vont contrôler les 3 afficheurs 7 segments : un afficheur de signe et les deux afficheurs des chiffres de l'intervalle -16 à +15, un afficheur – dizaines et l'autre - unités.

Donc, pour afficher la valeur -1 égale en complément à 2 sur 5 bits à la chaîne 11111, votre circuit devra générer un vecteur de signe : 1111110 pour allumer le segment au milieu, ensuite l'afficheur des dizaines il faut éteindre – 1111111 et dans l'afficheur d'unités, on allume les segments 1 et 2 (page 31 du document Manuel d'utilisation de la carte) menant à la génération du vecteur 10011111.



Pour le signe « + » il faudra garder le premier afficheur éteint. S'il n'y a pas de dizaines dans le nombre représenté, il faut éteindre l'afficheur des dizaines et seulement afficher le chiffre décimal correspondant sur le troisième afficheur.

Implémenter une description comportementale de ce circuit. Vous pourriez décrire votre circuit à partir de la table de vérité correspondante.

Connecter les entrées aux interrupteurs : D₄ à SW[4] (PIN_AF14), D₃ à SW[3] (PIN_AE14), D₂ à SW[2] (PIN_P25), D₁ à SW[1] (PIN_N26), D₀ à SW[0] (PIN_N25) et les sorties aux HEX3[0] – HEX3[6] - signe, HEX2[0] – HEX2[6] - dizaines, HEX1[0] – HEX1[6] (p. 32, manuel d'utilisation DE2, https://studium.umontreal.ca/pluginfile.php/3321428/mod_resource/content/1/DE2_User_Manual.pdf).

II. Synthèses des circuits séquentiels, entrées VHDL

Concevoir et synthétiser un circuit séquentiel qui génère une séquence circulaire suivante : -16, -15, ..., 0, 1, ..15 et on recommence : -16, -15, ... +15

Cette séquence contienne 32 valeurs d'encodage en complément à 2 sur 5 bits. Encoder cette séquence par un code sur 5 bits qui par la suite sera utilisé comme entrée pour votre afficheur `convertiseurSeq` pour pouvoir afficher l'encodage DCB sur la carte.

La vue boîte noire de votre circuit est donnée plus bas.



- Concevoir un diagramme d'états de cette machine;
- Écrire une table de transitions d'états (utilisez les noms symboliques dans la table)

- c) Coder en VHDL la FSM de l'afficheur de séquence (créer un nouveau projet pour cette tâche). Pour pouvoir utiliser un bouton poussoir sur la carte pour un signal Reset il faudra plutôt utiliser un reset négatif :

```
...  
process (clk, reset)  
begin  
    if reset = '1' then state <= S0; ...
```



```
...  
process (clk, reset_n)  
begin  
    if reset_n = '0' then state <= S0; ...
```

Entrées/Sorties :

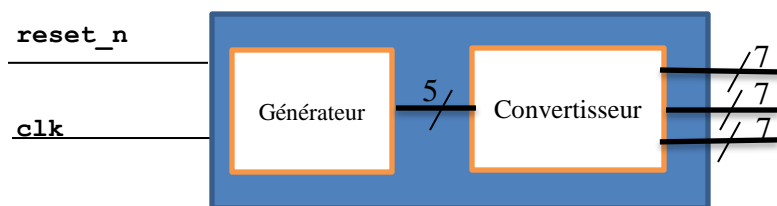
Modélisez les entrées :

- **clk** et **reset_n** avec les boutons poussoirs, KEY[3] et KEY[2] respectivement.

Le fonctionnement de votre circuit est commandé par une horloge. Chaque événement sera pris en compte en appuyant le bouton « Horloge », KEY[3] (on modélise un horloge de manière manuelle). Tester votre circuit en connectant les sorties aux lumière rouges LEDR[0] – LEDR[3] (assignation des pins regarder dans le manuel DE2 p.30).

III. Conception des circuits combinatoires (entrée VHDL), Description structurel

Développez en VHDL un modèle structurel du générateur - afficheur de séquence (numéro 2-3). Pour ce modèle vous aurez besoin les deux modules déjà créés (le numéro 2 et le numéro 3). Voici la vue boîte noire du circuit demandé :



Connectez les entrées aux composants de la carte de la même manière qu'en numéro 2.II.b et les sorties qu'en numéro 2.I. Tester votre circuit.

Remise électronique : Créer les 3 fichiers compressés (*.zip, par ex.) contenant le code complet (avec le code généré par le système) de vos projets :

1. question 2.I;
2. question 2.II.b;
3. question 2.III. Pour la question 2.III, créer dans le répertoire de votre projet un sous répertoire `fichiers` où placer les fichiers source VHDL pour les 2 modules nécessaires dans cette question.

Écrire un rapport contenant

- Numéro 1
- Numéro 2.II a et b
- Les images des circuits synthétisés (netlist) pour les questions 2.I, 2.II.b, 2.III

Barème de correction /100

- Numéro 1 sur 30:
 - I – 10
 - II – 10
 - III – 5
 - IV – 5
- Numéro 2 sur 40
 - (a) – 10
 - (b) – 10
 - (c) – 20
- Numéro 3 sur 20

Présentation de rapport : 10/10 – propreté, lisibilité, respect des directives etc.

Total : 100 points

Bon travail!