

UNIVERSITÉ DE MONTRÉAL

Devoir n°2

Par

Lenny SIEMENI TCHOKOTE

Julien KIANG

Baccalauréat Informatique

Faculté des arts et des sciences
Département d'Informatique et Recherche Opérationnelle

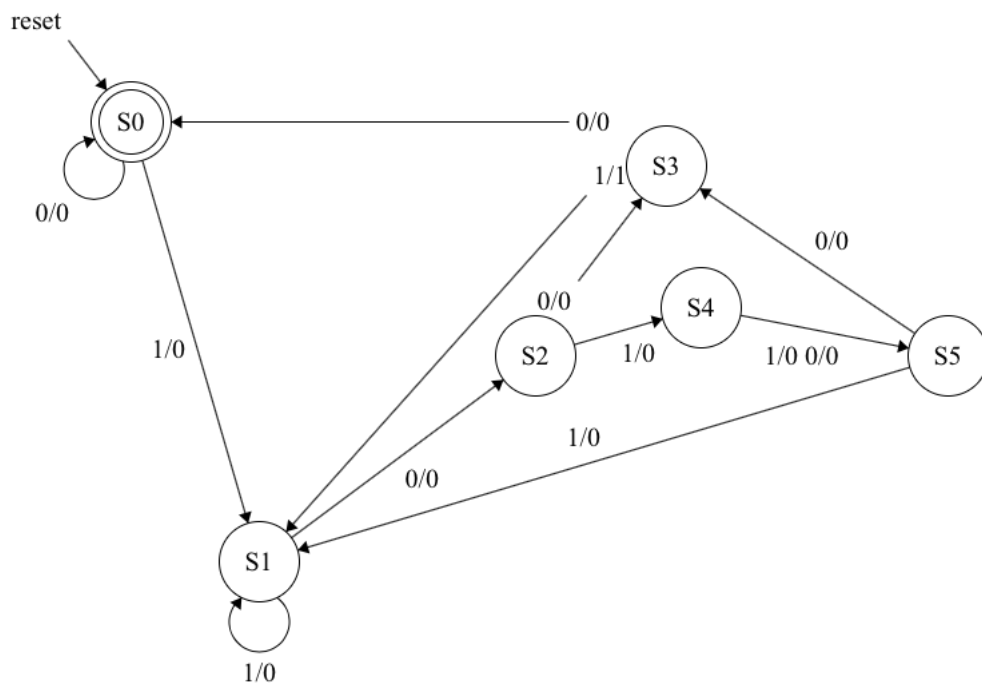
Travail présenté à Alena Tsikhanovich

Dans le cadre du cours IFT1227
Architecture des Ordinateurs

Février 2018

Question 1 :

I. L'automate en utilisant le modèle de Melay :



*Note : Pour passer de S4 à S5, il suffit de lire 0 ou 1 et la sortie sera 0 dans les deux cas

II. La table de transition du détecteur de séquence :

| Current State | Input | Next State | Output |
|---------------|-------|------------|--------|
| S0 | 0 | S0 | 0 |
| S0 | 1 | S1 | 0 |
| S1 | 0 | S2 | 0 |
| S1 | 1 | S1 | 0 |
| S2 | 0 | S3 | 0 |
| S2 | 1 | S4 | 0 |
| S3 | 0 | S0 | 0 |
| S3 | 1 | S1 | 1 |
| S4 | 0 | S5 | 0 |
| S4 | 1 | S5 | 0 |
| S5 | 0 | S3 | 0 |
| S5 | 1 | S1 | 0 |

III. La table de transition d'état en encodage Binaire :

| Current State | Input | Next State | Output |
|---------------|-------|-------------|--------|
| S2 S1 S0 | X | S2' S1' S0' | Y |
| 0 0 0 | 0 | 0 0 0 | 0 |
| 0 0 0 | 1 | 0 0 1 | 0 |
| 0 0 1 | 0 | 0 1 0 | 0 |
| 0 0 1 | 1 | 0 0 1 | 0 |
| 0 1 0 | 0 | 0 1 1 | 0 |
| 0 1 0 | 1 | 1 0 0 | 0 |
| 0 1 1 | 0 | 0 0 0 | 0 |
| 0 1 1 | 1 | 0 0 1 | 1 |
| 1 0 0 | 0 | 1 0 1 | 0 |
| 1 0 0 | 1 | 1 0 0 | 0 |
| 1 0 1 | 0 | 0 1 1 | 0 |
| 1 0 1 | 1 | 0 0 1 | 0 |
| Autres | X | X X X | X |

| State | Encoding |
|-------|----------|
| S0 | 0 0 0 |
| S1 | 0 0 1 |
| S2 | 0 1 0 |
| S3 | 0 1 1 |
| S4 | 1 0 0 |
| S5 | 1 0 1 |

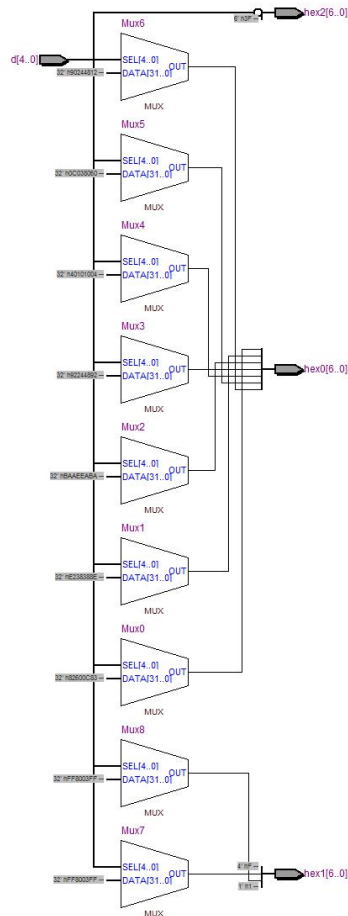
IV. La table de transition d'état encodage « One-hot » :

| Current State | Input | Next State | Output |
|-------------------|-------|-------------------------|--------|
| S5 S4 S3 S2 S1 S0 | X | S5' S4' S3' S2' S1' S0' | Y |
| 0 0 0 0 0 1 | 0 | 0 0 0 0 0 1 | 0 |
| 0 0 0 0 0 1 | 1 | 0 0 0 0 1 0 | 0 |
| 0 0 0 0 1 0 | 0 | 0 0 0 1 0 0 | 0 |
| 0 0 0 0 1 0 | 1 | 0 0 0 0 1 0 | 0 |
| 0 0 0 1 0 0 | 0 | 0 0 1 0 0 0 | 0 |
| 0 0 0 1 0 0 | 1 | 0 1 0 0 0 0 | 0 |
| 0 0 1 0 0 0 | 0 | 0 0 0 0 0 1 | 0 |
| 0 0 1 0 0 0 | 1 | 0 0 0 0 1 0 | 1 |
| 0 1 0 0 0 0 | 0 | 1 0 0 0 0 0 | 0 |
| 0 1 0 0 0 0 | 1 | 0 1 0 0 0 0 | 0 |
| 1 0 0 0 0 0 | 0 | 0 0 1 0 0 0 | 0 |
| 1 0 0 0 0 0 | 1 | 0 0 0 0 1 0 | 0 |

| State | Encoding |
|-------|-------------|
| S0 | 0 0 0 0 0 1 |
| S1 | 0 0 0 0 1 0 |
| S2 | 0 0 0 1 0 0 |
| S3 | 0 0 1 0 0 0 |
| S4 | 0 1 0 0 0 0 |
| S5 | 1 0 0 0 0 0 |

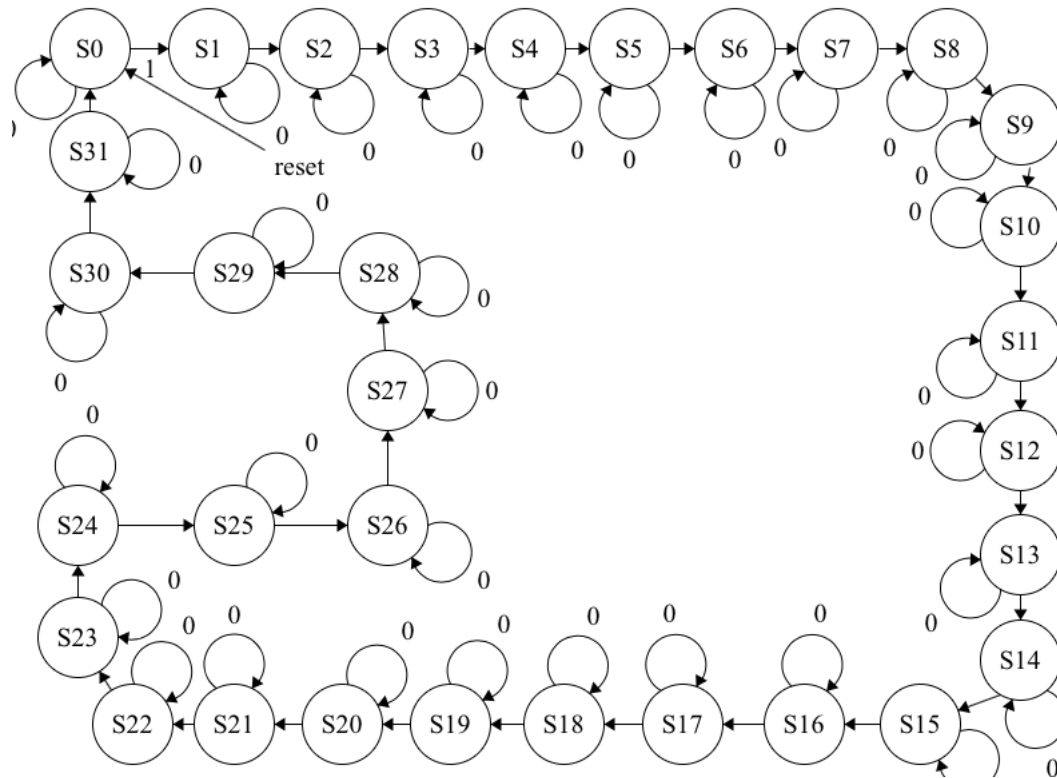
Question 2 :

Le circuit de l'afficheur du « 7 segment display » tel qu'affiché dans Quartus II :



Synthèses des circuits séquentiels, entrées VHDL :

Le diagramme d'état du générateur de séquence cyclique. Notes sur le diagramme plus bas :



Pour passer à un état suivant, on doit lire 1 en entrée correspondant à la valeur de l'horloge. Dans chaque état, on devrait avoir la sortie de marquée puisque c'est un automate de Moore. Par souci d'ergonomie, nous retrouverons les valeurs des sorties dans la table de transitions d'états. Mais nous sommes parfaitement conscient que nous devrions avoir la sortie affichée dans chaque état et la valeur 1 sur chaque arc de transition.

b) la table de transition d'états :

| Current State | Input | Next state | Output | Output en DCB 5 bits |
|---------------|-------|------------|--------|----------------------|
| S0 | 1 | S1 | -16 | 10000 |
| S1 | 1 | S2 | -15 | 10001 |
| S2 | 1 | S3 | -14 | 10010 |
| S3 | 1 | S4 | -13 | 10011 |
| S4 | 1 | S5 | -12 | 10100 |
| S5 | 1 | S6 | -11 | 10101 |
| S6 | 1 | S7 | -10 | 10110 |
| S7 | 1 | S8 | -9 | 10111 |
| S8 | 1 | S9 | -8 | 11000 |
| S9 | 1 | S10 | -7 | 11001 |
| S10 | 1 | S11 | -6 | 11010 |
| S11 | 1 | S12 | -5 | 11011 |
| S12 | 1 | S13 | -4 | 11100 |
| S13 | 1 | S14 | -3 | 11101 |
| S14 | 1 | S15 | -2 | 11110 |
| S15 | 1 | S16 | -1 | 11111 |
| S16 | 1 | S17 | 0 | 00000 |
| S17 | 1 | S18 | 1 | 00001 |
| S18 | 1 | S19 | 2 | 00010 |
| S19 | 1 | S20 | 3 | 00011 |
| S20 | 1 | S21 | 4 | 00100 |
| S21 | 1 | S22 | 5 | 00101 |
| S22 | 1 | S23 | 6 | 00110 |
| S23 | 1 | S24 | 7 | 00111 |
| S24 | 1 | S25 | 8 | 01000 |
| S25 | 1 | S26 | 9 | 01001 |
| S26 | 1 | S27 | 10 | 01010 |
| S27 | 1 | S28 | 11 | 01011 |
| S28 | 1 | S29 | 12 | 01100 |
| S29 | 1 | S30 | 13 | 01101 |
| S30 | 1 | S31 | 14 | 01110 |

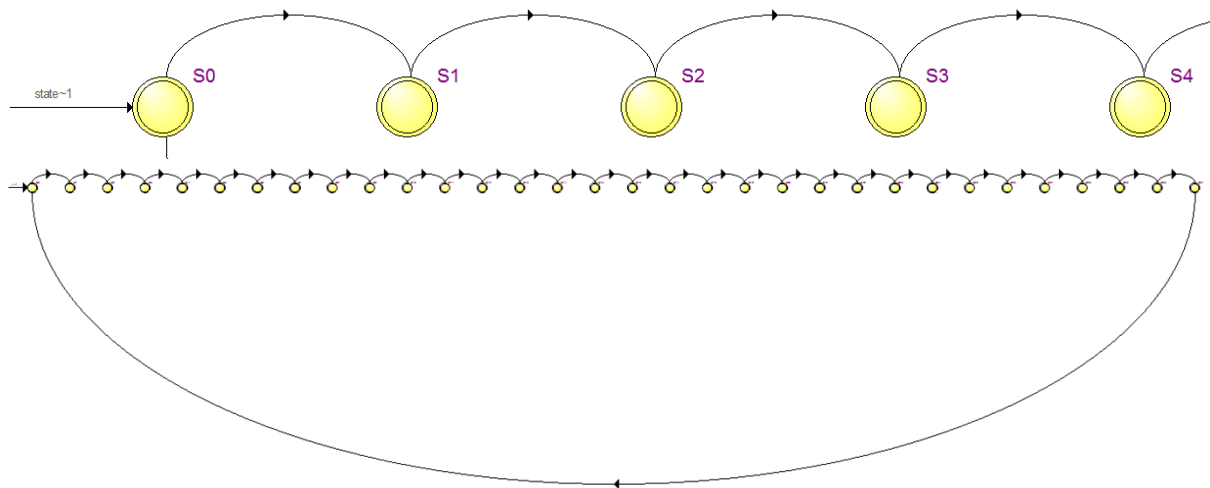
| | | | | |
|-----|---|----|----|-------|
| S31 | 1 | S0 | 15 | 01111 |
|-----|---|----|----|-------|

On notera que lorsque l'input est de zéro, on reste dans l'état courant, par soucis de lisibilité on n'a pas mis les états de transition lorsque l'input est de 0. Puisque on ne change d'état que sur un input de 1. On en a discuté et montré a Alena Tsikhanovich et accepte ce résultat.

Le circuit synthétisé 2.II



c) L'automate tel qu'affiché dans Quartus II :



Question 3 : Conception des circuits combinatoires en description structurelle

Le circuit tel qu'affiché dans Quartus II :

devoir_2_iii:1

