

The background features a complex network of thin grey lines connecting various points, some of which are solid black dots. Scattered throughout are numerous triangles of different sizes and orientations, some with solid outlines and others with dashed or dotted outlines. The overall aesthetic is technical and minimalist.

Covert Channels

Implementation and evaluation of a covert channel built with with FLUSH+FLUSH



Was sind verdeckte Kanäle?

Verdeckte Kanäle beschreiben die unautorisierte Kommunikation zwischen zwei Kommunikationspartnern.



Was sind Side-Channel Attacks?

Die Observation von Systemen und Ausnutzung von öffentlichen Daten um Schlüsse über die eigentlich privaten Informationen zu erhalten.



Cachebasierte verdeckte Kanäle

- Nutzen aus, dass der Cache von unabhängigen Prozessen geteilt wird
- Techniken geben Auskunft darüber, ob der Sender bestimmte Speicherbereiche benutzt
- Unterscheidung zwischen shared-memory und Prime+Probe
 - shared-memory nutzt z.B. Unterschiede in Zugriffszeiten auf den Cache aus
 - Prime+Probe nutzt aus, dass verschiedene Speicherstellen auf eine Cachezeile mappen



Shared-Memory-Attacken

- Verwendung von CLFLUSH, um Daten aus dem Cache zu verdrängen
- Flush+Reload:
 - Messung von Zugriffszeiten
- Flush+Flush
 - Messung von CLFLUSH-Execution-Time



Flush+Reload

1. CLFLUSH um Daten zu verdrängen
2. Sender lädt ggf. Daten erneut
3. Erneutes laden der Daten durch Empfänger
 - Falls kurze Zugriffszeit -> Sender hat Daten verwendet -> 1
 - Falls lange Zugriffszeit -> Sender hat Daten NICHT verwendet -> 0



Flush+Flush

1. CLFLUSH um Daten zu verdrängen
2. Sender lädt ggf. Daten erneut
3. Erneutes CLFLUSH durch Empfänger
 - Falls **lange** Execution-Time -> Sender hat Daten verwendet -> 1
 - Falls **kurze** Execution-Time -> Sender hat Daten NICHT verwendet ->0

CLFLUSH kann bei vorzeitig abbrechen, wenn die Daten NICHT im Cache liegen

Anschließend wiederholte Schritte 2,3



Vorteile von Flush+Flush

- Kein direkter Zugriff -> keine Cache Misses -> Stealthy gegenüber Hardwarecountern
- Prefetcher wird nicht ausgelöst
- Mehrere Cachelines werden abgehört, erhöhte Bandbreite



Einordnung in den Kontext - Timeline

1996 - erste Beschreibung von Seitenkanälen in der Wissenschaft. (Kocher)

2006 - Evict+Time und Prime+Probe werden vorgestellt. (Osvik)

2014 - Flush+Reload wird vorgestellt. (Yarom)

2016 - Flush+Flush wird vorgestellt. (Gruß)

2017 - Automatisierung von Seitenkanalangriffen (Gruß)

2018 - Die Meltdown Sicherheitslücke bei Intel-CPU's wird offengelegt. (Lipp)

2019 - Die Spectre Verwundbarkeit wird zusätzlich veröffentlicht. (Kocher)



Einordnung in den Kontext - Arbeiten

- Paul C. Kocher. "Timing Attacks on Implementations of Diffe-Hellman, RSA, DSS, and Other Systems". In: Crypto. 1996.
- Daniel Gruss. "Software-based Microarchitectural Attacks". Diss. Graz University of Technology, 2017. URL: https://gruss.cc/files/phd_thesis.pdf.
- Paul Kocher u. a. "Spectre Attacks: Exploiting Speculative Execution". In: S&P. 2019.
- Moritz Lipp u. a. "Meltdown: Reading Kernel Memory from User Space". In: USENIX Security Symposium. 2018.
- Yuval Yarom und Katrina Falkner. "Flush+Reload: a High Resolution, Low Noise, L3 Cache Side-Channel Attack". In: USENIX Security Symposium. 2014.
- Daniel Gruss u. a. "Flush+Flush: A Fast and Stealthy Cache Attack". In: DIMVA. 2016.
- Dag Arne Osvik, Adi Shamir und Eran Tromer. "Cache Attacks and Countermeasures: the Case of AES". In: CT-RSA. 2006.
- Maurice, Clémentine, et al. "Hello from the Other Side: SSH over Robust Cache Covert Channels in the Cloud." NDSS. Vol. 17. 2017.



Weitere Recherche

- Prime+Probe
 - Set Agreement
 - RS Code, Berger Code, Hadamard Code
- Gulash et al: Attack on Scheduling
- Pessl et al: Attack on DRAM
- Rowhammer
- RDTSC
- Networking: CSMA, Synchronisation, Self Clocked Signal
- Cache Slice, Complex Mapping Function, Cache Replacement Policy, Pages
- Noise by Full Duplex?
- Noise by increased word size?
- Content based page duplication
- Prefetcher
- CLFLUSH timing to derive which core is used
- Flush+Flush attack on AES
- MFENCE/LFENCE
- Table look aside buffer
- Daniel Groß Dr-Arbeit
- Gantt Chart
- Einordnung in den Kontext, welche anderen dinge gibts
- Welche implementierungen gibt es bereits
- Kuniyasu Suzuki u. a. "Memory Deduplication as a Threat to the Guest OS". In: EuroSec. 2011.: Seitenkanalangriffe auf RAM
- Prefetch Seitenkanalangriffe (Groß)

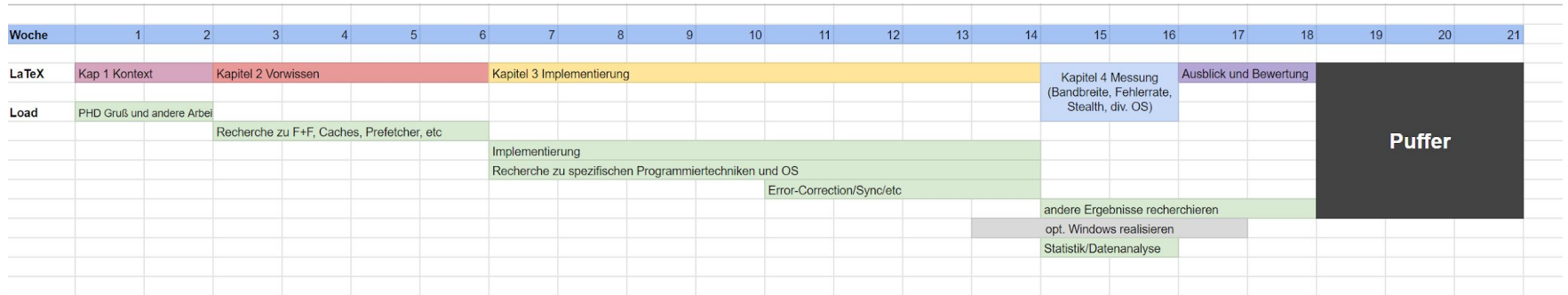


Struktur

1	EINLEITUNG	
2	RELATED WORK	
3	GRUNDLAGEN	
3.1	CLFLUSH	
3.1.1	CLFLUSH vs CLFLUSH_OPT	
3.2	FLUSH+RELOAD	
3.3	Cache Attack Detection mit Hardwareperformanzanalyse	
3.4	FLUSH+FLUSH	
3.5	Typen von Übertragungsfehlern	
3.6	Fehlerkorrektur	
3.7	Synchronisierung ohne Clock	
4	IMPLEMENTIERUNG	
4.1	Atomare Ausführung von Codeblöcken mithilfe von FENCE-Instruktionen . .	
5	PERFORMANCE-MESSUNG	
5.1	Systeme und Umfeld	
6	BEWERTUNG UND AUSBLICK	



Ganttchart





Forschungsfrage?

- Performance-, also Genauigkeit/Bandbreite/Stealth, Vergleich zwischen:
 - OS
 - Architekturen
 - Einfluss von anderen Variablen (Clock Speeds, #Cores, laufende Anwendungen, ...)
- Vergleich mit State-of-the-art Implementierungen
- Diskussion von Implementierungsdetails