

# Appunti Elettronica Digitale

Leonardo Toccafondi

2024-04-12



# Indice

<b>1 Dispositivi elettronici</b>	<b>1</b>
1.1 Semiconduttori . . . . .	1
1.1.1 Giunzione p-n . . . . .	1
1.2 I diodi . . . . .	3
1.2.1 Polarizzazione . . . . .	3
1.2.2 Equazione caratteristica e breakdown . . . . .	4
1.2.3 Diodi Speciali . . . . .	5
<b>2 I transistor</b>	<b>7</b>
2.1 Introduzione . . . . .	7
2.2 Bipolar Junction Transistor: i BJT . . . . .	7
2.3 Bipolar Junction Transistor: i BJT . . . . .	8
2.3.1 Il BJT npn . . . . .	9
2.3.2 Layout planare di un transistor NPN . . . . .	10
2.3.3 Il BJT pnp . . . . .	10
2.3.4 Transistor “speciali” . . . . .	11
2.4 I transistor MOS . . . . .	11
2.4.1 N-MOS . . . . .	11
2.4.2 P-MOS . . . . .	13
2.4.3 Real N-MOS . . . . .	14
<b>3 Digital Logic Circuits (circuiti a logica digitale)</b>	<b>17</b>
3.1 Famiglie logiche . . . . .	17
3.1.1 Operatori logici (booleani) . . . . .	17
3.1.2 Leggi (o teoremi) di de Morgan . . . . .	18
3.2 Famiglie logiche: parametri statici . . . . .	19
3.3 Famiglie logiche: parametri <i>dinamici</i> . . . . .	20
3.4 RTL (Resistor-Transistor Logic) . . . . .	21
3.4.1 Funzione di trasferimento della porta NOT . . . . .	22
3.5 TTL (transistor-transistor-logic) . . . . .	24
3.6 MOS logic cell - Porte logiche MOS . . . . .	31
3.6.1 CMOS - Complementary MOS . . . . .	31
3.6.2 Altre porte logiche . . . . .	33
3.6.3 Bi-CMOS . . . . .	35
<b>4 Logica combinatoria “contro” logica sequenziale</b>	<b>37</b>
4.1 Logica combinatoria . . . . .	37
4.2 Logica Sequenziale . . . . .	37
4.2.1 Elementi di memoria . . . . .	38
<b>5 Circuiti integrati commerciali (IC)</b>	<b>41</b>
5.1 Packaging dei circuiti integrati . . . . .	41
5.1.1 Dual-in-Line package (DIP) . . . . .	42
5.1.2 Surface Mounted Devices (SMD) . . . . .	42
5.1.3 Ball Grid Array (BGA) e Land Grid Array (LGA) . . . . .	42
5.1.4 Bare die . . . . .	42
5.2 Famiglie logiche standard . . . . .	43
5.2.1 Famiglie logiche a 5V . . . . .	43

5.2.2	Famiglie a basso voltaggio - Bi-CMOS . . . . .	43
5.2.3	Acronimi . . . . .	44
5.3	Comparazione di circuiti integrati . . . . .	44
5.3.1	Problemi di interconnessione (voltaggi e i/o) . . . . .	44
5.3.2	Datasheet . . . . .	49
5.3.3	Scariche elettrostatiche . . . . .	49
5.4	Consumo di potenza dinamico . . . . .	51
5.4.1	Consumo di potenza nelle famiglie . . . . .	51
<b>6</b>	<b>Conversione Analogico-Digitale e Digitale-Analogico</b>	<b>53</b>
6.1	Convertitore D/A . . . . .	54
6.1.1	Convertitore R-2R . . . . .	55
6.2	Convertitori Analogico-Digitale . . . . .	56
6.2.1	Digital Ramp ADC . . . . .	56
6.3	ADC ad approssimazioni successive . . . . .	57
6.4	Flash ADC . . . . .	58
<b>7</b>	<b>Dispositivi digitali programmabili</b>	<b>59</b>
7.1	Microprocessore . . . . .	59
7.2	Microcontrollore . . . . .	60
7.2.1	Requisiti . . . . .	60
7.2.2	Periferiche di comunicazione . . . . .	62
7.3	Schede . . . . .	64
7.4	Approfondimento sulla Cortex-M4 . . . . .	64
7.4.1	Interrupt controller . . . . .	65
<b>A</b>	<b>Esercizi</b>	<b>67</b>
A.1	Esercizi capitolo 1 . . . . .	67
<b>B</b>	<b>Varie</b>	<b>69</b>
B.1	Semiconduttori e bande . . . . .	69
B.2	Corrente nel N-MOS . . . . .	70
B.3	Termini . . . . .	70

# Capitolo 1

## Dispositivi elettronici

### 1.1 Semiconduttori

I semiconduttori sono i materiali con cui sono composti i circuiti integrati. Sono, come suggerisce il nome, materiali in cui il flusso di corrente *non è libero* (non è un conduttore), ma è **presente** (non è un'isolante). In particolare, conducono in particolari situazioni. Quali sono però i materiali con queste condizioni?

- *Elementi semiconduttori*: Silicio (Si), Germanio (Ge) (Carbonio (C), ma composto)
- *Elementi composti*: GaAs, GaN (Gallio-Arsenico/Azoto) In generale sono gli elementi della 14° colonna della tavola periodica o composti a numero medio di elettroni liberi pari a 4 (dai 3 ai 4).

#### Silicio

Il silicio è il materiale semiconduttore sicuramente più diffuso.

Un atomo presenta 4 elettroni (detti di *valenza*) nello strato più esterno, ma sua forma cristallina pura del silicio ogni atomo forma un legame covalente<sup>a</sup> con i suoi vicini "più prossimi". Il cristallo di silicio puro ha inoltre una struttura cristallina matriciale, che blocca il passaggio di carica.

È da notare che all'aumentare della temperatura, qualche elettrone può rompere il legame e muoversi liberamente nel cristallo.

<sup>a</sup>legame chimico in cui due atomi mettono in comune delle coppie di elettroni.

Per dotare un materiale semiconduttore di condutività *selettiva* è necessario "*drogare*" il materiale stesso. Il drogaggio, quindi, va a **modificare** la concentrazione di elettroni e di *lacune*<sup>1</sup>, attraverso questo inserimento di impurità sostituzionali (ovvero atomi di elementi diversi, i quali si sostituiscono ad alcuni degli atomi di silicio.) In pratica andiamo ad aggiungere, in piccole dosi, nel reticolo cristallino materiali della 5° colonna (drogaggio di tipo **n**, hanno 5 elettroni di valenza, sono detti **donatori**, ad esempio il fosforo), o elementi della 3° colonna (tipo **p**, hanno 3 elettroni di valenza e sono detti **accettori**, ad esempio il boro).

Tale discrepanza induce la formazione di livelli energetici aggiuntivi all'interno della banda proibita<sup>2</sup> o "gap" del semiconduttore. Nel primo caso si genera un eccesso di lacune, le quali si comportano come particelle cariche *positivamente*, mentre nel secondo si ha un eccesso di elettroni liberi, determinando così una variazione della conducibilità elettrica intrinseca del materiale.

Non solo, sia le lacune che gli elettroni liberi sono quindi liberi di muoversi all'interno del semiconduttore! La qualità del semiconduttore è influenzata dal materiale usato (per esempio Ge è meglio del Si, ma è più raro), che è a sua volta influenzato dal goal<sup>3</sup> (elettronica digitale usa Si, l'elettronica di potenza il GaN o SiC).

Vediamo ora degli elementi in silicio.

#### 1.1.1 Giunzione p-n

Una giunzione pn (o p-n) si forma quando una del materiale semiconduttore intrinseco<sup>4</sup> drogato con un drogaggio p (con una percentuale  $N_A$ , n. accettori) viene posta a contatto con altro materiale semiconduttore drogato con

<sup>1</sup>Assenza di elettroni dovuta alla **rottura** di un legame. È insieme all'elettrone, un portatore di carica nei semiconduttori.

<sup>2</sup>Intervallo di energia interdetto agli elettroni, distanza tra la banda di valenza di conduzione (nei semiconduttori distanti 1eV).

<sup>3</sup>(penso voglia dire "obiettivo perseguito").

<sup>4</sup>Puro, quindi privo di un quantitativo significativo di drogaggio.

un drogaggio n (con una percentuale  $N_D$ , n. donatori).

La concentrazione di ioni dalle seguenti “formule”:

$$N_A = \frac{\# \text{acceptors}}{\text{vol.unit}} \quad \text{e} \quad N_D = \frac{\# \text{donors}}{\text{vol.unit}}$$

dove  $N_a$  indica il numero<sup>5</sup> di ioni di tipo p:‘positivo’, mentre  $N_d$  il numero di ioni di tipo n:‘negativo’.

Collegando un blocco drogato tipo p ed uno tipo n abbiamo (idealmente)<sup>6</sup>

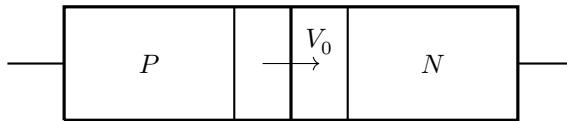


Figura 1.1: Giunzione pn

Il materiale quindi è separato in due zone *nettamente distinte*, senza alterazione della struttura cristallina all’interfaccia delle due zone.

L’abbondanza di lacune in p è, come sappiamo, corrispondente ad una carenza di elettroni, di cui n *abbonda*. In altre parole questa diversa *densità* di portatori di carica genera una **migrazione** di elettroni da N verso P, detta anche *diffusione*<sup>7</sup> (*elettrica*)  $I_D$  oppure anche *corrente di diffusione*, che consiste quindi in

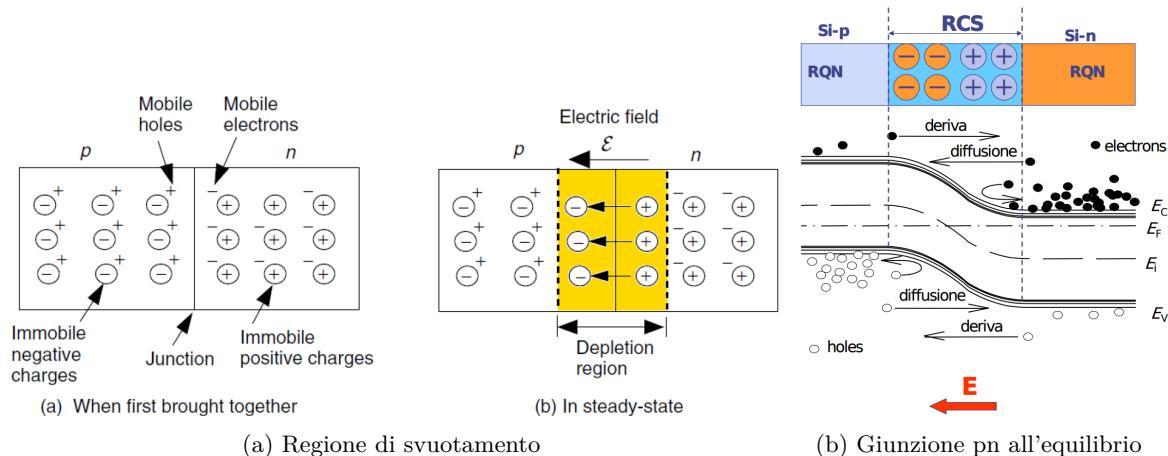
- lacune che si diffondono dalla regione (dal semiconduttore) drogata con p alla regione n;
- elettroni che si diffondono dalla regione drogata con n alla regione p.

N.B.: Nella zona n i **portatori maggioritari** di carica sono le cariche negative, mentre nella zona p sono le cariche positive

Tale fenomeno carica in modo *positivo* il semiconduttore drogato n (meno elettroni), e in modo *negativo* il semiconduttore drogato p (più elettroni).

Le lacune che si diffondono dalla regione/zona p alla n si ricombinano con gli elettroni liberi, *scomparendo*. Di conseguenza, il numero di elettroni libri nella zona n *diminuisce*, quindi non saranno più neutralizzate alcune cariche fisse positive (atomi donatori). Dal momento che questa ricombinazione avviene in prossimità della giunzione, accanto a questa si svilupperà una regione **svuotata** di elettroni, con cariche fisse positive non compensate.

Analogamente nella zona p otterremo una zona svuotata dalle lacune e che comprende delle cariche fisse (in questo caso negative) non compensate.



Entrambe queste zone danno luogo alla **regione di svuotamento**<sup>8</sup> (o di carica spaziale, in inglese *depletion layer*). Inoltre lo spostamento delle cariche crea a cavallo della giunzione un campo elettrico, con la zona n positiva rispetto alla zona p. La presenza del campo elettrico comporta la presenza di una differenza di potenziale. Questa è anche detta **barriera di potenziale**<sup>9</sup>, in quanto si oppone ad un’ulteriore diffusione ai portatori di

<sup>5</sup>Ottiene densità di ioni, o concentrazione...

<sup>6</sup>Nella pratica parto da un blocco puro di silicio, per poi iniettare a *strati* il drogaggio.

<sup>7</sup>Fenomeno che si ritrova in natura qualora vi sia uno squilibrio nella distribuzione nello spazio di particelle simili.

<sup>8</sup>Svuotata di portatori mobili

<sup>9</sup>È possibile superarla, ma deve essere fornita una differenza di potenziale esterna.

carica soggetti alla spinta della diffusione (si oppone al movimento di elettroni nella regione p e lacune nella regione n). Una volta che la corrente di diffusione equivale la corrente di trascinamento<sup>10</sup>  $I_S$  raggiungiamo un **equilibrio** (dinamico): la presenza del campo elettrico comporta la presenza di una differenza di potenziale. In genere la regione di svuotamento non è simmetrica: la seguente equazione regola la larghezza della regione:

$$x_p N_A = x_n N_D$$

dove  $x_p$  e  $x_n$  sono rispettivamente le **larghezze** della regione di svuotamento entro il semiconduttore drogato p e drogato n.

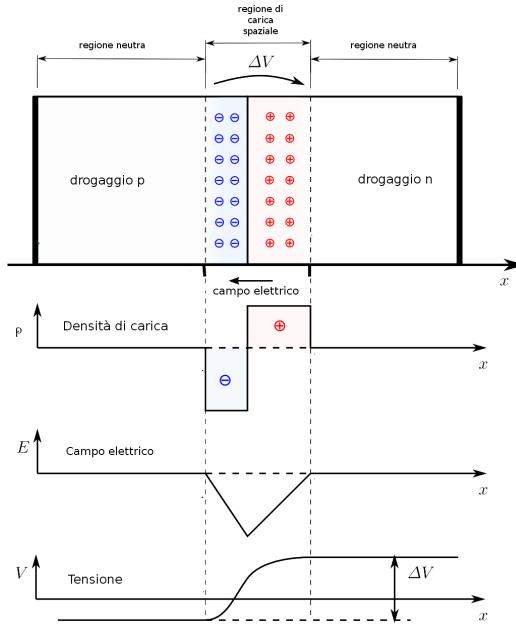


Figura 1.3: Grafici relativi al potenziale, al campo elettrico e alla carica nella giunzione pn

Come si vede nella @fig:1.3 :

- $N_A > N_D \rightarrow$  più è drogata la regione più la regione di svuotamento è piccola.

## 1.2 I diodi

Il simbolo circuitale della giunzione p-n, detta **diodo**<sup>11</sup> è



Figura 1.4: Diodo

dove a sinistra abbiamo un **anodo** A (dal greco *salita*), e a destra un **catodo** K (dal greco *discesa*).

Sia la zone p che la zona n sono munite di un contatto elettrico (detto **reoforo**), in modo tale che sia possibile applicarvi una tensione.

### 1.2.1 Polarizzazione

L'applicazione di un potenziale sul diodo viene detta **polarizzazione**, e si distingue la:

- Polarizzazione **diretta** (forward bias): applico un potenziale positivo sull'anodo A (lato p) e negativo sul catodo K (lato n). La differenza di potenziale applicata ha la polarità *concorde* con la barriera di potenziale.

<sup>10</sup>Detta anche corrente di deriva (drift), in questo caso i portatori si muovono perché **spinti** dal campo elettrico dovuto allo squilibrio di carica.

<sup>11</sup>Il diodo ideale è un dispositivo che lascia passare corrente solo in un senso, con resistenza nulla, e non lascia passare corrente nell'altro senso. Il diodo a giunzione approssima molto bene un diodo ideale, ed è l'elemento circuitale non lineare più importante.

- L'aumento della tensione determina una riduzione della barriera di potenziale, e di conseguenza della larghezza della regione di svuotamento. In questo modo aumenta il numero di elettroni e di lacune capaci di attraversare la giunzione tramite la diffusione.
- La corrente di diffusione, rispetto a quella di deriva, aumenta rapidamente di svariati ordini di grandezza.

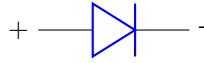


Figura 1.5: Diodo polarizzato direttamente

- Polarizzazione **indiretta** (reverse bias): applico un potenziale negativo sull'anodo e positivo sul catodo. In questo caso la polarità della tensione applicata è disconforme rispetto a quella della barriera di potenziale.
  - La regione di svuotamento si allunga, e la tensione di polarizzazione richiama le lacune verso il terminale negativo e gli elettroni verso il terminale positivo. Quindi l'ampiezza della barriera di potenziale aumenta.
  - La corrente di diffusione diminuisce fino ad annullarsi, mentre quella di deriva rimane (anche se è molto piccola e varia con la temperatura). Quindi quasi nessuna corrente riesce a scorrere.
  - Il campo elettrico incrementa fino ad ottenere il *breakdown*.



Figura 1.6: Diodo polarizzato indirettamente

### 1.2.2 Equazione caratteristica e breakdown

In generale, la giunzione pn ha un'equazione caratteristica

$$i = I_S(e^{\frac{V_d}{nV_t}} - 1)$$

detta **equazione di Shockley**:

- $V_d$  indica la differenza di potenziale applicati ai capi del diodo;
- $nV_t$  è il potenziale nativo dei diodi (pari a 0.7 V), o *tensione termica*, pari a 26 mV.
- $I_S$  (o  $I_0$ ) è una costante detta *corrente di saturazione* (per il Si ha valori tra  $10^{-15}$  e  $10^{-19}$  A)

In condizioni di polarizzazione diretta la corrente è trascurabile per tensioni al di sotto di 0,5 – 0,6 V (per diodi al silicio) e dopo aver superato la *tensione di soglia* cresce molto repentinamente<sup>12</sup>.

Quando il diodo è in polarizzazione inversa, aumentando la tensione la corrente rimane costante finché non si raggiunge la cosiddetta **tensione di breakdown** (o di rottura). Una volta oltrepassata la corrente aumenta (forse in questo caso *diminuisce*) in maniera drastica a tensione praticamente costante.

#### Il breakdown

Il fenomeno del breakdown è dovuto a:

1. Effetto Zener: prevalente per tensioni di breakdown inferiori alla decina di volt. Quando il diodo è polarizzato inversamente e la tensione è compresa tra 0 V e  $V_Z$  (inferiore a zero), si comporta quasi come un circuito aperto, seppur continui a scorrere una piccola corrente di saturazione inversa, oltre  $V_Z$  la banda di valenza della regione p si avvicina talmente tanto alla banda di conduzione che alcuni elettroni si spostano dall'una all'altra;
2. Effetto valanga (avalanche): prevalente per tensioni di breakdown superiori alla decina di volt. Si manifesta in presenza di campi elettrici molto elevati, dovuti alla presenza di una tensione "moderata", ma imposta su distanze molto corte.

Solitamente il processo del breakdown è irreversibile, tranne per i diodi Zener, i quali sono ideati per andare in breakdown.

<sup>12</sup>Per un aumento di corrente di un fattore mille è sufficiente un aumento di tensione pari a 0.8 V. Infatti viene assunta 0.6 V come tensione di soglia e 0.8 V come tensione massima.

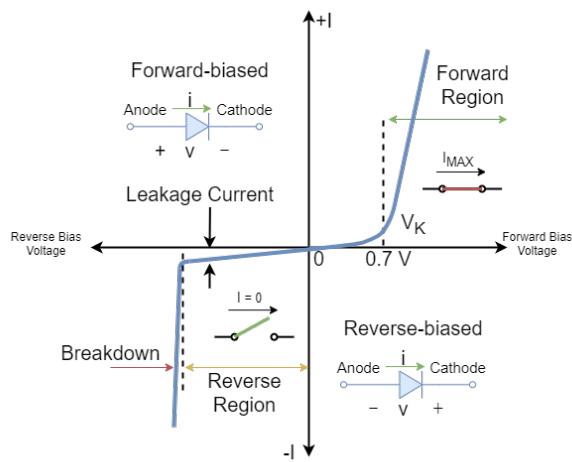


Figura 1.7: Una tipica caratteristica I-V di un diodo a giunzione PN

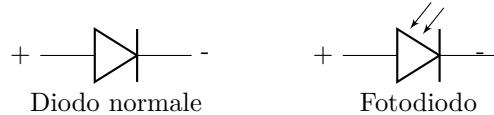
### 1.2.3 Diodi Speciali

#### 1.2.3.1 Fotodiodi

I fotodiodi sono diodi in cui la giunzione è “scoperta”, o incapsulata in un materiale trasparente, in quanto vogliamo che sia in grado di **emettere** una corrente elettrica sfruttando l’effetto fotoelettrico. Difatti è un *trasduttore*<sup>13</sup> da un segnale ottico ad un elettrico.

L’equazione caratteristica del fotodiodo è pari a quella di un diodo normale, con l’aggiunta di un termine  $I_{ph}$ , che rappresenta la corrente *fotogenerata*<sup>14</sup>:

$$i = I_S(e^{\frac{V_d}{nV_t}} - 1) - I_{ph}$$



I fotodiodi p-n possono essere utilizzati senza essere polarizzati: sono adatti per “applicazioni” in situazioni di bassa luminosità. Quando sono illuminati, il campo elettrico nella regione di deplezione aumenta, producendo la corrente fotogenerata la quale è cresce all’aumentare del flusso di fotoni.

Altrimenti i fotodiodi operano in *polarizzazione inversa*, in modo tale che i fotoni (del colore “giusto”) possedano energia sufficiente ad oltrepassare la barriera di potenziale e a condurre quindi corrente elettrica.

#### 1.2.3.2 Led

I **led** (*light emitting diode*) è un tipo di diodo che **converte** energia elettrica in luce. Sono formati da sottili strati di materiali semiconduttori fortemente drogati, i quali caratterizzano i diversi colori emessi quando viene applicata una polarizzazione *diretta*.

Da un punto di vista *costruttivo* i led sono ricoperti da uno strato spesso di resina<sup>15</sup> **trasparente** di forma emisferica, sia per proteggere il led stesso sia per convogliare la luce emessa.

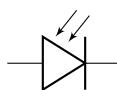


Figura 1.8: Simbolo circuitale di un led

Applicando quindi una tensione positiva all’anodo, riduciamo la barriera di potenziale, in modo tale che elettroni e lacune ricombinandosi generino fotoni pari al gap tra la banda di conduzione e quella di valenza.

<sup>13</sup>Dispositivo in grado di convertire una forma di energia in una diversa.

<sup>14</sup>Risulta proporzionale al flusso di fotoni che colpiscono il fotodiodo

<sup>15</sup>Epossidica, in inglese *epoxy*.

Come si può vedere nella tabella sottostante, al fine di generare un colore visibile, deve essere fornita una tensione almeno pari a 1,5V

Semiconduttore composto	$V_F$ a 20 mA	Banda di lunghezza d'onda	Colore
GaN	4.0V	450 nm	Bianco
SiC	3.6V	430-505 nm	Blu
GaAsP	2.2V	585-595 nm	Giallo
GaAsP	2.0V	605-620nm	Ambra
GaAsP	1.8V	630-660nm	Rosso
GaAs	1.2V	850-940nm	Infrarosso

Tabella 1.1: Diverse tipologie di led in base al colore prodotto

### 1.2.3.3 Diodo Schottky

In questa tipologia di diodo la giunzione p-n è data dall'unione del metallo (che svolge il ruolo della regione p) con un materiale semiconduttore drogato n. In questo modo si viene a creare una “*barriera Schottky*”: questa, a differenza della giunzione p-n standard, ha una *bassa* tensione di giunzione (o tensione di soglia). Infatti ai capi di un diodo Schottky si misura solitamente una differenza di potenziale tra i 0,15V e i 0,45V: così facendo abbiamo una maggior efficienza e una maggior velocità di commutazione, riducendo i tempi di turnoff<sup>16</sup>! Inoltre, nella zona della giunzione del metallo, la zona di svuotamento è **nulla o quasi inesistente**<sup>17</sup>.

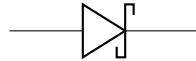


Figura 1.9: Simbolo circuitale di un diodo Schottky

### 1.2.3.4 Diodo Zener

Questa tipologia di diodo lavora in **breakdown**. Se viene applicata una polarizzazione *diretta* esso lavora e funziona come un diodo “qualsiasi”. Invece, se viene applicata una polarizzazione *inversa* la tensione di breakdown è “molto precisa”: in questo modo se  $V_G < V_Z$  non accade nulla ( $V_G = V_Z$ ), mentre se  $V_G \geq V_Z$  allora il diodo va in breakdown e su esso scorre una corrente. Ho quindi una tensione di uscita *stabilizzata* ( $V_O = V_Z$ ).

Nel circuito della figura seguente la resistenza è molto importante, in quanto se non fosse presnete  $i_R = \frac{V_G - V_i}{R}$ , ma  $R \rightarrow 0$  e quindi  $i_R \rightarrow \infty$

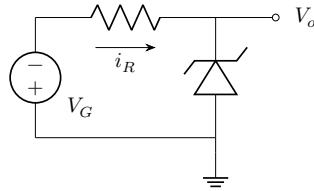


Figura 1.10: Schema di un diodo Zener

<sup>16</sup>Tempo che passa tra la fine dell'influenza esterna (forward bias) ed il momento in cui smette di fluire corrente. È un ritardo causato dalla carenza di lacune ( $N_D \gg N_A$ ), causando un accumulo extra di carica in p, la quale sarà rilasciata durante il turnoff.

<sup>17</sup>Dal lato p.

# Capitolo 2

## I transistor

### 2.1 Introduzione

Un transistor è un dispositivo a semiconduttori utilizzato per interrompere (commutare) o amplificare segnali elettrici, come se fosse una **valvola**<sup>1</sup>: in pratica regola la corrente che scorre in una maglia (quella in uscita al circuito) tramite la tensione applicata ad un'altra (ovvero quella in ingresso al circuito).

Quando viene utilizzato come interruttore, un transistor è un dispositivo logico a *due stati*: ON e OFF (binario 1 e 0). Sulla base di questo vengono realizzate *porte logiche* più complesse, quali AND, OR, NOT, le quali a loro volta sono impiegate per realizzare tutti quei dispositivi che compongono la parte **digitale** dell'elettronica (famiglie logiche, memorie etc.).

Invece, quando viene utilizzato come modulatore di corrente, un transistor è a “semplicemente” un **amplificatore**<sup>2</sup>.

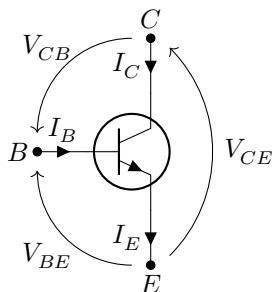
### 2.2 Bipolar Junction Transistor: i BJT

A differenza dei diodi a giunzione, i *transistor bipolari* utilizzano tre strati di materiali semiconduttori, in pratica otteniamo due diodi posti in *antiserie*<sup>3</sup>, in modo tale da “condividere” uno strato.<sup>4</sup>

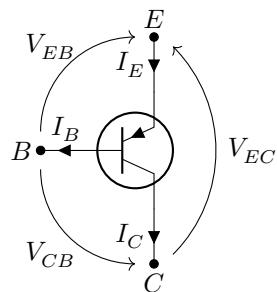
Ad ogni strato sarà associato un *terminale*<sup>5</sup>: quello che sarà detto **base**, che a sua volta separa due terminali drogati con gli stessi materiali (opposti al materiale della base), che saranno detti rispettivamente **collettore** ed **emettitore**.

I dispositivi BJT sono dispositivi *bipolari* in quanto il processo di conduzione coinvolge portatori di *entrambe le polarità*.

La struttura di un transistor BJT può essere realizzata in due modi: quello **npn** e quello **pnp**. È importante notare come in un transistor la zona dell'emettitore è significativamente più drogata di quelle di base e di collettore; si indica infatti con p+ nei transistori pnp e con n+ nei transistori npn.



(a) Transistor npn



(b) Transistor pnp

Figura 2.1: Transistor BJT

<sup>1</sup>Infatti sono andate a sostituire le *valvole termoioniche*, o *tubo a vuoto*.

<sup>2</sup>Può essere sia un amplificatore di potenza che di tensione.

<sup>3</sup>Antiserie indica, per bipoli **polarizzati**, una connessione in serie (quindi un solo punto di contatto), in cui le polarità dei terminali vengono accoppiate per segni uguali

<sup>4</sup>Oppure possiamo anche dire che sono due giunzioni p-n poste l'una di seguito all'altra e orientata in senso inverso, andando poi a costituire tre regioni *consecutive*.

<sup>5</sup>Si può esprimere anche come *elettrodo*

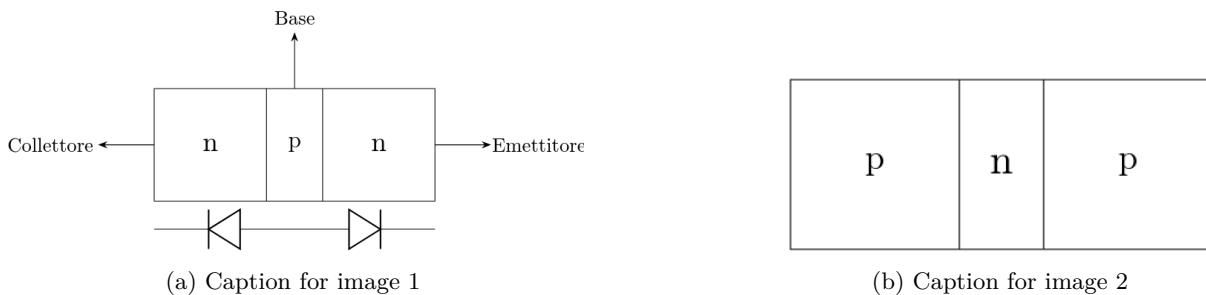


Figura 2.2: Overall caption for the figure

Come è possibile notare dalle figure precedenti, da un punto di vista circuitale i transistor BJT sono rappresentati utilizzando 3 terminali: → nel simbolo indica la giunzione (e ne è riportata solo una), mentre le frecce indicano i versi delle tensioni (dove sono maggiori). Parlando del transistor npn, per quanto riguarda le correnti abbiamo che all'equilibrio  $I_B + I_C = I_E$ , ed  $I_B, I_C$  sono entranti, mentre  $I_E$  è uscente.

Per entrambe le tipologie di BJT, da un punto di vista costruttivo valgono queste regole:

1. La regione dell'emettitore è altamente drogata e ha il compito di emettere o iniettare portatori di corrente nella regione di base. Nei transistor npn, l'emettitore di tipo n immette elettroni liberi nella base, mentre nei transistor pnp, l'emettitore di tipo p introduce lacune nella base.
2. La base è sottile e leggermente drogata. La maggior parte dei portatori di corrente iniettati nella regione di base si muove verso il collettore senza fuoriuscire dal conduttore della base.
3. La regione del collettore è moderatamente drogata ed è la più grande all'interno del transistor. La sua funzione consiste nel raccogliere o attrarre i portatori di corrente iniettati nella regione di base.

## 2.3 Bipolar Junction Transistor: i BJT

Il transistor BJT è stato il primo transistor ad essere prodotto su larga scala, precedendo di una decade l'introduzione dei transistor ad **effetto di campo**.

I BJT sono un dispositivo a semiconduttore a **tre** terminali, realizzato tramite due giunzioni p-n. Sono **bipolari** in quanto il processo di conduzione coinvolge portatori di *entrambe le polarità*: quindi sia lacune che elettroni. La realizzazione fisica consiste nell'utilizzo di tre strati di materiale semiconduttore, collegati ognuno ad un proprio terminale: abbiamo due strati esterni composti con lo stesso materiale drogante (**collettore** ed **emettitore**), ed un secondo strato posto tra gli altri due all'interno del quale viene introdotto un materiale drogante opposto (**base**). Così facendo otteniamo due giunzioni p-n: una base-emettitore ed una base-collettore.

### Configurazione a diodi

In generale un transistor BJT è **quasi equivalente** a porre due diodi in antiserie<sup>a</sup>. In realtà è più vicina una configurazione di due giunzioni p-n poste l'una di seguito all'altra e orientate in senso inverso (ognuna delle quali con la propria regione di svuotamento). Questo perché per *far funzionare* il transistor BJT è necessaria la presenza di un'unica regione di base, che svolge un ruolo cruciale nel controllo della corrente. Quando si affiancano due diodi, l'interazione tra le loro giunzioni non riproduce le caratteristiche di amplificazione e controllo della corrente tipiche di un BJT, in quanto l'introduzione di un metallo nel circuito non permette la corretta gestione delle correnti e delle tensioni necessarie per il funzionamento del transistor: non vi è il campo elettrico necessario a far passare gli elettroni da un diodo all'altro passando per il filo metallico.

<sup>a</sup>Antiserie indica, per bipoli polarizzati, una connessione in serie (quindi un solo punto di contatto), in cui le polarità dei terminali vengono accoppiate per segni uguali

È possibile realizzare la struttura in due diverse modalità:

- tipo **npn**
- tipo **pnp**

I transistor npn sono usati più frequentemente. Inoltre le regole ed i risultati ottenuti possono essere estesi ai transistor pnp modificando opportunamente i versi di tensioni e correnti.

### 2.3.1 Il BJT npn

Un BJT npn è formato da due sezioni di tipo n (emettitore e collettore), e da una di tipo p. Di fondamentale importanza per la fabbricazione di un BJT è lo *spessore della base*. Infatti deve essere il più **sottile** possibile, senza ottenere un corto circuito tra le regioni del collettore e dell'emettitore.

In base alle polarizzazioni applicate alle giunzioni base-collettore e base-emettitore, otteniamo 4 **regioni di funzionamento** del transistor BJT:

Polarizzazione delle giunzioni		Regione di funzionamento
B-E	B-C	
Inversa	Inversa	Cutoff (Spento)
Diretta	Inversa	Attiva Diretta
Diretta	Diretta	Saturazione
Inversa	Diretta	Attiva Inversa

Tabella 2.1: Regioni di funzionamento in base alla polarizzazione delle giunzioni

#### 2.3.1.1 Regioni di funzionamento

**2.3.1.1.1 Cutoff** In questa regione il transistor è *spento*. Entrambe le giunzioni sono polarizzate inversamente: le rispettive tensioni sono ambedue **sotto soglia**. In particolare  $V_{BE} < V_{\text{soglia}}$  e  $V_{BC} < 0$ .

Dato che la giunzione BE non è polarizzata  $\rightarrow i_B = 0$ . Inoltre, dato che tutte le giunzioni sono polarizzate inversamente, anche la corrente del collettore è *nulla*.  $\rightarrow i_C = 0$

Nel grafico, la corrente non è esattamente nulla dato che secondo la legge di  $I_D$  in una giunzione con polarizzazione inversa la corrente vale  $I_O$ .

In definitiva non vi è conduzione.

**2.3.1.1.2 Attiva diretta** In questa regione la giunzione BE è polarizzata *direttamente*, mentre la giunzione BC è polarizzata inversamente. Significa che:

- $V_{BE} > V_{\text{soglia}}$
- $V_{BC} < 0$

La corrente  $I_B > 0$ , e nonostante la tensione della giunzione BC sia negativa,  $I_C = h_{fe}I_b$ .

Dunque gli elettroni dovrebbero ricombinarsi e “richiudersi” verso la base. Tuttavia, sapendo che la base è “corta” gli elettroni raggiungono il collettore prima di ricombinarsi, il quale li prende (forse meglio dire li accetta), in quanto possiede un potenziale *positivo*. È da notare che comunque non tutti gli elettroni riescono ad attraversare tutto il transistor, statisticamente alcuni si ricombinano con le lacune presenti nella regione della base.

Il <sup>6</sup>**guadagno**<sup>7</sup> del transistor di corrente è  $h_{fe} = \frac{I_C}{I_B}$ . Il transistor ha una funzione di *amplificatore* della corrente di base nel caso in cui  $h_{fe}$  sia un valore alto: ciò lo rende “**attivo**”

In questa regione funge da generatore di corrente controllato in corrente.

**2.3.1.1.3 Saturazione** In questa regione anche la giunzione BE è polarizzata direttamente:

- $V_{BE} < V_{\text{soglia}}$
- $V_{CE} < V_{CE-sat}$

Se vale quest’ultima condizione (la tensione della giunzione BE è bassa) allora anche BC è polarizzata direttamente. Per lo stesso motivo gli elettroni non vengono “raccolti” dal collettore, tendendo a rimanere nella base:

- $I_B > 0$
- $I_C < h_{fe} I_B$

È da notare come in questa configurazione/regione otteniamo una tensione in uscita **costante**  $V_{CE-sat}$

<sup>6</sup>È una funzione di.

<sup>7</sup>In inglese è **gain**.

**2.3.1.1.4 Regione attiva inversa** In questo caso  $V_{BE} < 0$  e  $V_{BC} > V_{\text{soglia}}$ . Quindi gli elettroni si spostano nel collettore. In questo caso il \*guadagno di corrente è  $\leq 1$ :  $I_e \simeq -I_B$ .

Otteniamo un guadagno di corrente molto basso (tipicamente  $\leq 1$ )

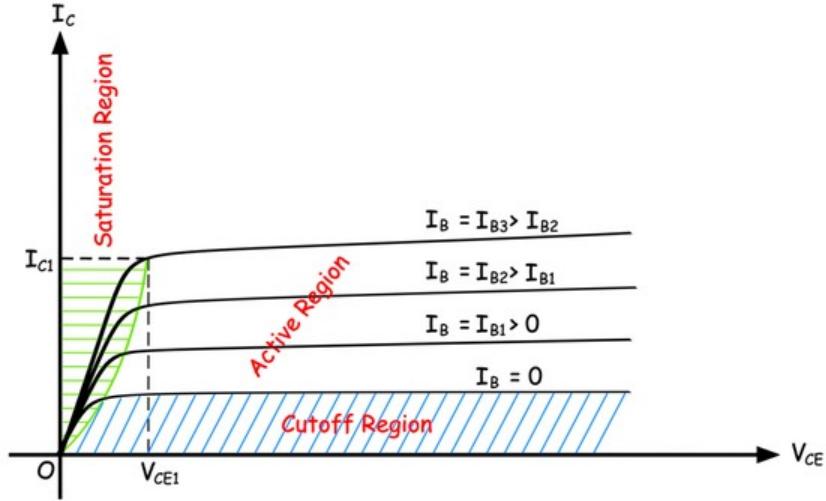


Figura 2.3: Curva BJT.

In questo grafico sono rappresentate delle curve che riportano gli andamenti di  $I_C$  in funzione di  $V_{CE}$  con  $I_B$ .

### 2.3.2 Layout planare di un transistor NPN

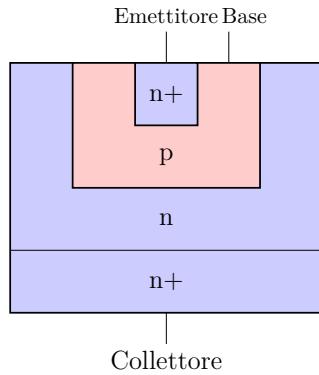


Figura 2.4: Configurazione planare di un BJT npn

Come mostra anche lo schema, da un punto di vista fisico il layout planare di un transistor BJT npn *non è simmetrico*: questo sia per il droggaggio, sia per la realizzazione del dispositivo stesso. L'emettitore è molto piccolo e molto drogato, mentre le regioni della base e del collettore sono (viceversa) molto grandi e poco drogata.

I contatti della base, dell'emettitore e del collettore sono *metallici* (se legati a zona n viene un diodo di silicio). Dato che i materiali  $n^+$  sono molto drogati la regione di svuotamento è molto piccola e gli elettroni la possono attraversare come se non ci fosse.

### 2.3.3 Il BJT pnp

È un dispositivo *complementare* al pnp: valfolo le stesse equazioni, ma tensioni e correnti sono **opposte**. Sia le prestazioni che il guadagno sono **minori**, perché i portatori in movimento sono le *lacune*, più lente rispetto agli elettroni.

### 2.3.4 Transistor “speciali”

#### 2.3.4.1 Foto transistor

Il phototransistor è caratterizzato da una corrente di base “*photo-generated*”<sup>8</sup>. Il resto dei parametri di lavoro sono gli stessi un normale BJT.

$$I_C = k \cdot P_L$$

dove  $P_L$  è la potenza luminosa.

È importante che il dispositivo si trovi in regione attiva: per questo sarà inserito un resistore dal lato del collettore per evitare di andare in saturazione.

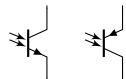


Figura 2.5: Un fototransistor npn ed uno pnp

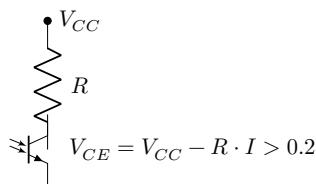


Figura 2.6: Schema con fototransistor npn

## 2.4 I transistor MOS

I **MOSFET** (*Metal Oxide Semiconductor Field Effect Transistor*) sono una tipologia di transistor appartenente ai transistor ad **effetto di campo**: non si basano sulle proprietà delle giunzioni p-n.

#### *I transistor ad effetto di campo*

I transistor ad effetto di campo sono caratterizzati dalla possibilità di controllare la **conduttività elettrica del dispositivo**, ovvero la quantità di corrente elettrica che attraversa il dispositivo stesso, attraverso la formazione di un *campo elettrico* all'interno di esso.

Possono essere realizzati in diverse modalità:

1. JFET: ovvero Junction-Fet, realizzato con una giunzione p-n come elettrodo “rettificante”;
2. MESFET: abbreviazione di Metal Semiconductor FET realizzato tramite una giunzione Schottky raddrizzante metallo-semiconduttore;
3. MOSFET: il più comune.

I MOS sono strutturati con più *strati di materiali sovrapposti*: metallo, ossido di silicio ( $\text{SiO}_2$ ) e del silicio, o di tipo *p* o di tipo *n*. Si utilizza l'ossido come un *isolante*, non permettendo quindi il passaggio di cariche elettriche tra il metallo ed il semiconduttore.

Uno dei pregi dei transistor di tipo *MOS* è il **consumo**: un BJT ha un consumo di energia *costante* nel tempo (dal momento che deve mantenere la polarizzazione), mentre un transistor MOS consuma solo durante le *transizioni*.

Come per i transistor a giunzione, a seconda del droggaggio possiamo ottenere due tipologie diverse di transistor MOS: i nmos e i pmos.

In particolare, sono dispositivi *controllati in tensione*.

### 2.4.1 N-MOS

Nell'N-MOS (a canale *P*), il silicio è di tipo *n*: il droggaggio *n+* favorisce il contatto ohmico<sup>9</sup> con l'alluminio. Le definizioni delle correnti e delle tensioni equivalgono quelle dei transistor NPN.

<sup>8</sup>In questo caso la corrente di base è sostituita dall'intensità luminosa.

<sup>9</sup>Un *contatto ohmico* è una giunzione elettrica tra un metallo e un semiconduttore che non ha proprietà rettificanti (non trasforma un segnale alternato in uno continuo). La caratteristica principale è avere una curva corrente-tensione  $I - V$  lineare, come prevista dalla legge di Ohm.

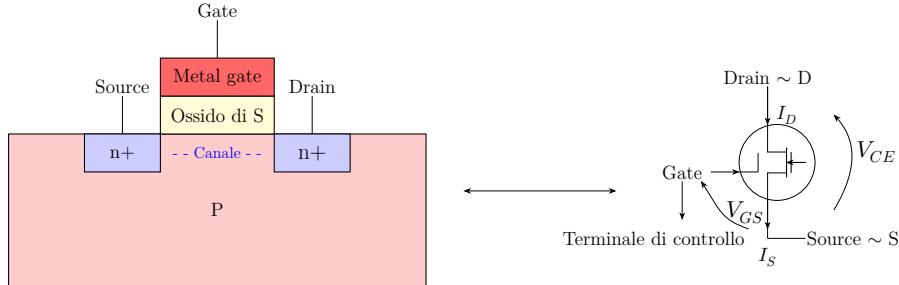


Figura 2.7: Sezione di un transistor N-MOS.

È da notare come solitamente il metallo utilizzato sia l'alluminio, anche se a volte può essere del silicio molto drogato. L'ossido, invece, è ossido di silicio.

In generale qualsiasi MOSFET (quindi anche un N-MOS) ha tre terminali: **source** (emettitore), **gate** (base) e **drain** (collettore)<sup>10</sup>.

All'atto pratico si ha la corrente del gate sempre **nulla** (in regime continuo; essenzialmente solo col potenziale "fermo":  $i_G = \frac{dV}{dt} \cdot C$ ). L'ossido ha la funzione di isolante, inoltre la lastra (di metallo) è sottile ( $\approx 10nm$ ), la quale **blocca**<sup>11</sup> il passaggio di corrente dal gate al blocco sottostante, formando una struttura di un *condensatore a facce piene*.

Come detto in precedenza la struttura di un transistor N-MOS è simile ad un condensatore, dove le piastre sono il gate, mentre la piastra sotto è l'ossido. Applicando quindi una tensione positiva in GS (tra il gate e il source,  $V_{GS} > 0$ ), si accumulano sopra e sotto l'ossido delle cariche (che saranno positive *sopra*, quindi sul gate, e negative *sotto*). Queste cariche andranno a riempire alcune lacune presenti sotto l'ossido, creando così un *depletion layer*.

Come in un condensatore, al crescere della tensione  $V_{GS}$  aumenta anche l'accumulo delle cariche; superata una certa **tensione di soglia**  $V_T$  ( $V_{GS} > V_T$ ), le cariche accumulate hanno riempito tutte le lacune, ed iniziano ad accumularsi sotto l'ossido: così facendo si va creare una regione caratterizzata da una **carica elettrica libera**, che collega S a G. Questa regione è essenzialmente un **canale** conduttivo<sup>12</sup>, dove può passare della corrente.

Come il BJT, anche con un transistor N-MOS si hanno diverse **working regions**:

- **Cutoff**: il dispositivo è **spento**, in quanto  $V_{GS} < V_T$ ; si ha quindi corrente *nulla* su drain/source, come un interruttore *aperto* ( $i_D = 0$ );
- **Linear**: il dispositivo è in **conduzione**  $V_{GS} > V_T$ ; non ha ancora raggiunto la massima corrente (di saturazione,  $i_D < i_{D-sat}$ ). Esiste allora un *rappporto di proporzionalità*  $i_D \propto \frac{V_{DS}}{R_{DS}}$ ; il rapporto tra i due è detto **resistenza di canale** ( $R_{DS}$ ) e dipende dalla tensione di Gate. Infatti il dispositivo in questa regione si comporta come un resistore. In questa regione vi è un numero sufficiente di elettroni per far comportare il dispositivo in modo proporzionale, approssimandolo ad un resistore.
- **Saturation**: il dispositivo è **acceso**  $V_{GS} > V_T$ , ma ha **saturato**<sup>13</sup> la corrente ( $i_D = I_{sat}$ ). Questo è dovuto alla tensione di Gate; all'aumentare della tensione  $V_{GS}$ , oltre una certa soglia non otteniamo un aumento di corrente, dal momento che il drain D attira più elettroni di quanti ne inserisca S. Indichiamo le caratteristiche di un MOS con due grafici:

Come accennato prima abbiamo a che fare con un generatore di corrente *governato in tensione*, in particolare dalla  $V_{DS}$ , quella tra drain e source. L'*equazione della corrente (di Drain)* è:

$$i_D = \begin{cases} K[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] & : V_{DS} \leq V_{GS} - V_T \\ i_{D-sat} = k(V_{GS} - V_T) & : V_{DS} \geq V_{GS} - V_T \end{cases}$$

La prima equazione raffigura una *parabola* che ha come parametro la tensione  $V_{DS}$ : avrà il proprio vertice in  $V_{GS} - V_T$ . La seconda equazione (che vale nel momento in cui viene raggiunto il vertice della parabola) determina la corrente di saturazione, e diventa una **costante**, con un coefficiente di proporzionalità:

$$K = \frac{1}{2}\mu C_{ox} \frac{W}{L}$$

dove in  $K$ , abbiamo più parametri:  $\mu$  dovrebbe essere la *mobilità*<sup>14</sup> del materiale,  $C_{ox}$  la capacità dell'ossido

<sup>10</sup>Di solito la regione di silicio drogato più grande (ad esempio la regione p nel N-MOS), viene detta *bulk*.

<sup>11</sup>Infatti anche per quanto riguarda lo schema del circuito il gate è isolato rispetto agli altri due terminali.

<sup>12</sup>Inizialmente la sua proprietà principale è quella di "essere una resistenza".

<sup>13</sup>Ha raggiunto la massima corrente.

<sup>14</sup>Quanto scorrono facilmente le cariche al suo interno.

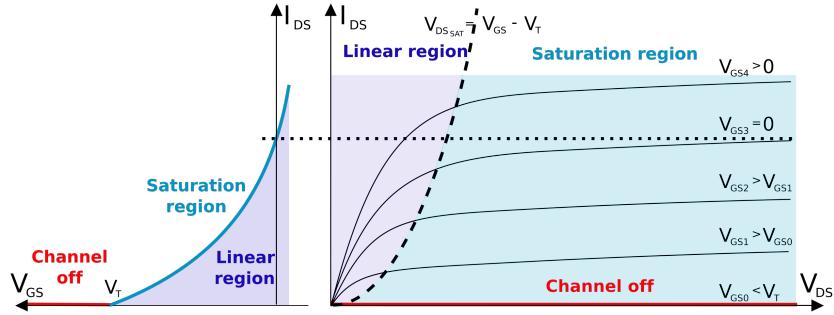


Figura 2.8: Curve caratteristiche di un transistor N-MOS.

per unità di carica<sup>15</sup>, mentre  $W$  rappresenta la larghezza della zona che va a costituire il canale, mentre  $L$  è la lunghezza.

$$K \propto \mu \Rightarrow K_n \simeq 2K_p$$

All'aumentare della corrente il N-MOS si comporta come un resistore la cui resistenza è data da  $R = \frac{\rho \cdot L}{s} = \frac{\rho \cdot L}{W \cdot h}$ . Posso quindi riscrivere la costante:

$$K = \frac{h}{\rho} \cdot \frac{W}{L}$$

dove la prima parte rappresenta la parte “tecnologica”, mentre la seconda è la parte “geometrica” su cui posso agire per *tarare* la risposta di  $I_D$  rispetto a  $V_{DS}$ . Inoltre la lunghezza  $L$  determina la distanza tra Drain e Source e di conseguenza la lunghezza del canale: questo è il parametro che va a determinare la tensione massima tra Source e Drain prima di rompere il dispositivo. Questo perché applicando una certa tensione  $V_{DS}$  la quale sviluppa un campo elettrico e quanto sono più lontani i terminali quanto più basso è il campo elettrico, e quindi il MOSFET potrà reggere tensioni più alte, e viceversa.

Come nei BJT, una volta superata la cosiddetta tensione di breakdown il dispositivo si rompe; questa tensione è proporzionale al canale.

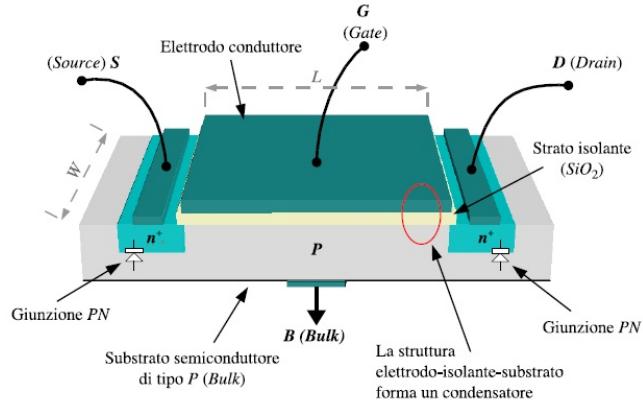


Figura 2.9: Vista di un transistor N-MOS dall'alto.

## 2.4.2 P-MOS

È il dispositivo **complementare all'N-MOS**.

<sup>15</sup>Più è maggiore più ha possibilità di spostare cariche.

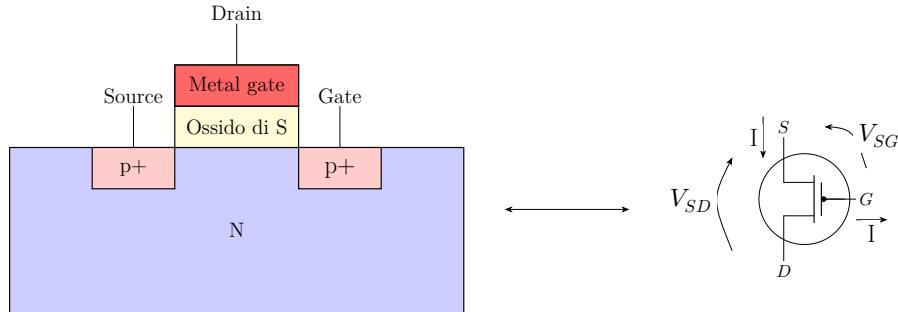


Figura 2.10: Sezione di un transistor P-MOS

Valgono le stesse equazioni, ma le tensioni e le correnti sono *opposte* ( $V_{GS} < 0$ ,  $V_{DS} < 0$ ,  $V_t < 0$ ).

Applicando al Ground una tensione negativa si accumulano cariche positive *sotto l'ossido*: si formerà dunque un canale di lacune. Il Drain sarà considerato negativo rispetto al Source.

Il guadagno (e quindi la corrente di uscita) sono *minori*, in quanto le lacune sono portatori minoritari (come per i transistor BJT, in quanto  $k_n \approx 2k_p$ ), le quali andranno a formare il canale di conduzione.

Le equazioni delle curve sono le stesse dell'N-MOS.

Per valutare K dato delle curve è possibile risolvere il seguente sistema:

$$\begin{cases} I_{D1} = K(V_{GS} - V_t)^2 \\ I_{D2} = K(V_{GS} - V_t)^2 \end{cases} \rightarrow \begin{cases} \sqrt{I_{DS}} = \sqrt{K}(V_{GS} - V_t) \\ \sqrt{I_{DS}} = \sqrt{K}(V_{GS} - V_t) \end{cases}$$

### Riepilogo dei transistor MOS

I MOS hanno le seguenti regioni:

1. Quando la tensione di Gate è inferiore alla tensione di soglia ( $V_G < V_{th}$  entrambe in valore assoluto), siamo in *cutoff*: non abbiamo portatori nel canale. Siamo in interdizione ed il dispositivo è spento e non passa corrente tra source e drain;
2. Nella regione *lineare*, in cui ci troviamo superando la tensione di soglia per piccole tensioni di drain, la (curva) caratteristica della corrente è *parabolica*: inizialmente si potrebbe approssimare con una retta (da qui lineare). La pendenza di quest'ultima mi indica la resistenza del canale, tant'è che il dispositivo viene detto **resistore controllato in tensione** (di Gate)! Sono inversamente proporzionali.
3. Una volta raggiunto il vertice della parabola ci troviamo nella regione detta *di saturazione* la corrente diventa **costante** e sempre dipendente dalla tensione di Gate: il transistor è un generatore di corrente controllato in tensione.

### 2.4.3 Real N-MOS

All'apparenza il transistor N-MOS sembra un dispositivo *simmetrico*, ma non lo è. Infatti in precedenza abbiamo assunto la tensione  $V_{DS} > 0$  perché polarizzando la S viene polarizzato anche il blocco P<sup>16</sup> sottostante: in questo modo si viene a formare un **body diode** tra l'emettitore ed il collettore. In sostanza si va a *cortocircuitare* (viene metallizzato) Source con la regione di tipo P: rimane la giunzione tra P e il Drain.

#### Body diode

Il **body diode** (o di bulk) sono diodi *intrinseci* per qualsiasi transistor ad effetto di campo. Nelle applicazioni FET a canale N, la corrente scorre tipicamente dal drain alla source a causa della polarità del body diode. Anche se non è stato indotto un canale, la corrente può comunque fluire dalla source al drain attraverso la connessione in cortocircuito source-body e il diodo body-drain. Per questo motivo, un tipico FET a canale N non può bloccare il flusso di corrente dalla sorgente al drain.

Nel nostro caso è essenzialmente una giunzione p-n *parassita* in cui passa la corrente invece che nel canale.

Se  $V_{DS} < 0$  il diodo in questione è in *forward bias*, e la corrente  $i_D$  non dipende più dal gate<sup>17</sup>: non abbiamo

<sup>16</sup>O n se in un P-MOS.

<sup>17</sup>Nel transistore P-MOS accade se la tensione tra drain e source  $V_{DS} > 0$

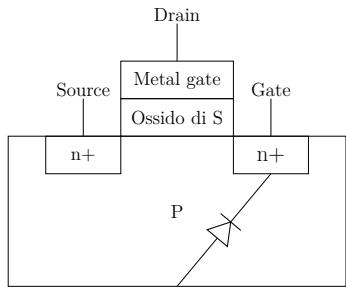


Figura 2.11: Presenza nel real N-MOS del body diode

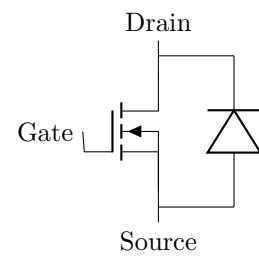


Figura 2.12: Schema circuitale del real N-MOS

quindi più il controllo sul dispositivo, perché la corrente scorre nel diodo indipendentemente dalla tensione applicata sul Gate. Per evitarlo la tensione di Drain dovrebbe essere maggiore rispetto a quella di Source.

Il P-MOS reale funziona al contrario.



# Capitolo 3

## Digital Logic Circuits (circuiti a logica digitale)

Servono per trasferire e processare informazioni tra dispositivi **senza modificare i valori**, funzionano realizzando operazioni *booleane* su dati booleani.

### 3.1 Famiglie logiche

**Definizione: famiglie logiche**

Una **famiglia logica** è un insieme di dispositivi elettronici i quali, se connessi tra di loro in modo opportuno, permettono di realizzare una qualsiasi funzione logica. Queste sono funzioni che definiscono lo stato di un'uscita per ogni possibile configurazione degli stati.

#### 3.1.1 Operatori logici (booleani)

- **NOT** (negazione): restituisce il bit negato.

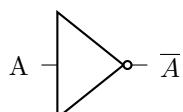


Figura 3.1: Simbolo circuitale di NOT con A e  $\bar{A}$

A	$\bar{A}$
0	1
1	0

Figura 3.2: Tabella di verità per NOT

- **AND** (prodotto logico): restituisce vero se *entrambi i bit sono veri*.

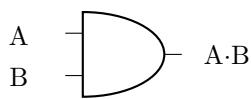


Figura 3.3: Simbolo circuitale di AND con A e B

A	B	$A+B$
0	0	0
1	0	0
0	1	0
1	1	1

Figura 3.4: Tabella di verità per AND

- **OR** (somma logica): restituisce vero se *almeno un bit è vero*.

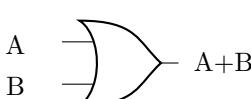


Figura 3.5: Simbolo circuitale di AND con A e B

A	B	$A+B$
0	0	0
1	0	1
0	1	1
1	1	1

Figura 3.6: Tabella di verità per AND

Concatenando queste porte logiche è possibile costruire una *qualsiasi operazione logica complessa*.

### 3.1.2 Leggi (o teoremi) di de Morgan

Servono a stabilire relazioni di equivalenza tra la congiunzione (AND) e la disgiunzione (OR) logica: attraverso la negazione (NOT) è possibile esprimere queste due porte logiche in *termini reciproci*. Le leggi sono le seguenti

$$A + B = \overline{\overline{A} \cdot \overline{B}} \Rightarrow \overline{A + B} = \overline{\overline{A} \cdot \overline{B}} \quad (1)$$

$$A \cdot B = \overline{\overline{A} + \overline{B}} \Rightarrow \overline{A \cdot B} = \overline{\overline{A} + \overline{B}} \quad (2)$$

A parole:

- La legge (1) dice che effettuare la negazione dell'operazione di AND tra due ingressi equivale all'OR tra la negazione dei due singoli ingressi;
- Allo stesso modo la legge numero (2) ci dice che la negazione dell'operazione OR tra i due ingressi equivale alla somma tra gli stessi ingressi negati singolarmente.

A questo punto possiamo ricavare due porte:

- **NAND**: o “NOT AND”, è un dispositivo complementare alla porta AND. Per le leggi di Morgan un NAND equivale all'operazione di OR tra due ingressi negati.

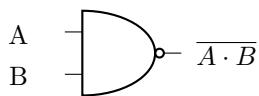


Figura 3.7: Simbolo circuitale di NAND con A e B

A	B	$\overline{A}$	$\overline{B}$	$A \cdot B$	$\overline{A \cdot B}$
0	0	1	1	0	1
1	0	0	1	0	1
0	1	1	0	0	1
1	1	0	0	1	0

Figura 3.8: Tabella di verità per NAND

- **NOR**: o “NOT OR”, è il dispositivo complementare alla porta OR. Sempre per le leggi di Morgan un NOR equivale all'operazione AND fra due ingressi negati

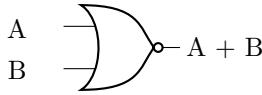


Figura 3.9: Simbolo circuitale di NOR con A e B

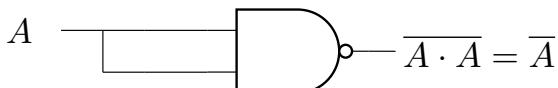
A	B	$\overline{A}$	$\overline{B}$	$A + B$	$\overline{A + B}$
0	0	1	1	0	1
1	0	0	1	1	0
0	1	1	0	1	0
1	1	0	0	1	0

Figura 3.10: Tabella di verità per NOR

#### Osservazione: completezza della famiglia logica

Una famiglia logica si dice **completa** quando tra i suoi dispositivi è presente la porta NOT ed una tra la porta AND o la porta OR. In particolare è possibile realizzare, con le porte NAND e NOR, tutte le porte precedenti: in questo modo quindi **si possono realizzare tutti i circuiti con una singola porta!**

- Esempi:



(a) Porta NOT con NAND



(b) Porta NOT con NOR

Figura 3.11: Rappresentazioni della porta NOT.

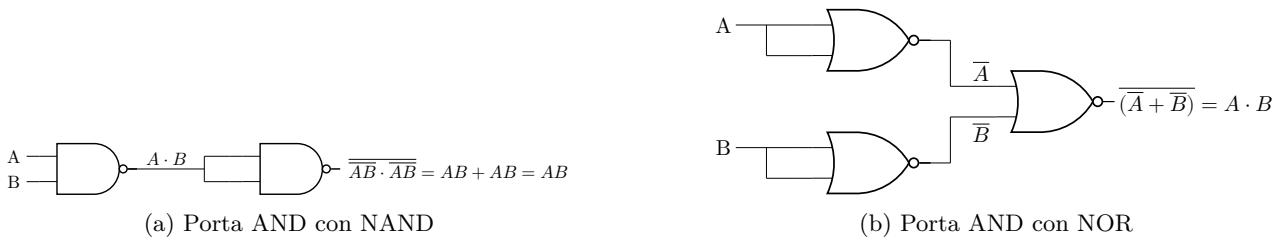


Figura 3.12: Rappresentazioni della porta AND.

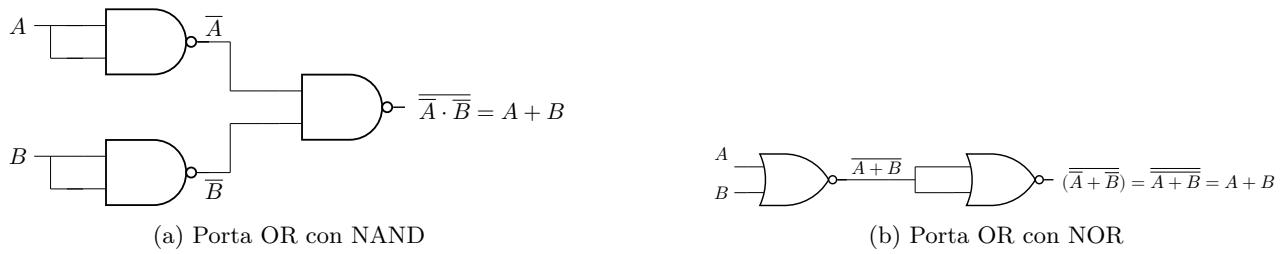


Figura 3.13: Rappresentazioni della porta OR.

In elettronica, lo stato logico 0 è associato ad una *bassa tensione*, mentre lo stato 1 è associato ad un'*alta tensione*.

## 3.2 Famiglie logiche: parametri statici

Quando si tratta un segnale logico, ci si aspetta che esso sia **ben definito**: in particolare deve essere ben chiaro quando il segnale è “alto” e quando è basso. Per ogni famiglia logica quindi esistono quindi una serie di parametri che ne definiscono il funzionamento. I seguenti parametri sono detti statici in quanto sono misurati con il circuito “fermo”, senza commutazioni: non dipendono dal fatto che il segnale stia variando nel tempo.

- 1) **Tensione di ingresso:** discrimina il valore *logico* in base alla tensione d’ingresso, quindi come questa sia *interpretata*:
  - $V_{iL}$  ≈ è il **massimo** valore di tensione in ingresso che la famiglia logica rileva come *livello logico basso* (oppure 0 logico, stato negativo);
  - $V_{iH}$  ≈ è il **minimo** valore di tensione in ingresso che la famiglia logica (o l’integrato) percepisce come *livello logico alto* (oppure 1 logico, stato positivo).
- 2) **Tensione di uscita:** indica come interpretare i valori rilevati all’uscita di un circuito:
  - $V_{oL}$  ≈ è il **massimo** valore della tensione in uscita da una porta logica<sup>1</sup> dalla porta logica tale che, in base alle specifiche del prodotto, corrisponde ad un livello logico **basso** (0 logico);
  - $V_{oH}$  ≈ è il **minimo** valore della tensione in uscita da una porta logica che in base alle specifiche del prodotto stabilisce un valore logico **alto** (1 logico).

<sup>1</sup>La porta successiva potrà riconoscerlo.

**Nota: Regione di indeterminazione.**

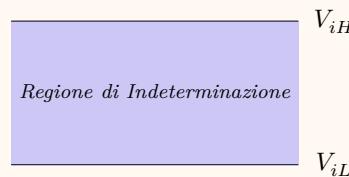
Per evitare ambiguità devono valere:

$$V_{iL} \leq V_{iH}; \quad V_{oL} \leq V_{oH}$$

Idealmente tutti i valori in ingresso *corrispondono* ai valori in uscita. Tuttavia questo non è possibile, a causa di possibili variazioni ambientali e/o nel processo di costruzione. Si usano quindi dei valori  $V_{i/oL}$  più bassi dei  $V_{i/oH}$ , statisticamente *certi*, i quali considerano anche le possibili oscillazioni dei valori. Questo perché rispettando questi valori definiti del costruttore del circuito in tutte le condizioni operative il segnale sarà interpretato/percepito **correttamente**.

Infatti sappiamo che un qualsiasi valore di tensione di ingresso compreso tra  $[V_{iL-\max}, V_{iH-\min}]$  non sappiamo quando potrà essere riconosciuto dalla porta come 1 logico o come 0 logico: si dice che sono valori nella **regione di indeterminazione**. Inoltre, per una far sì che non ci siano errori di interpretazione è necessario che l'operazione di commutazione tra gli stati sia il più *veloce* possibile, in quanto il valore in questi casi passa nella regione.

Allo stesso modo, un qualsiasi valore di tensione di uscita compreso nell'intervallo  $[V_{oL-\max}, V_{oH-\min}]$  non potrà essere riconosciuto con 1 logico o come 0 logico da una porta posta immediatamente in cascata.



### 3) Corrente assorbita:

- $I_{iH}$ : corrente assorbita in ingresso quando viene applicato il valore logico alto;
- $I_{iL}$ : corrente assorbita in ingresso quando viene applicato il valore logico basso.

Da queste grandezze ne derivano altre 3:

### 4) Noise Margin<sup>2</sup>:

resilienza del circuito al rumore; quanto disturbo può ricevere *senza influire sul suo comportamento*. È la quantità cui il segnale eccede la soglia minima  $V_{iH}$  e  $V_{iL}$ :

$$NM = \min(NM_H, NM_L); \quad NM_H = V_{oH} - V_{iH}; \quad NM_L = V_{iL} - V_{oL}$$

#### Osservazione

$NM_H$  e  $NM_L$  devono essere **positivi**, per cui è necessario che le tensioni siano:

$$V_{oH} > V_{iH}; \quad V_{iL} > V_{oL}$$

Maggiore è la differenza tra i valori (e quindi il Noise Margin), maggiore è il grado di "certezza" dell'interpretazione del segnale.

### 5) Fan-out<sup>3</sup>:

rappresenta il **massimo numero di porte d'ingresso** che posso guidare/pilotare (collegabili ad un'uscita) mantenendo un valore logico *corretto* (dipende da  $I_{iL}$ ,  $I_{iH}$ );

### 6) Static power<sup>4</sup>:

rappresenta la **potenza assorbita (o dissipata) in condizioni statiche**. È pari alla media tra le potenze assorbite con un'uscita alta/bassa;

$$P = \frac{(P_H + P_L)}{2}$$

dove  $P_H = V_{cc} \cdot i_H$  e  $P_L = V_{cc} \cdot i_L$ .

## 3.3 Famiglie logiche: parametri *dinamici*.

I parametri precedenti devono essere misurati in condizioni *statiche*, mentre questi si misurano **al momento di una commutazione di stato**<sup>5</sup>.

<sup>2</sup>Più è alto meglio è; *higher better*.

<sup>3</sup>Più è alto meglio è; *higher better*.

<sup>4</sup>Più bassa è meglio è; *lower better*.

<sup>5</sup>Quindi la porta logica cambia dallo stato alto al basso o viceversa.

- 1) **Ritardo/tempo di propagazione** (propagation delay): indicato con  $t_{p_{HL}}$  e  $t_{p_{LH}}$ , rappresenta in quanto tempo un cambio in ingresso è *percepito* (e riportato) dall'uscita. È fondamentale che sia **basso**: ad esempio con 10 ns siamo vincolati a processi con frequenza massima di 100 MHz; tra i due tempi di propagazione conta quello **più lento**, ovvero quello più penalizzante.
- 2) **Energia di commutazione** (Switching power): indica l'energia impiegata (in Joule) per commutare uno stato, essa cresce *linearmente* con la velocità del circuito (lower better). Viene integrata per il tempo della commutazione;
- 3) **Prodotto ritardo-potenza** (Delay-Power product): è il prodotto tra il ritardo di propagazione e la potenza dissipata nel circuito; serve per *bilanciare* le prime due, le quali sono tra loro discordi (lower better). A livello del design del circuito si può aumentare la potenza e di conseguenza diminuirà il ritardo di propagazione (a parità di circuito). La potenza dipende dalle resistenze, mentre il ritardo dalle capacità.

## 3.4 RTL (Resistor-Transistor Logic)

È una famiglia di porte logiche *che usano i transistor BJT e resistenze per realizzare le porte*. Il sistema è obsoleto a causa del suo fan-in limitato (al massimo 3 ingressi). Alcuni esempi di porte sono:

- **NOT**: Corrisponde ad un transistor con una resistenza di base  $R_B$  e una resistenza di collettore  $R_C$ , l'ingresso è collegato alla base del transistor; il dispositivo si comporta come un *invertitore*. In questa configurazione, ovvero quando l'emettitore è collegato a massa, si parla di emettitore comune.

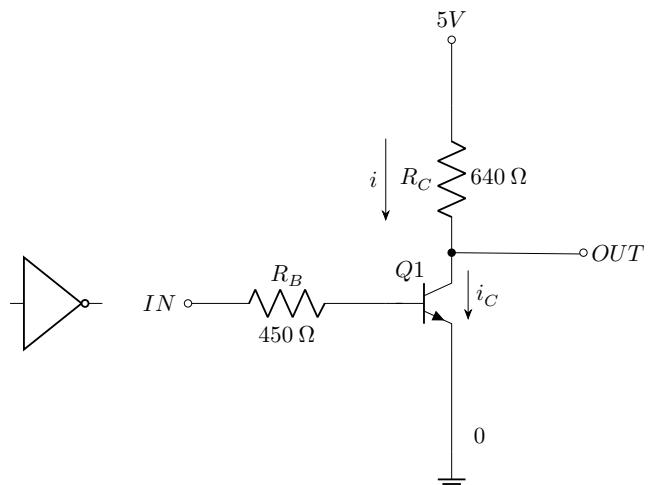


Figura 3.14: Porta NOT realizzata con RTL.

- **NOR**: in questo caso mettiamo due stadi d'ingresso uguali, collegandoli alla stessa resistenza di collettore.

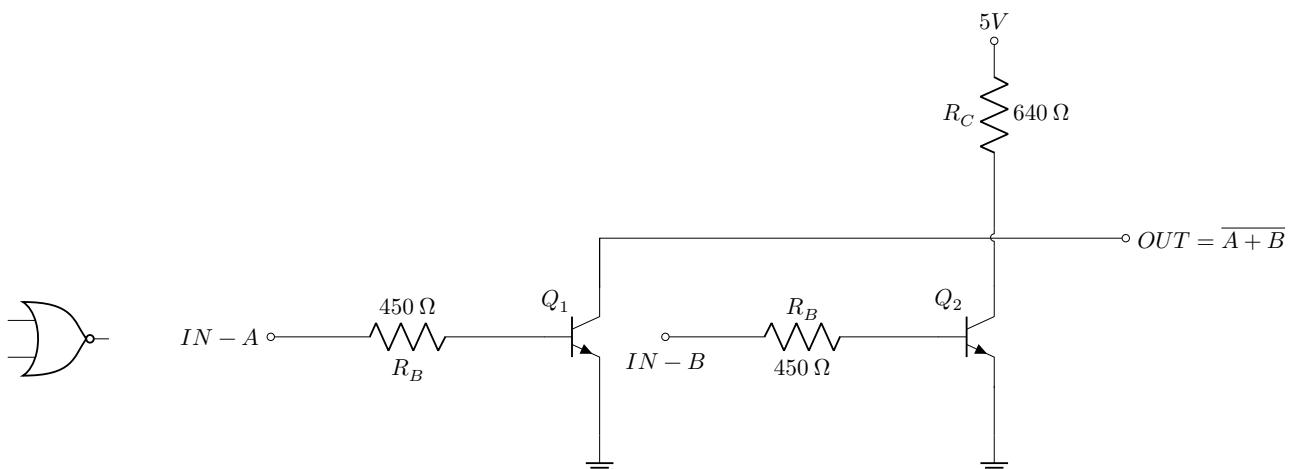


Figura 3.15: Porta NOR realizzata con RTL.

### 3.4.0.1 Lista parametri RTL

1) Statici:

- $V_{iH} = 0.75V, V_{iL} = 0.6V$
- $I_{iH}@V_{iH} = 150\mu A, I_{iH}@5V = 9.5mA$ : la @ indica che viene stabilita la corrente  $I_{iH}$  con la tensione  $V_H$  stabilita.
- $I_{iL} \approx 0$ : è circa zero se l'ingresso è basso, in quanto la giunzione BE è spenta.
- $V_{oH} = 5V$ : (no load condition, **senza carico**, ovvero se non si collega nulla)
- $V_{oL} = 0.2V$ : pari alla tensione di saturazione

$$\text{Per valutare } I_{iH} = \begin{cases} V_{iH} & = V_{IN} = 0,75V \text{ e } V_{BE} \approx 0,6V \\ I_{iH} & = I_B \text{ e } I_B \cdot R_B + V_{BE} = V_{IN} \end{cases}$$

Il range d'ingresso va dai  $5V$  alla tensione  $V_{iH} = 0,75V$ , con  $5 = V$  tensione di alimentazione della porta.

2) Dinamici:

- $NM_H = 4.25V, NM_L = 0.4V \rightarrow NM = 0.4V$
- Fan-out: 33
- $P_L = 5V \times 7.5mA(Rc) = 37.5mW, P_H = 0, P = 18mW$
- $t_{pHL}$  e  $t_{pLH}$  veloci per merito della resistenza in base (si tratta di qualche nS)
- $DP = 5nS \times 18mW = 90pJ\$$
- Il fanout si calcola facendo:  $(V_{CC} - V_{iH})/R_C = n \times I_{iH}(@V_{iH})$ .

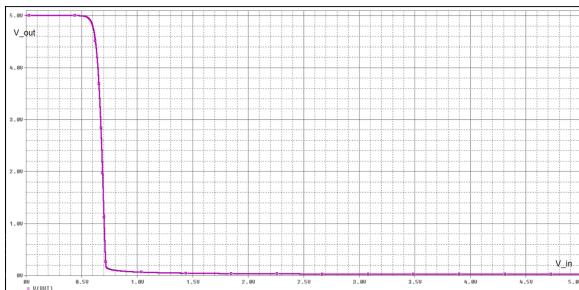
### 3.4.1 Funzione di trasferimento della porta NOT

Analizziamo il funzionamento della porta logica NOT.

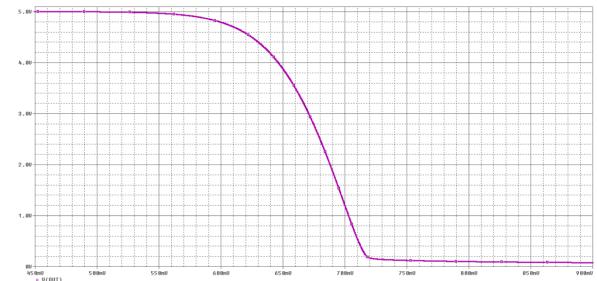
- Se la tensione in ingresso  $V_{in}$  è bassa, la corrente  $i_C$  è nulla e la corrente  $i$  va tutta in OUT.
- Se la tensione in ingresso  $V_{in}$  è alta, si ha che  $i_C \leq h_{fe} \cdot i_B$ : la corrente non può andare tutta in uscita.

Analizzando il circuito inserendo dei valori: se nell'ingresso, ovvero nella base, non abbiamo corrente (quindi  $I_B = 0$ ), il transistor sarà in **interdizione** (in cutoff) e non passerà corrente,  $I_C = 0$ . La tensione in uscita sarà di conseguenza  $V_{out} = 5V - R_C$ .

Se invece in ingresso abbiamo una tensione in ingresso alta (per esempio  $5V$ ), posso ipotizzare che la giunzione base-emettitore sia polarizzata direttamente e che quindi a cavallo tra la  $R_B$  e la messa a terra ci siano  $0,7V$ , mentre che sulla resistenza si misura  $4,3V$ . La corrente che entra in base è circa  $10mA$ : di conseguenza il transistor è in **saturazione** e quindi  $V_{CE} = V_{CE-sat} = 0,2V$ <sup>6</sup>.



(a) Grafico della porta NOT RTL.



(b) Ingrandimento tra 0,5V e 1V

Figura 3.16: Grafici sulla funzione di trasferimento

Bisogna però stabilire se la famiglia logica sia “buona” o meno tramite i valori di  $V_{iH}$  e  $V_{iL}$ . Per far ciò utilizziamo un simulatore di circuiti elettrici, all'interno del quale sono inseriti sia i parametri che la descrizione del circuito stesso e farne un grafico. Il primo rappresenta della funzione di trasferimento della porta NOT, ottenuto. Il grafico si dice **statico**, in quanto non è presente la variabile temporale. Sull'asse delle ascisse è presente la tensione in ingresso, mentre sulle ordinate è presente la tensione di uscita.

Sappiamo dal grafico che esso rappresenta la porta NOT in quanto se l'ingresso è basso, l'uscita è alta e viceversa (sopra certi valori). In una zona tra gli  $0,5V$  e  $0,7V$  si ha la commutazione.

Il secondo grafico è un ingrandimento del primo, viene evidenziata la zona della commutazione: a  $600mV$  viene definito il punto in cui la giunzione base emettitore si accende. Ciò significa che si sta accendendo anche il transistor (sta iniziando a polarizzarsi), quindi scorre corrente in base e di conseguenza anche sulla resistenza

<sup>6</sup>Se non torna rileggere parte BJT.

di collettore, e la tensione (del collettore) in uscita diminuisce (drasticamente). Quindi dai  $700mV$  il transistor è in saturazione, ma vogliamo dare alla tensione in ingresso minimo  $750mV$ . Abbiamo quindi trovato  $V_{iH}$  e  $V_{iL}$ . La tensione in uscita  $V_{oL}$  è semplice trovarla sugli  $\approx 0,2V = V_{CE-sat}$ , mentre  $V_{oH}$  è più particolare, perché senza nessun carico è pari a  $5V$ .

Osserviamo inoltre che il noise margin è particolarmente basso, dovuto alla differenza tra i valori delle tensioni associati agli stati logici bassi.

### 3.4.1.1 Calcolo del Fan-out

Sappiamo che all'uscita di un transistor si possono collegare più ingressi: potenzialmente un numero  $n$

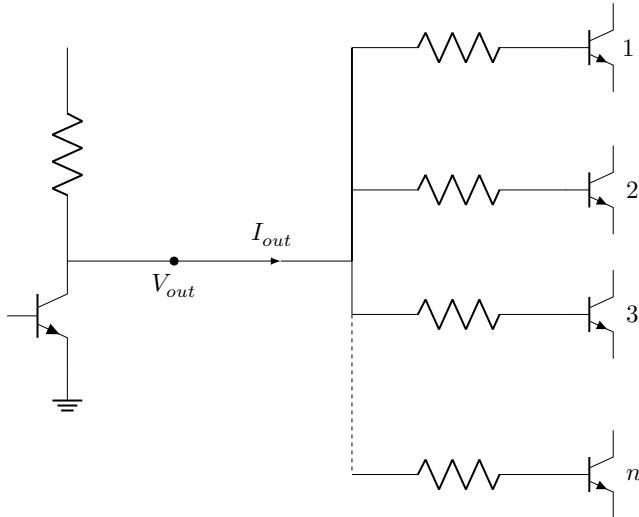


Figura 3.17: Uscita per calcolo fanout: da un transistor si collegano  $n$  ingressi, composti da una resistenza ed una giunzione base-emettitore

- Se vogliamo un valore *alto* su  $V_{OUT}$ , questo deve essere pari (condizione limite) alla tensione  $V_{iH} = 0,75V$ . Inoltre:

$$\left. \begin{array}{l} V_{RC} = 5 - 0,75 V = 4,25V \\ R_C = 640\Omega \end{array} \right\} \Rightarrow I_{out} = \frac{4,25V}{640\Omega} = 6,6 mA$$

$$I_{iH} @ 0,75V = 150 \mu A \Rightarrow \frac{6,6 mA}{150 \mu A} = 44 \text{ porte logiche.}$$

che rispetto al valore espresso sul datasheet, ovvero 33, è maggiore. Tuttavia si utilizza quest'ultimo valore al fine di lasciare un po' di margine al circuito (considerando  $I_H = 200\mu A$ )

- Per avere un valore *basso* su  $V_{out}$ : se l'uscita bassa con corrente  $I_{iL} \approx 0$ , teoricamente non vi è un limite sul numero di porte logiche.

### 3.4.1.2 Calcolo della potenza statica

- Potenza dissipata se l'uscita è *bassa*:

$$\left. \begin{array}{l} V_{RC} = 5 - 0,2 V = 4,8V \\ i_C = \frac{4,8V}{640\Omega} = 7,5 mA \end{array} \right\} \Rightarrow P_L = 5 V \cdot 7,5 mA = 37,5 mW$$

- Potenza dissipata se l'uscita è *alta*:

$$V_{out} = 5 V \Rightarrow V_{RC} = 0 \Rightarrow I_C = 0 \Rightarrow P_H = 0 mW$$

Si considera carico ***nullo***: la porta non è collegata ad altre porte.

### 3.4.1.3 Tempi di propagazione:

- $t_{p_{HL}}$  è pari al tempo necessario a polarizzare la giunzione p-n: pochi nS;
- $t_{p_{LH}}$  è pari al tempo necessario a rimuovere i portatori minoritari dalla base, ovvero il tempo necessario a spegnere la giunzione p-n: pochi nS;

L'ultimo parametro dinamico è il *Delay-power product*:  $DP = 5 \text{ ns} \cdot 18 \text{ mW} = 90 \text{ pJ}$

### Osservazione

Se incrementiamo la resistenza di base (aumentando da  $450\Omega$ ) *diminuisce la potenza ma aumenta il tempo*.

Tuttavia i valori scelti per le resistenze ottimizzano le prestazioni di tutta la famiglia logica RTL.

### Problemi della famiglia RTL

Uno dei problemi principali della famiglia logica RTL è il fatto che lo stadio d'ingresso formato da una resistenza e dalla giunzione base-emettitore assorbe molta corrente in un verso e non ne assorbe nell'altro.

## 3.5 TTL (transistor-transistor-logic)

È una famiglia logica successiva alla famiglia RTL, ed è più *evoluta*: le porte logiche in questo caso sono realizzati utilizzando una **coppia di transistori**:

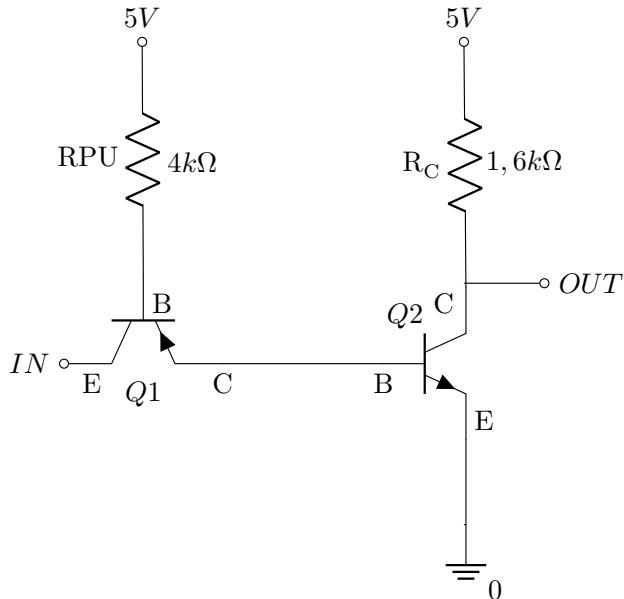


Figura 3.18: Porta NOT "semplice" in TTL.

### 3.5.0.1 Porta Basic NOT:

Durante le transizioni dallo stato basso ad alto i portatori minoritari presenti in Q2 vengono rimossi dal transistor Q1; se l'ingresso della porta logica è **basso/spento** (ad esempio la tensione in ingresso  $V_{in} = 0,2V$ ) la giunzione base-emettitore Q1 sarà accesa (grazie alla resistenza RPU, resistenza di pull-up, che porta i 5V in ingresso) e quindi scorre della corrente in base nel transistor Q1. La giunzione può essere in regione attiva diretta oppure in saturazione: tuttavia per essere in regione attiva dovrebbe esserci un ingresso di corrente nel collettore di Q1, ma in condizioni stazionarie ciò non accade perché per la disposizione del transistor Q2 non scorre corrente verso il collettore, quindi Q1 si trova in saturazione. Di conseguenza la tensione sulla base del transistor Q2 (= tensione di collettore di Q1) sarà pari a  $V_{in} + 0,2V = 0,2V$ , che è troppo *bassa* per accendere il transistor Q2: per questo motivo tutta la corrente andrà in uscita.

### Memo

La giunzione base-collettore è anch'essa assimilabile ad un diodo, per cui ha il suo massimo potenziale a  $\approx 0,7V$

Quando l'ingresso è a 5V, il transistor entra in regione attiva inversa, caratterizzata da un guadagno molto basso. Di conseguenza, nel collettore fluisce quasi esclusivamente la corrente di base. Con questa famiglia logica, il

problema dell'assorbimento di corrente si manifesta principalmente quando il transistor viene acceso. Tuttavia, tale assorbimento è inferiore poiché il transistor opera già in saturazione. Inoltre, questo comportamento rende la porta più prevedibile nel funzionamento.

A causa delle oscillazioni dei valori la tensione in  $V_B = 0-0,75V$ , mentre la tensione sul collettore  $V_C = 0-1,5V$ . Se invece abbiamo un ingresso alto (tensione in ingresso  $V_{in} = 5V$ ), Q1 si troverà in regione attiva inversa, con gain quasi nullo.

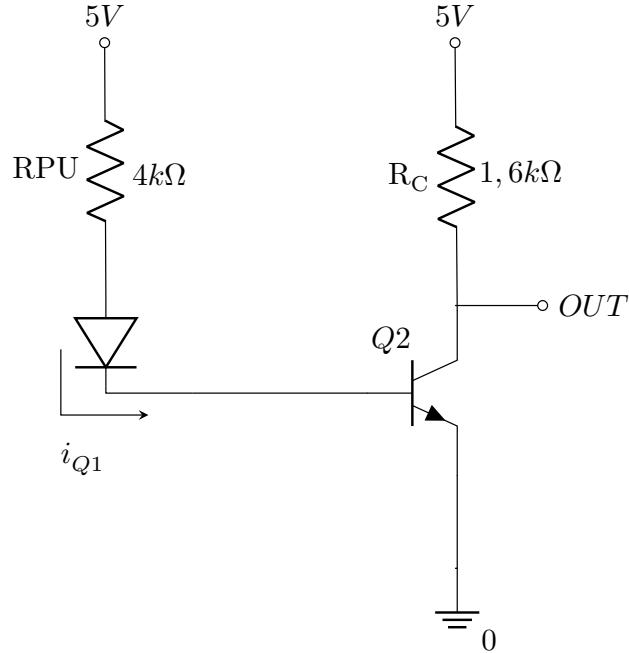


Figura 3.19: Porta NOT "semplice" con Q1 diodo.

Q1 diventa assimilabile ad un diodo, mandando tutta la corrente verso la base del transistor Q2: in questo modo essa va in saturazione, ottenendo un'uscita bassa (come nella porta NOT nella logica RTL). È da notare che attraverso Q1 la corrente di scarica di Q2 viene aumentata considerevolmente e di conseguenza si potrà spegnere velocemente: la transizione dell'uscita da basso ad alto è molto veloce.

#### In sintesi:

- Transizioni dallo stato basso ad alto *veloci*, dato che il transistor Q1 aiuta a smaltire le cariche minoritarie immagazzinate da Q2;
- L'uscita deve comunque essere tirata verso l'alto<sup>a</sup> da  $R_C$
- L'ingresso assorbe corrente sole se basso, ed è in funzione di  $R_{PU}$

<sup>a</sup>Aumentare la tensione o portare un segnale verso un valore più alto.

#### 3.5.0.2 Enhanced NOT

Viene disegnato un nuovo circuito per migliorare le prestazioni: in particolare l'uscita, se positiva, non è governata dal transistor, ma dalla resistenza di collettore.

Consideriamo quindi un circuito migliorato:

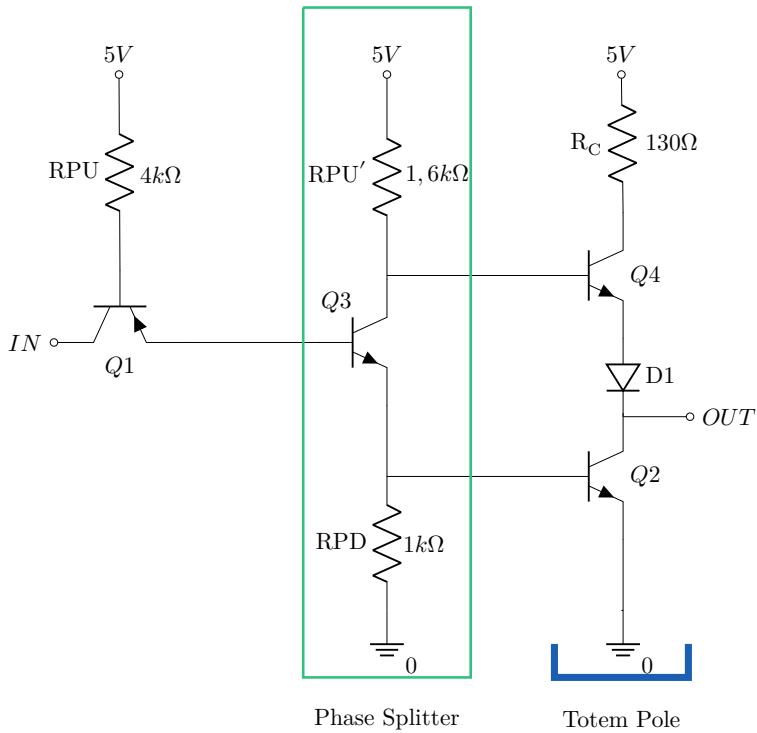


Figura 3.20: Enhanced NOT.

Il sottocircuito **phase splitter** si occupa di generare due segnali *complementari*: se il collettore è alto l'emettitore è basso e viceversa.

Il funzionamento di questo circuito è un'estensione della porta logica NOT base: il transistor Q3 pilota l'uscita in modo tale che soltanto uno dei due transistor Q2 e Q4 sia acceso!

#### Caratteristiche della porta logica Enhanced Not

- Q4 "tira su" la (tensione di ) uscita *rapidamente*. Tuttavia, come visto in precedenza un transistor si spegne molto più lentamente di quanto si accenda: esiste quindi la possibilità che il transistor Q4 si accenda **prima** che si spenga Q2 (questo viene detto fenomeno di *cross-conduction*). Per evitarlo si rallenta l'accensione di Q4 ponendo una resistenza di collettore  $R_C$ .
- Come spiegato nel punto precedente, il transistor Q2 si spegne più lentamente (commutazione tra L e H), perché non c'è più Q1 ad assorbire. Per limitare il problema di utilizza una resistenza di *pull-down* RPD.

Analizziamo il grafico di funzionamento della porta NOT, dove sull'asse delle ascisse abbiamo la tensione in ingresso, mentre sull'asse delle ordinate abbiamo la tensione in uscita:

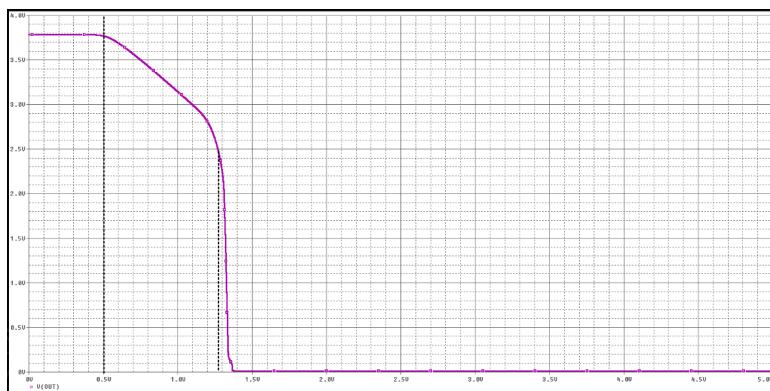


Figura 3.21: Grafico porta enhanced NOT.

Il porta si trova nella **regione lineare** tra gli 0,6 e gli 1,2V: Q3 si sta accendendo, sulla seconda resistenza di

pull-up RPU' cade un potenziale proporzionale alla corrente che Q3 inizia a far scorrere. Tale caduta si riflette sul transistor Q4. Dopodiché subito dopo 1,2V si ha una ripida caduta di tensione causata dall'accensione del transistor Q2.

Si può osservare come in uscita non otteniamo mai una tensione pari a 5V: questo a causa delle cadute di potenziale sul transistor Q4 e sul diodo D1.

Tuttavia questo circuito non è ancora il migliore possibile, in quanto vorremmo delle funzioni che siano più "ripide". Per ovviare a ciò si aggiunge un altro sottocircuito al *phase splitter* e al *totem pole*: il sottocircuito *active pull-down*.

### 3.5.0.3 Standard NOT

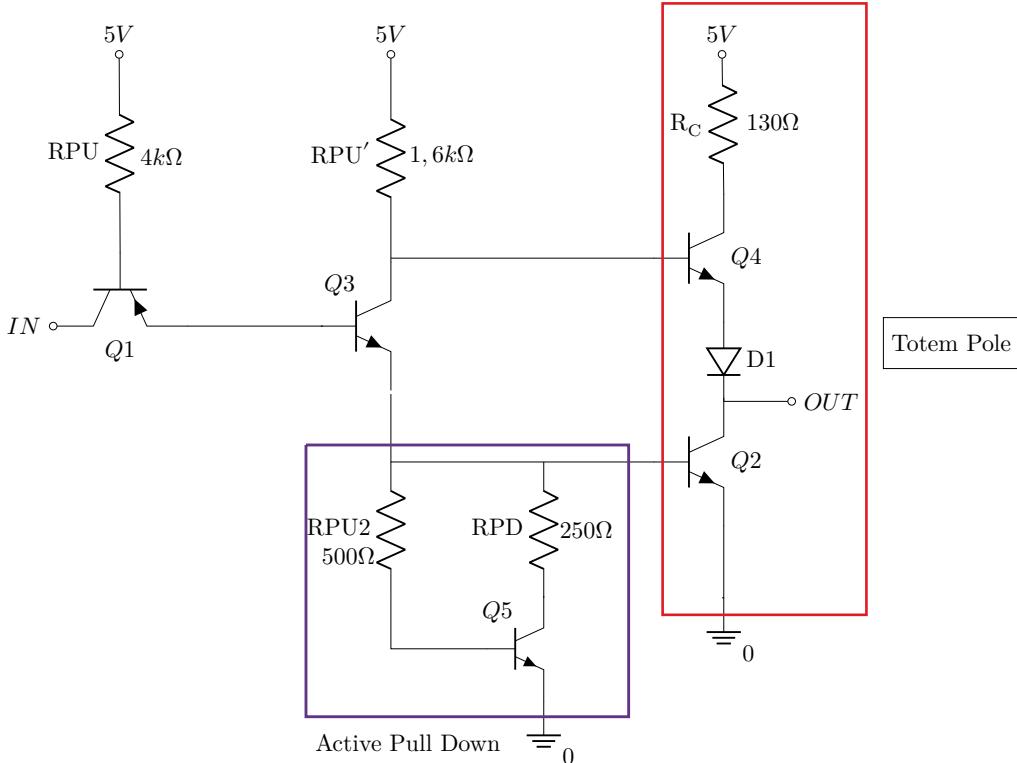


Figura 3.22: Standard NOT.

Il sottocircuito active pull-down (APD) è *attivo* perché sostituisce la resistenza di pull down, che era passiva. Infatti una tensione nel punto P accende il transistor Q5, che fa da "pozzo". Il fatto di essere un "componente attivo" implica inoltre altre due cose:

- 1) È più rapido a spegnere il transistor Q2 al momento opportuno;
- 2) Sincronizza, al momento dell'accensione del circuito, l'accensione dei transistor Q2 e Q3 e lo spegnimento di Q4: infatti il transistor Q5 viene detto *sincronizzatore*. Esso si accende insieme a Q2 e sottrae corrente alla base di Q4.

Tutto ciò rende il grafico *più ripido*:

L'aggiunta di un nuovo transistor si è rivelata una scelta eccellente, poiché questa porta non solo è più veloce rispetto alla versione enhanced, ma consuma anche meno energia. Questo miglioramento è dovuto al fatto che, nell'intervallo di tempo tra il momento in cui l'input passa a 0 e l'output sale a 1 (circa 10 ns), il circuito assorbe corrente. Grazie al transistor aggiunto, questa finestra temporale è stata quasi dimezzata, riducendo significativamente il consumo di corrente. La resistenza RC da 130Ω serve per ridurre la corrente che passa quando, durante la commutazione, sia Q2 che Q4 sono chiusi e quindi la corrente va verso la massa.

### 3.5.0.4 Parametri TTL

- $V_{iH} = 1,35V$ ,  $V_{iL} = 1,1V$
- $I_{iH} \sim 1,5\mu A$ ,  $I_{iL} = 1\mu A$
- $V_{oH} = 3,75V$ ,  $V_{oL} = 0,2V$
- $NM_H = 2.4V$ ,  $NM_L : 0.9V \rightarrow NM = 0.9V$

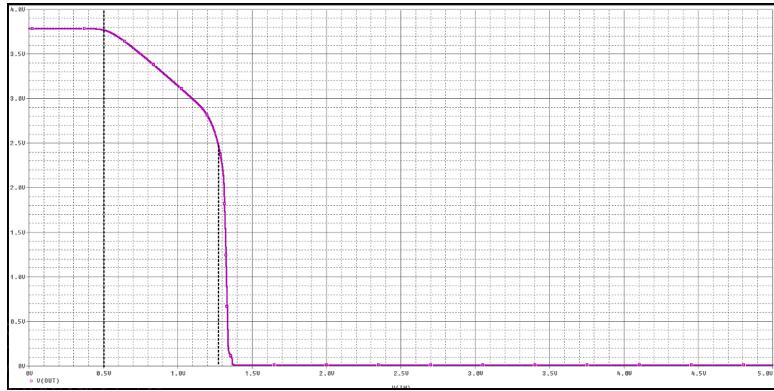


Figura 3.23: Grafico di trasferimento della porta Standard NOT in TTL.

$$\left. \begin{array}{l} P_L = 5V(\underbrace{0,7mA}_{R_{PU}} + \underbrace{2,5mA}_{R'_{PU}}) = 16mW \\ P_L = 5V(\underbrace{1mA}_{R_{PU}}) = 5mW \end{array} \right\} \Rightarrow P = 11,5mW$$

- $t_{p_{HL}} \sim t_{p_{H_L}} \sim 5nS, \quad PD = 5nS \cdot 11,5mW = 57,5pJ$

### 3.5.0.5 Ulteriori porte logiche in TTL

Per realizzare tutte le funzioni è tuttavia necessario implementare almeno la porta NAND oppure la porta NOR. Tra le due la più semplice è la prima, che è uguale alla standard NOT, tranne per la presenza di un transistor **multi-emettitore**.

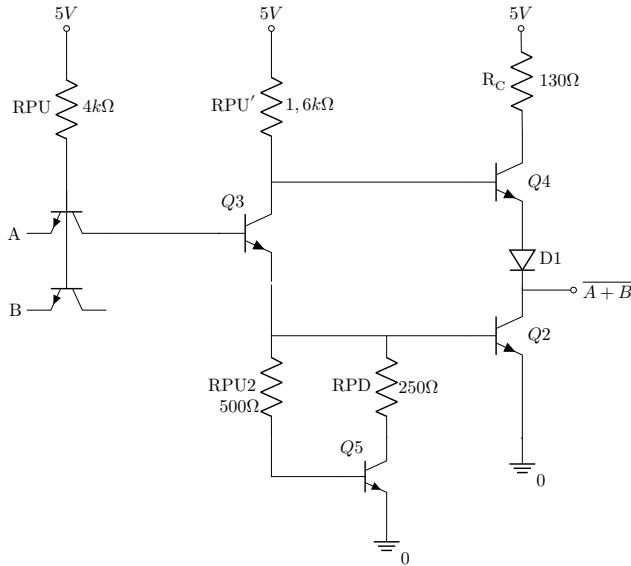


Figura 3.24: NAND in logica TTL.

L'ingresso è *polarizzato positivo* solo nel caso in cui lo siano sia A che B ( $A=B=1$  spegne l'uscita). È molto semplice da utilizzare in circuiti integrati.

#### Funzionamento

Il funzionamento della porta è il seguente: il primo dei due emettitori che collego alla terra spegne il circuito a destra e quindi passa la corrente "da sopra". Se invece sono entrambi su  $Q_3, Q_5, Q_2$  sono accesi e quindi l'uscita è giù.

### 3.5.0.6 Analisi dinamica TTL porta NOT

Analizziamo cosa succede sull'uscita **durante le commutazioni**:

- **Commutazione H-L (Alto → Basso)**

– Da:

- \* Q4 in regione attiva;
- \* Q1 in saturazione;
- A:
  - \* Q2, Q3, Q5 in saturazione (si devono *accendere*);
  - \* Q4 spento;
  - \* Q1 in regione attiva inversa<sup>7</sup>;

Mettere alto l'ingresso (tensione in ingresso  $V_{in}$  alta) porta il transistor Q1 nella sua regione attiva inversa, causando l'accensione dei transistor Q2, Q3, Q5. A loro volta essi contribuiscono a spegnere il transistor Q4, e di conseguenza con esso anche l'uscita. È una commutazione veloce ( $\sim 2nS$ ), i tre transistor si accendono velocemente e Q4 passa velocemente in regione attiva inversa<sup>8</sup>.

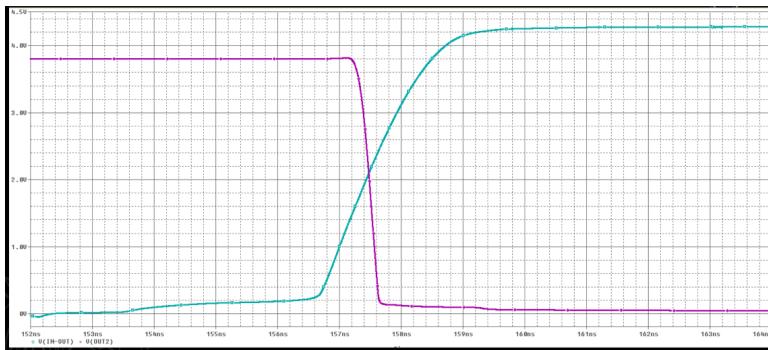


Figura 3.25: Grafico commutazione H-L.

- **Commutazione L-H (Basso → Alto)**

– Da:

- \* Q2, Q3, Q5 in saturazione;

– A:

- \* Q1 in saturazione;
- \* Q4 in regione attiva;

È più difficile rispetto alla commutazione H-L. Quando la tensione in ingresso è pari ad un livello logico basso, il transistor Q1 prima di passare alla regione di saturazione passa dalla regione attiva diretta (a causa delle cariche accumulate sulla base del transistor Q3), svuotando così Q3, che si spegnerà.

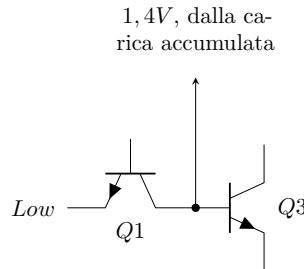


Figura 3.26: Ingresso basso TTL.

Ora Q4 si può accendere, mentre il transistor Q2 deve essere spento<sup>9</sup>: questa azione è svolta o dalla resistenza di pull-down o dall'*active pull-down* se presente. Infatti la presenza o meno del sottocircuito APD gioca un ruolo chiave nello spegnimento del transistor.

<sup>7</sup>Q4 e Q1 si devono spegnere.

<sup>8</sup>Si spegne più velocemente proprio perché **non è in saturazione!**

<sup>9</sup>Va svuotato dalle cariche!

**3.5.0.6.1 Assenza sottocircuito active pull-down** Siamo nel caso in cui vi è solo una resistenza di pull-down. La commutazione tra lo stato basso e lo stato alto avviene in un tempo compreso tra i 10 e i 12 nS. Il transistor Q1 svuota la base del transistor Q3, il quale si spegne. Quando ciò accade la corrente si sposta verso Q4, il quale si accende e tenta di “alzare - tirare su” l’uscita. Tuttavia Q2 deve ancora spegnersi, dal momento che era in saturazione. Una svolta spento Q2, l’uscita è libera di salire.

Vi è un periodo di tempo in cui sono accesi sia lo stato alto che lo stato basso; inoltre ho un assorbimento di corrente per tutto l’intervallo tempo in cui il transistor Q2 non si è ancora spento (ovvero in quell’arco di tempo in cui il segnale **non** sta commutando), comportando un maggior consumo di potenza. Ciò è dovuto dall’accensione di Q4 e da Q2 non ancora spento, a causa della cross-conduction.

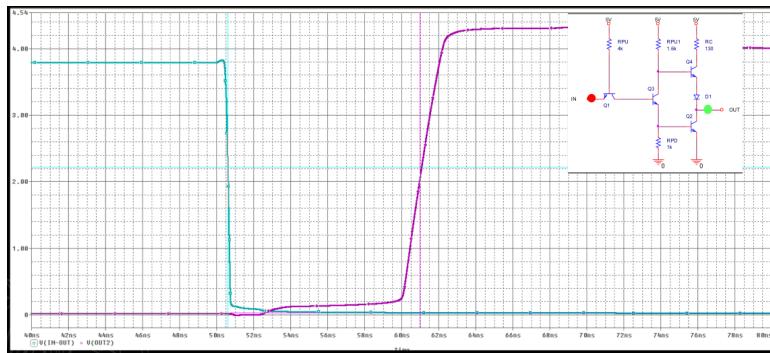


Figura 3.27: Grafico commutazione porta NOT in TTL senza la presenza dell’APD.

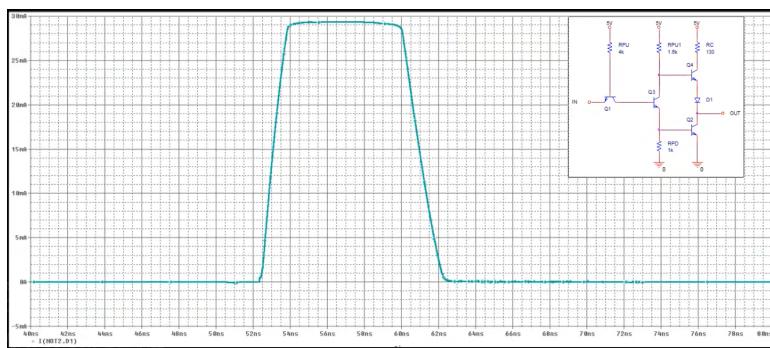


Figura 3.28: Grafico della corrente porta NOT senza APD.

**3.5.0.6.2 Presenza sotto circuito active pull-down** Il funzionamento dei transistor Q2, Q3, Q5 è sincronizzato sia in accensione che in spegnimento ed in quest’ultima fase anche *velocizzato*. Il transistor Q1 svuota sempre la base di Q3, il quale si spegne. Il tempo necessario al transistor Q2 per spegnersi è molto inferiore grazie alla presenza di Q5, il quale è un *carico attivo* e “tira” corrente molto velocemente.

Il picco di corrente in questo caso ha una durata più limitata (non più  $\sim 10nS$ ) ed ho quindi un minor consumo di potenza.

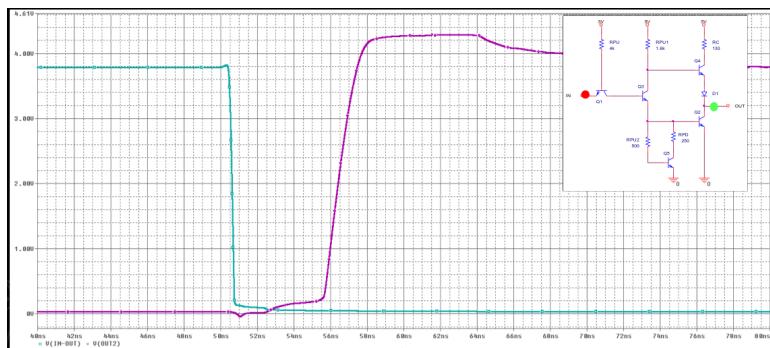


Figura 3.29: Grafico commutazione L-H porta NOT con APD.

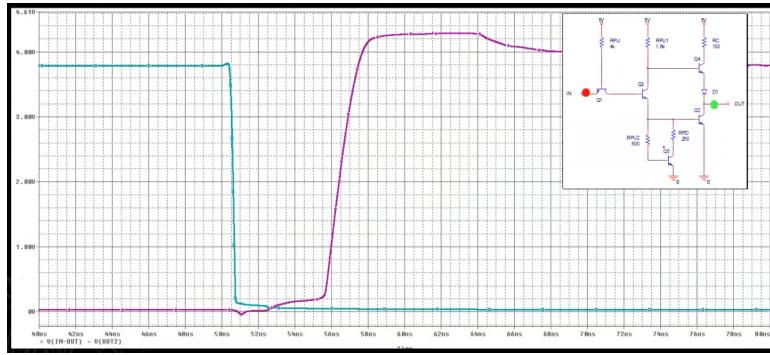


Figura 3.30: Grafico assorbimento corrente in presenza di APD.

## 3.6 MOS logic cell - Porte logiche MOS

Questa famiglia logica non usa più transistor bipolari, ma passa ai MOSFET: in questo caso si utilizzando i MOSFET **ad arricchimento**, come descritti nel paragrafo a loro dedicato. Tuttavia esistono anche i MOSFET **a svuotamento**, i quali funzionano in modo inverso, in quanto il canale è già presente e si va ad applicare una corrente per rimuoverlo.

### 3.6.1 CMOS - Complementary MOS

Andiamo ora a descrivere una famiglia detta **Complementary MOS** o CMOS, questo perché vengono utilizzati entrambe le tipologie di transistor ad effetto di campo, sia quelle a canale n sia quelle a canale P. Un vantaggio nell'utilizzo di transistor MOS per realizzare porte logiche è la possibilità di realizzare dispositivi molto compatti e che consumano meno rispetto alle precedenti famiglie logiche.

Le equazioni che guidano la corrente sono:

$$\begin{aligned} I_D &= K[2(V_{GS} - V_t)V_{DS} - V_{DS}^2] \\ I_{Dsat} &= K(V_{GS} - V_t)^2 @ V_{DS} \geq V_{GS} - V_t \\ K &= \frac{1}{2}\mu C_{ox} \frac{W}{L} \end{aligned}$$

#### 3.6.1.1 CMOS - NOT

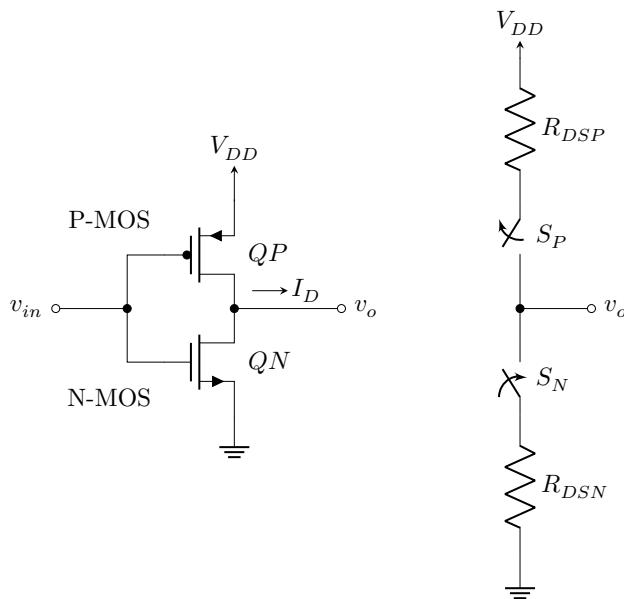


Figura 3.31: Porta NOT in logica CMOS.

Possiamo quindi apprezzare la *simmetria del circuito*, che contribuisce a semplificare la gestione.

Solitamente vogliamo che i dispositivi digitali lavorino nella regione lineare (i MOS) e in saturazione (i BJT). Nel caso dei MOS, quando sono in regione lineare funzionano come se fossero delle resistenze connesse ad un interruttore (l'interruttore si apre quando il CMOS è interdetto).

In base al valore del segnale in ingresso  $v_i$  il circuito equivale alla configurazione sulla destra della figura con:

- Con ingresso *basso*, l'interruttore  $S_P$  è chiuso, mentre è aperto l'altro  $S_N$ , quindi entra la tensione  $V_{DD}$ . Il valore del segnale in uscita è quindi *alto*.
- Con l'ingresso *alto*, l'interruttore  $S_P$  è aperto, invece l'interruttore  $S_N$  è chiuso, il quale è collegato a terra. In uscita abbiamo quindi un segnale *basso*.

Per tracciare la *caratteristica*<sup>10</sup>, ovvero il grafico che pone in relazione la tensione in ingresso e quella in uscita, devo porre l'ipotesi che la corrente sul drain del transistor N-MOS sia la stessa che c'è sul drain sul transistor P-MOS,  $i_{DP} = i_{DN}$ . Questo viene *garantito* dal fatto che in condizioni statiche la corrente di gate è quindi  $i_{iH}/i_{iL} \sim 0$ ; inoltre l'ingresso è collegato direttamente al gate, il quale è fisicamente separato dal circuito. Sempre in condizioni statiche abbiamo che le correnti di drain dei due transistor si equivalgono: sia in uscita che in ingresso sono entrambe pari a zero.

Sappiamo che per la tensione d'ingresso a 0 otteniamo in uscita  $V_{DD}$ , e per la tensione d'ingresso con valore  $V_{DD}$  ottengo 0 in uscita. Di conseguenza sappiamo anche che:

$$\begin{aligned} V_{DS_n} &= V_{out} \\ V_{GS_n} &= V_{in} \\ V_{DS_p} &= V_{DD} - V_{out} \\ V_{GS_p} &= V_{DD} - V_{in} \end{aligned}$$

Se volessi rappresentare l'andamento della corrente del P-MOS, possiamo notare come  $V_{DS_p}$  vada nel verso opposto di  $V_{DS_n}$ : sapendo che tra i due transistor deve passare la stessa corrente si trova l'intersezione tra le due curve della corrente dei MOS, con una particolare condizione. A questo punto metto a sistema le equazioni dei due MOS:

$$\begin{aligned} I_D &= K[2(V_{GS} - V_t)V_{DS} - V_{DS}^2] \\ K_P &= \frac{1}{2}\mu_P C_{ox} \frac{W_P}{L_P} \\ K_N &= \frac{1}{2}\mu_N C_{ox} \frac{W_N}{L_N} \end{aligned}$$

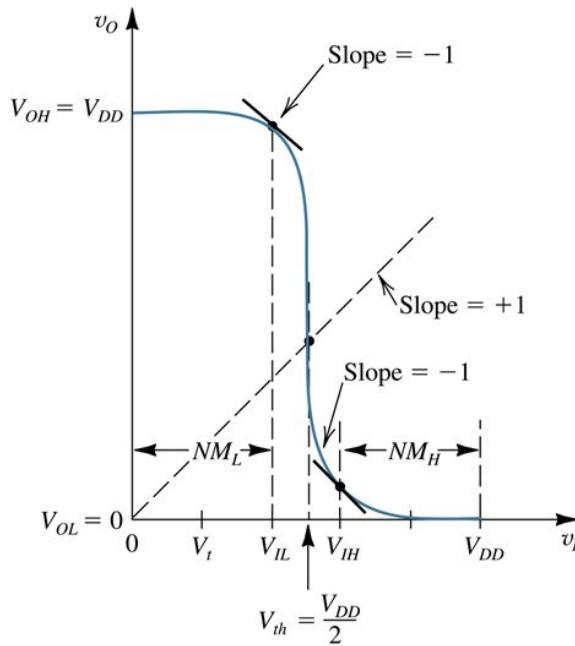


Figura 3.32: Caratteristica di trasferimento della tensione dell'inverter CMOS quando  $K_P$  e  $K_N$  sono uguali.

<sup>10</sup>Funzione di trasferimento ingresso-uscita.

Ponendo infatti che le due costanti  $K_P$  per il P-MOS e  $K_N$  per l'N-MOS si equivalgano ottengo che le due rispettive equazioni della corrente di drain siano **uguali!** L'unica differenza è che una parte da 0 e cresce positivamente verso  $V_{DD}$  e l'altra parte dalla  $V_{DD}$  e diminuisce verso zero: sono l'una il complementare dell'altra. Il grafico quindi diventa **anti-simmetrica<sup>11</sup> rispetto al centro** (che si trova in  $\frac{V_{DD}}{2}$ ). Ciò è un risultato *desiderato*, in quanto il parametro del *Noise Margin* nel caso in cui il funzionamento del dispositivo è esattamente simmetrico il margine di rumore alto **sarà uguale** al margine di rumore basso, quindi ottimizzo le risorse della porta logica.

Andando più nel dettaglio si possono identificare diversi punti: alcuni tra i più importanti sono quelli dove **la pendenza è pari ad 1 (in valore assoluto)**, che è dove solitamente si prendono i valori della tensione in ingresso:

$$\begin{aligned} V_{iH} &= \frac{1}{8}[5V_{DD} - 2V_t] \\ V_{iL} &= \frac{1}{8}[3V_{DD}2V_t] \end{aligned}$$

### 3.6.1.2 Parametri statici e dinamici CMOS

Gli altri parametri sono i seguenti

$$\begin{aligned} V_{oH} &= V_{DD} \\ V_{oL} &= 0 \\ NM_L = NM_H = NM &= V_{iL} \end{aligned}$$

Per quanto riguarda la tensione in uscita “alta” e “bassa”, sapendo che non scorre corrente staticamente in questa porta logica e per come abbiamo strutturato il circuito (vedi versione con le resistenze per ogni singolo MOS), la tensione di uscita è pari a quella presente in ingresso, **perché non vi è caduta di tensione sulle resistenze!** Per i margini di rumore basta utilizzare le equazioni delle tensioni in ingresso ed otteniamo i valori.

Se si volesse massimizzare il margine di rumore si potrebbe andare ad intervenire sulla formula per fare in modo che i due valori si avvicinino fino a diventare uguali in  $\frac{V_{DD}}{2}$ . Ma si può modificare solo alzando la tensione di soglia  $V_t$ , che dovrà essere anche lei posizionata nel mezzo; tuttavia ciò sarebbe erroneo, perché renderebbe la curva meno ripida, e di conseguenza la transazione sarebbe meno rapida/brusca/ripida. Questo accade se separo le tensioni, prendendo una tensione di soglia più bassa di  $\frac{V_{DD}}{2}$ . Solitamente abbiamo  $V_{iH} \sim \frac{2}{3}V_{DD}$ ,  $V_{iL} \sim \frac{1}{3}V_{DD}$ . Un altro motivo per cui non vogliamo che la tensione di soglia sia nel mezzo è perché in quel caso scorre una corrente nel circuito.

Nel caso dei CMOS il parametro della tensione di alimentazione è lasciato abbastanza libero! Niente ci obbliga ad avere una determinata tensione, a differenza della famiglia TTL la quale è legata alla tensione di soglia della giunzione p-n, che ricordiamo essere pari a 0,7V. Un vantaggio che deriva dalla possibilità di selezionare tensioni più basse se necessario è quello della **riduzione della dimensione dei dispositivi!** A tensioni più basse posso formare dei MOS con un canale più corto, posso inserirne di più nello stesso spazio.

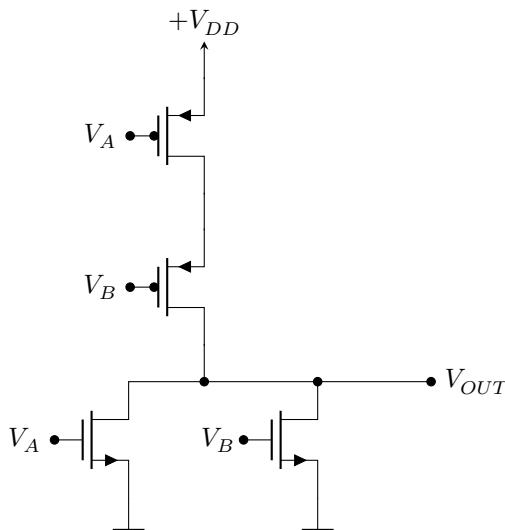
## 3.6.2 Altre porte logiche

### 3.6.2.1 CMOS NOR

Per realizzare questa porta logica si utilizzano 4 MOSFET:

---

<sup>11</sup>Ricordo che ciò è dovuto all'uguaglianza delle due equazioni.



(a) NOR in logica CMOS.

A	B	$A+B$
0	0	1
1	0	0
0	1	0
1	1	0

(b) Tabella di verità della porta NOR.

Figura 3.33: Porta NOR in CMOS

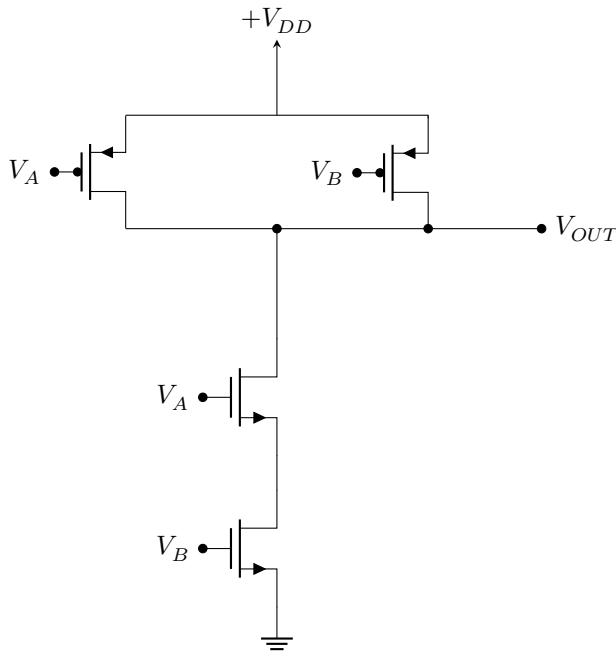
### Comportamento NOR-CMOS

Se l'ingresso delle tensioni  $V_A$  o  $V_B$  posto nella parte bassa del circuito ha valore alto, il ramo superiore viene *spento* (il ramo è costituito da due MOS in serie, per cui se ne spegne uno si spengono entrambi). In altre parole, basta che uno dei suoi transistor N-MOS (posti in parallelo) abbia un valore alto in ingresso per portare l'uscita a massa.

Invece, per quanto riguarda il lato superiore<sup>a</sup>, se **entrambi** i P-MOS sono accesi, ovvero entrambi gli ingressi sono collegati a massa otteniamo in uscita la tensione di alimentazione  $V_{DD}$ !

<sup>a</sup>Gli ingressi A e B sono collegati, se è chiuso l'interruttore sotto sarà aperto sopra!

#### 3.6.2.2 CMOS NAND



(a) NAND in logica CMOS.

A	B	$A \cdot B$
0	0	1
1	0	1
0	1	1
1	1	0

(b) Tabella di verità della porta NAND.

Figura 3.34: Porta NOR in CMOS

### Comportamento NAND-CMOS

È una porta *complementare* alla NOR, sempre composta da 4 transistor MOSFET. In questa porta logica però abbiamo i due P-MOS in parallelo e i due N-MOS in serie! Infatti la porta NAND restituirà il valore 0 solo se entrambi gli ingressi sono alti<sup>12</sup>! Altrimenti se almeno un ingresso è spento almeno un transistor a canale P sarà acceso, portando in uscita la tensione di alimentazione (alta).

<sup>12</sup>Transistor N-MOS entrambi spenti.

Ecco un confronto tra TTL e CMOS:

TTL	CMOS
A causa delle giunzioni p-n ha un'alimentazione fissa pari a 5V <sup>12</sup>	Alimentazione variabile (la porta può essere alimentata con tensioni anche diverse rispetto a quelle per la quale è stata progettata)
$V_i : 0.9V - 1.4V$ (i valori commerciali sono $0.8V - 2V$ ) Le tensioni sono fisse perché è definito dal basso, senza partire dai 5V in alimentazione.	$V_i : \frac{1}{3}V_{DD} - \frac{2}{3}V_{DD}$ , tendono a scalare con la tensione di alimentazione
$V_{oL} : 0.2V$ transistor in saturazione a massa. $V_{oH} : 3.6V$ diodo, trans. e resistenza $R_C$ in serie, circa 3.3V	$V_{oL}$ : resistenza del canale NMOS $V_{oH}$ resistenza del canale PMOS (circa $10\Omega$ ciascuna) sono simmetriche l'una rispetto all'altra. Tollera quindi $10 - 20mA$
bias (di polarizzazione) currents (che circolano) e input currents contribuiscono alla dissipazione della potenza	corrente assorbita pari a 0 (in condizione statica, quando segnale è logico) (a volte capita di avere consumo statico purtroppo)

### Osservazione

I dispositivi TTL possono guidare correnti elevate! Questo grazie all'uso dei transistor BJT, i quali hanno capacità di uscita (in termine di corrente) nettamente superiori, nell'ordine dei  $60 - 80mA$  quando si trovano in saturazione.

Il motivo per cui i CMOS non sono così "efficienti" sullo stadio di uscita è il fatto che questa tipologia di transistor lavora sulla *superficie del silicio*, mentre nel processo bipolare lo attraversano.

### 3.6.3 Bi-CMOS

È una famiglia logica *ibrida*, in quanto integra sullo stesso chip sia transistor a tecnologia CMOS che BJT: in questo modo otteniamo una tecnologia con:

- i vantaggi della famiglia CMOS, ovvero l'*alta integrabilità ed il basso consumo di energia statica*;
- i vantaggi dei transistor, e quindi dei circuiti, bipolar, ovvero quello di *guidare correnti elevate in uscita!*

Da un punto di vista *realizzativo* è possibile suddividere nuovamente i circuiti Bi-CMOS in:

- compatibili con i dispositivi CMOS, i quali hanno una tensione di alimentazione  $V_{DD}$  tra i  $3,3V$  e i  $2,5V$ ;
- compatibili con i dispositivi TTL, che invece avranno una tensione di alimentazione di  $5V$ .

Ciò dipenderà dai valori di  $V_{iH}$ ,  $V_{iL}$  e  $V_{oH}$ ,  $V_{oL}$  scelti.

Questo circuito in figura, che realizza un inverter, oltre ad avere lo stadio d'uscita composto da due transistor NPN, ha un ingresso di tipo CMOS, dato che è fatto in modo molto simile ad una porta CMOS ed anche l'uscita è compatibile CMOS eccetto per il fatto della caduta di tensione sull'NPN Q1, che produrrà una tensione in uscita (in caso di segnale alto in uscita) pari a  $V_{out} = V_{DD} - V_{be-Q1}$

<sup>12</sup>Ne esistono alcune a  $3.3V$

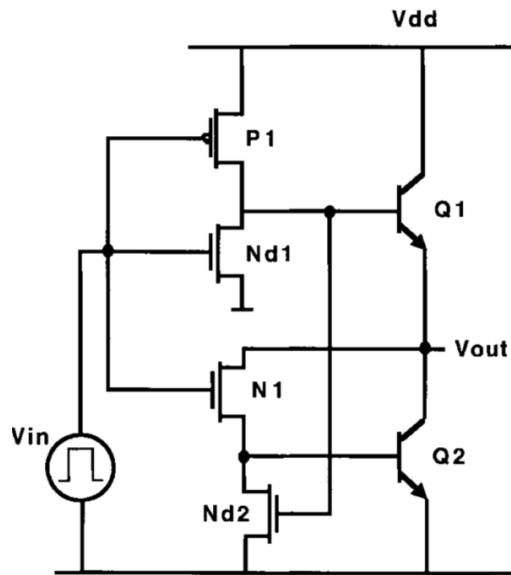


Figura 3.35: Inverter realizzato in logica Bi-CMOS, compatibile con CMOS.

### Funzionamento del circuito

Quando la tensione in ingresso  $V_{in}$  è pari ad un segnale alto, in uscita otterremo un segnale basso. In questo caso il transistor NPN Q1 sarà spento (si trova in interdizione), mentre l'NPN Q2 viene acceso dall'N-MOS N1, il quale essendo *chiuso* è riconducibile alla sua resistenza di canale.

Quando il segnale in ingresso è basso, otterremo in uscita un valore alto. Questo perché si chiude il transistor Nd2, si spengono Q2 e N1: l'uscita è quindi governata dal transistor Q1, il quale è in regione attiva diretta. Quindi:

$$V_o = V_{DD} - 0,7$$

A livello dinamico le transizioni sono rapide, grazie ai transistor Nd1 e Nd2, i quali svuotano i BJT Q1 e Q2.

Esiste una versione dell'inverter compatibile con la famiglia TTL.

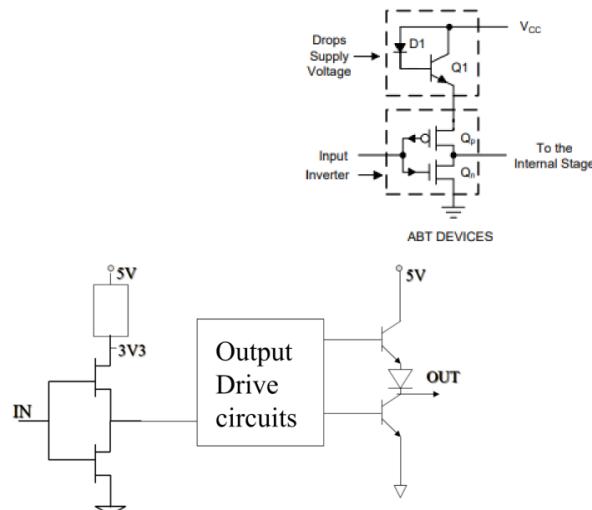


Figura 3.36: BiCMOS inverter compatibile con TTL.

# Capitolo 4

## Logica combinatoria “contro” logica sequenziale

Le funzioni logiche si dividono in due categorie:

- *combinatorie*;
- *sequenziali*.

### 4.1 Logica combinatoria

Una funzione logica può essere definita come:

$$y = f(x)$$

dove  $x$  può essere anche un vettore. Viene utilizzata con l’algebra booleana. Per esempio definiamo la funzione AND come:

$$\text{and}(x_1, x_2) = x_1 \cdot x_2, x_1, x_2 \in \{0, 1\}$$

con 0 che assume il significato di valore logico *basso* e 1 di valore logico *alto*.

#### Osservazione

Possiamo quindi dire che per logica combinatoria si intende una funzione logica  $f$  che applicata ad un certo ingresso  $x$  restituisce un risultato  $y$ .

**La funzione *non cambia nel tempo* (è una funzione statica) e non ha memoria.**

### 4.2 Logica Sequenziale

Viene definita come una funzione logica che *evolve* in step temporali. Di solito viene descritta da funzioni combinatorie quali:

$$\begin{aligned} y_n &= f_1(x, M_n) \\ M_{n+1} &= f_2(x_n, M_n) \end{aligned}$$

$f_1$  e  $f_2$  sono funzioni combinatorie, mentre  $M_n$  è lo stato all’istante  $n$ , ovvero la memoria del sistema.  $M_{n+1}$  definisce la variazione dello stato al variare dell’ingresso e dallo stato attuale. Il segnale *sincronizzato* con cui il sistema scandisce il passaggio da  $n$  a  $n + 1$  viene detto **clock**; per ogni istante da esso scandito viene aggiornata la memoria  $M_n$ .

Una caratteristica della logica sequenziale è che a ingressi uguali (in istanti di tempo diversi) possono corrispondere uscite diverse.

**Esempio: contatore up sincrono con segnale *enable*.**

- Ingresso:  $X = E$  (1 bit)
- Uscita:  $Y_n = M_n$
- Stato:  $M_{n+1} = M_n + E_n$

Per valori di ingresso uguali varia l’uscita (è una rete non combinatoria).

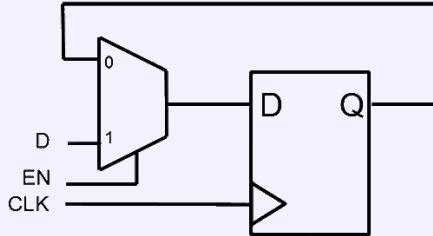


Figura 4.1: Contatore UP: il sommatore rappresenta la parte combinatoria della rete.

#### 4.2.1 Elementi di memoria

L’elemento di memoria più diffuso è il flip-flop di tipo D o delay. È un dispositivo che permette il passaggio del dato sul *fronte*<sup>1</sup> del clock; dopodiché il dato memorizzato rimane stabilmente fisso indipendentemente dal valore che assume (legge) il bit D **fino al successivo fronte di clock positivo** (e quindi il bit Q sarà aggiornato). Il bit D rappresenta il dato in ingresso, il bit Q il dato in uscita. Il flip-flop D è costituito da porte tutte uguali, in questo caso sono delle NAND.

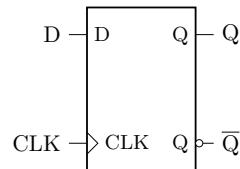


Figura 4.2: Flip-flop di tipo D

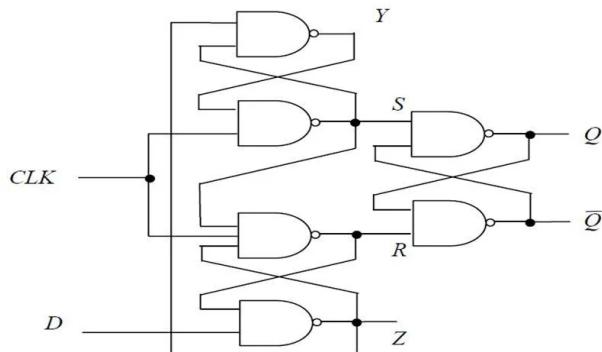
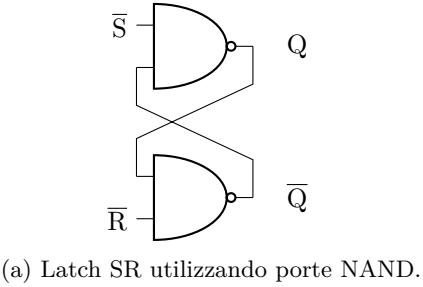


Figura 4.3: Flip flop D utilizzando latch SR

Per capire come funziona il flip-flop di tipo D andiamo a vedere come funziona il suo elemento base, ovvero il *latch SR*!

<sup>1</sup>Il fronte d’onda del clock è il momento in cui il segnale di clock cambia stato, passando da basso (0) ad alto (1) o viceversa. Si parla di “fronti di salita” quando il segnale passa da 0 a 1, mentre il “fronti di discesa” quando passa da 1 a 0.

### 4.2.1.1 Latch SR



$\bar{S}$	$\bar{R}$	$Q_{new}$	$\overline{Q}_{new}$	
1	1	$Q_{old}$	$\overline{Q}_{old}$	hold
0	1	1	0	set
1	0	0	1	reset
0	0	1	1	combinazione proibita

(b) Tabella di verità del latch SR con  $\bar{S}$  e  $\bar{R}$  attivi bassi.

Figura 4.4: Latch SR

Il latch SR è un elemento formato da due porte NAND collegate in retro-azione. Gli ingressi sono il bit  $S$ , o Set, e  $R$ , Reset: il primo porta ad un valore alto il bit  $Q$  in uscita, mentre il secondo la porta a 0. In questa versione del circuito, realizzata tramite l'utilizzo di porte NAND, entrambi gli ingressi sono negati (detti anche “bassi attivi”).

- Nel caso  $\bar{S} = 1$  e  $\bar{R} = 1$  si dice che è in stato di “riposo”, infatti *conserva l'ultimo stato valido*;
- Se  $\bar{S} = 1, \bar{R} = 0$ , o viceversa  $\bar{S} = 0, \bar{R} = 1$ , domina il bit in ingresso posto a 0, portando la sua relativa uscita ad 1;
- $\bar{S} = 10$  e  $\bar{R} = 0$  è una configurazione **impossibile/illegale**: a causa delle differenze tra gli elementi, se commutano sia Set che Reset quando sono entrambi posti a 0 non è determinato il valore di  $Q$ , che potrebbe essere sia 0 che 1. Allo stesso momento, se considero  $Q$  e  $\overline{Q}$  con valori opposti ed entrambe hanno valore 1 viene introdotto un errore<sup>2</sup>.

### 4.2.1.2 Analisi positive edge triggered flip-flop - flip-flop

Ritornando al circuito precedente completo, possiamo notare come esso sia *sensibile* (alla variazione dell’ingresso?) sul fronte *positivo* del clock. Di seguito abbiamo la tabella di verità del flip-flop, dove  $\uparrow$  rappresenta il fronte positivo e la  $x$  il *don't care*<sup>3</sup>

C	D	$Q_{new}$	$\overline{Q}_{new}$	
0	x	$Q_{old}$	$\overline{Q}_{old}$	hold
1	x	$Q_{old}$	$\overline{Q}_{old}$	hold
$\uparrow$	0	0	1	reset
$\uparrow$	1	1	0	set

Tabella 4.1: Tabella di verità.

Da qui ricaviamo che:

- quando il clock  $C = 0$  viene mantenuto il valore di  $Q$  anche in uscita;
- quando siamo sul fronte positivo del clock e  $D = 0$ , in uscita il bit  $Q = 0$ : abbiamo quindi il Reset;
- quando siamo sul fronte positivo del clock e  $D = 1$ , in uscita avremo il bit impostato su un valore alto,  $Q = 1$ , ottenendo Set.

<sup>2</sup>È un’uscita illogica.

<sup>3</sup>Non ci interessa quale valore assuma.



# Capitolo 5

## Circuiti integrati commerciali (IC)

Le funzionalità logiche precedentemente discusse sono implementate nelle seguenti modalità:

- Comprando celle logiche di base, come delle porte AND, NAND, NOR, etc. o anche funzioni *accessorie* come possono essere i buffer;
- Si possono comprare anche direttamente delle **logiche programmabili**, ad esempio FPGA (*Field Programmable Gate Array*): sono circuiti integrati *versatili* la cui logica può essere programmata e riprogrammata andando a creare delle matrici di porte logiche, le quali combinate “producono” il circuito logico complesso più adatto alle proprie esigenze;
- Altrimenti si possono utilizzare i cosiddetti ASIC (*Application Specific Integrated Circuit*), che sono dei circuiti integrati sviluppati direttamente ad-hoc per applicazioni specifiche. È la categoria più costosa.

Sappiamo che le logiche standard (di base) sono costruite tramite l'utilizzo di più famiglie logiche (TTL, MOS), e ciascuna di queste è andata a coprire le più disparate necessità in termini di velocità e/o consumo di potenza. Nel passato infatti i sistemi digitali venivano realizzati utilizzando *molte circuiti integrati elementari*, ognuno dei quali andava ad eseguire una funzione specifica. Al giorno d'oggi sono stati rimpiazzati da un **unico componente logico programmabile** (PLD), come l'FPGA, che contiene al suo interno migliaia di porte logiche, flip-flop etc.

Le motivazioni principali che rendono sensato integrare più componenti in un singolo circuito sono:

- ridurre le dimensioni totali utilizzate, in modo tale da ridurre le correnti/capacità *parassite*<sup>1</sup>;
- aumentare la velocità di propagazione, grazie a tempi di propagazione ridotti.
- minori consumi

Le singole porte tipo buffer, registri e gate servono però a legare insieme più circuiti (anche incompatibili).

Un circuito moderno possiede queste macro-componenti:

- 1) logica programmabile:
  - FPGA, linguaggio di basso livello per programmazione di porte logiche;
  - micro controllori -  $\mu C$ ;
  - digital signal processors - dsp: processore più potente del microcontrollore e progettato specialmente al fine di elaborare segnali;
- 2) glue logic: utilizzo di porte logiche per interconnettere componenti;
- 3) Front-end ICs: circuiti integrati che si occupino di interfacciare l'intero circuito con l'esterno:
  - interfacce digitali: funzioni di i/o;
  - sistemi ibridi digitale/analogico: convertitori ADC o DAC;
- 4) Sistemi di (sincronizzazione del) clock;
- 5) Alimentazione e controllo della potenza;

### 5.1 Packaging dei circuiti integrati

Il packaging<sup>2</sup> è una parte molto importante dei circuiti integrati perché:

- determina la quantità di area occupata;

---

<sup>1</sup>Sono effetti indesiderati sulla prestazione e funzionalità dei circuiti integrati causati dalle proprietà fisiche dei materiali, componenti ed interconnessioni nel layout

<sup>2</sup>È il contenitore in cui viene racchiuso il chip (o die) del circuito integrato; quindi come viene organizzato.

- cambia gli effetti parassiti a livello di package: più piccolo è il package, più piccole sono le interconnessioni, più piccole sarà l'induttanza e di conseguenza la “capacità/effetti” parassita;
- più piccolo è il package e meno contatti si può mettere;

### Riassunto

In definitiva il packaging degli ICs è molto importante perché determina lo spazio occupato e perché più grandi sono più soffrono gli effetti parassiti. Inoltre più piccolo è il package e migliori saranno le prestazioni

In base alla forma, la dimensione, l'utilizzo si possono distinguere più tipologia di package.

#### 5.1.1 Dual-in-Line package (DIP)

Una delle prime tipologie di packaging realizzate: è formato da un corpo di resina con intorno dei *piedini* (che sono through-hole, ovvero che passano attraverso la scheda) distanti l'uno dall'altro circa un decimo di pollice o 2,54cm. Sono molto grandi, perché le macchine che si occupavano di assemblare i circuiti integrati non potevano lavorare con oggetti più piccoli. Tuttavia il chip di silicio rispetto al suo corpo in resina è molto più piccolo, ed è interconnesso tramite piccoli fili in oro ai piedini/pin: *ciò determina un aumento di effetti/componenti parassiti!*

#### 5.1.2 Surface Mounted Devices (SMD)

Tecnologia più recente rispetto ai DIP: ne “ereditano” la forma, ma ne riducono *drasticamente* la distanza tra i pin. Infatti questa è massimo 50 mils<sup>3</sup>, pari a 1,27mm. A parità di piedino occupano quindi fino a  $\frac{1}{4}$  di volte l'area che occuperebbe un dispositivo DIP equivalente.

Una differenza rispetto ai DIP risiede nel fatto che i pin del dispositivo vanno appoggiati sulla superficie del dispositivo e saldati sulla zone apposite del PCV, senza farli prima passare dietro la scheda.

#### 5.1.3 Ball Grid Array (BGA) e Land Grid Array (LGA)

Questi dispositivi hanno i propri piedini su tutta la superficie: per quanto riguarda il BGA sono delle palline di stagno poste al di sotto del chip stesso. I contatti saranno realizzati con una griglia di pad posizionati al di sotto del componente, mettendo le schede in un forno ad alta temperatura che effettueranno la saldatura. La distanza tra le palline è (1,27mm-0,04mm). È difficile che ci siano problemi di cortocircuito

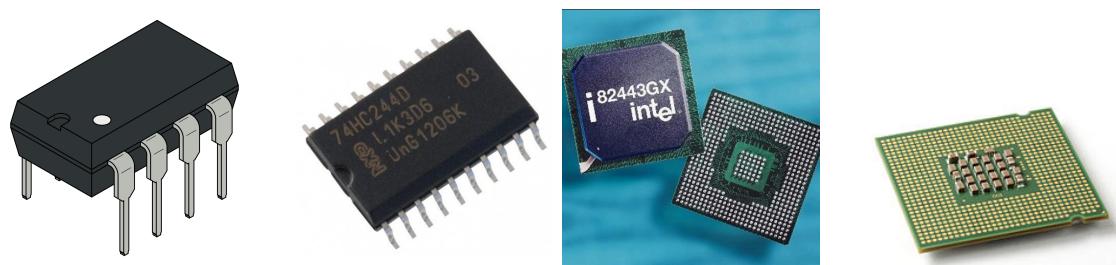
A parità di contatti si riesce ad ottenere una dimensione del chip molto piccola (aumento rapporto pin/area), con meno effetti parassiti e di conseguenza anche prestazioni maggiori.

I chip LGA invece hanno sotto il chip stesso tanti contatti in rame sottoposto a doratura lungo la superficie, invece dei pin, che si trovano direttamente sulla scheda madre.

Tra i principali vantaggi di questo tipo di connessione vi sono i minori costi produttivi, la possibilità di aumentare la densità dei pin e la superficie di contatto tra processore e socket, permettendo un flusso di corrente più stabile anche a frequenze elevate.

#### 5.1.4 Bare die

Una delle tecniche più avanzate (infatti viene usato con gli ASICs) consiste nel posizionare ed assemblare il circuito direttamente sul circuito stampato (o PCB) senza usare il packaging. Queste tecniche sono dette *bare die* e sono utilizzate per risparmiare nella realizzazione di un numero elevatissimo di dispositivi uguali.



(a) [DIP: Dual In-line Package]

(b) SMD: Surface Mounted Device

(c) [BGA: Ball Grid Array]

(d) LGA: Land Grid Array]

Figura 5.1: Diverse tipologie di packaging.

<sup>3</sup>1 mils = 0,001 in

## 5.2 Famiglie logiche standard

Abbiamo visto come sono fatte a livello *circuitale* alcune famiglie logiche. Ora invece analizzeremo la loro organizzazione, le loro caratteristiche e cosa è presente sul mercato.

Una prima distinzione può essere la tensione con la quale queste famiglie operano.

### 5.2.1 Famiglie logiche a 5V

Sono famiglie progettate per operare con una di tensione di alimentazione pari a 5V: questo le ha rese superflue, a causa della mancanza di capacità di adattarsi a tensioni in ingresso (input) diverse.

#### Tensioni in ingresso minori

Prendendo una porta logica a 5V, se ne riduco la tensione nominale di utilizzo (per esempio fino a 3V), allora la porta logica rallenta. Viceversa se creo famiglie che funzionano appositamente a tensione più basse ottengo una diminuzione dei tempi di propagazione.

#### 5.2.1.1 Famiglie bipolarì

All'interno di queste si distinguono:

- TTL standard;
- TTL L\*S (*low power Schottky*): usano un transistor Schottky (ovvero una giunzione metallo-semiconduttore), che è più veloce;
- ALS (advanced low power Schottky) usa la metà della potenza e velocità doppia;
- F (fast): hanno la massima velocità, ma un alto consumo.

Queste ultime due famiglie sono ancora esistenti ed usate: anche se solitamente sono device di tipo F che vengono utilizzati solo quando i CMOS equivalenti non sono disponibili, solitamente quando è necessario gestire correnti elevate in uscita.

Le famiglie *low-power* venivano ottenute utilizzando resistenze di polarizzazione, riducendo la velocità.

#### 5.2.1.2 Famiglia CMOS

Esistono per i CMOS le seguenti varianti:

- AHC (Advanced High-speed CMOS): viene utilizzato nella logica *generica*;
- AC (Advanced CMOS): usato quando è necessario ottenere prestazioni elevate;

#### Osservazione 1

Ad oggi si tende ad utilizzare famiglie logiche con tensione di alimentazione da 3,3V, le quali coprono la maggior parte della compatibilità. Nel resto dei casi vengono utilizzate famiglie logiche a basso voltaggio - bassa potenza.

#### Osservazione 2

Anche se le famiglie CMOS supportano diverse tensioni di alimentazione, impiegarne una diversa da quella di progettazione non è consigliato perché riduce le prestazioni rispetto a famiglie logiche progettate per tensioni d'ingresso minori in partenza.

Ci sono anche CMOS “normali” alimentati tra i 5 – 15V ma sono molto delicati.

### 5.2.2 Famiglie a basso voltaggio - Bi-CMOS

Sono famiglie più moderne. Tra queste abbiamo:

- LV,LVC (Low Voltage CMOS) per un utilizzo generico ma possono funzionare a tensioni più alte;
- ALVC, ALVC (Advanced Low Voltage CMOS), velocità massima/elevata ma la tensione deve essere < 3,3V;
- ALVT (Advanced Low Voltage BiCMOS), massime prestazioni e minimo consumo, si accende con 0,7V.

I Bi-CMOS sono usati raramente, per avere bassa impedenza di uscita, come per la gestione di bus ad alta velocità.

### 5.2.3 Acronimi

Esiste uno standard per la nomenclatura degli ICs, in modo tale da identificare tramite il nome tutte le caratteristiche essenziali dell'integrato:

1. sigla del produttore
2. 74 = circuiti commerciali, 54 = circuiti militari (la differenza è che i circuiti militari sono garantiti per funzionare anche in situazioni più estreme)
3. famiglia logica (TTL/CMOS, 5V/LV,...)
4. funzione che svolge (e quindi è possibile sapere anche che porte ci sono dentro, tipo AND/OR, counter,...)
5. package
6. range di temperatura a cui lavora

Esempio:

SN 74 AC 00 – xxx

Tutte le informazioni necessarie di un circuito integrato sono presenti all'interno del suo datasheet.

## 5.3 Comparazione di circuiti integrati

La scelta di un integrato, oltre che a fattori ambientali (quali la scelta del numero minore possibile di famiglie logiche utilizzate) è influenzata dai seguenti fattori:

- velocità: sia quella di i/o (delay, riardo di propagazione) che la frequenza massima di clock;
- capacità di drive (guidare l'uscita): ovvero la capacità di erogare la quantità *adeguata* di corrente (fondamentale nella gestione di bus) ad un dato carico;
- consumo di corrente: soprattutto nei CMOS.

Ciascuna famiglia offre un compromesso tra queste caratteristiche. La velocità, in una certa famiglia, è strettamente legata (inversamente proporzionale) al consumo di potenza. Le famiglie BiCMOS il consumo di potenza è elevato (possono essere utilizzate in caso mi serva elevata corrente d'uscita).

### 5.3.1 Problemi di interconnessione (voltaggi e i/o)

#### 5.3.1.1 Dare in ingresso un valore

L'ingresso di un circuito logico può essere visto come un interruttore, con valore logico 0/1. Assumiamo che il valore 1 sia pari alla  $V_{cc}$  (tensione alta) e che il valore 0 sia GND (tensione bassa). Bisogna capire come connettere il circuito al l'interruttore.

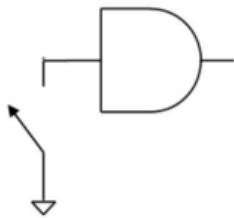


Figura 5.2: Sbagliato

Questo circuito è sbagliato, in quanto funziona bene solo quando l'interruttore è “on”, ma quando è spento il terminale della porta è flottante, ovvero se l'interruttore è aperto lo stato logico *oscilla*. È quindi buona norma usare degli ingressi *completamente determinati*, con le seguenti configurazioni.

- possiamo aggiungere la resistenza se l'interruttore è aperto, in modo tale che l'ingresso sia portato al valore della tensione di alimentazione, riconosciuto quindi come valore alto. Se l'interruttore si chiude passa a 0. Il valore della resistenza viene scelto in modo tale che la corrente sia bassa;
- altrimenti viene invertita la funzione logica, con lo stato on che diventa  $V_{cc}$  e off 0V.

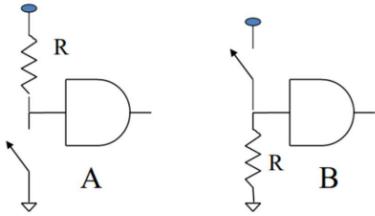


Figura 5.3: Ingressi corretti.

Entrambe le modalità sono equivalenti solo se l'integrato ha un ingresso ad alta impedenza ( $I_{in} \sim 0$ , come nella famiglia CMOS). Si tende ad utilizzare la prima soluzione in quanto è equivalente allo (compatibile con lo) stadio di ingresso di un circuito TTL.

Prendendo per esempio l'ingresso della porta logica NOT TTL e gli forniamo un ingresso basso otteniamo  $I_{iL} \sim 1mA$ . Nel circuito di tipo B otterremo una tensione notevole sulla resistenza: ipotizzandola di soli  $100\Omega$  la tensione in ingresso sarebbe comunque  $\sim 1V$ , molto lontano dagli  $0V$  ipotizzati. Ma non va bene neanche abbassare troppo il valore della resistenza in quanto aumenterebbe il consumo di corrente a switch chiuso.

Il circuito A funziona bene sia con un ingresso alto che con uno basso (anche se nei TTL la resistenza si può omettere, ma è bene usarla).

### 5.3.1.2 Pin inutilizzati

Solitamente gli integrati implementano più volte la stessa funzione logica e quindi p logico suppone che non tutti i pin vengano utilizzati.

Se è possibile ignorare i pin dello stadio di uscita, non possiamo trascurare i pin in ingresso soprattutto se essi sono ad alta impedenza come nel caso della famiglia CMOS. Infatti in questo caso del rumore elettronico potrebbe generare una corrente che per quanto piccola può comportare un potenziale (alto a causa della resistenza molto grande).

Avere tensioni *intermedie* porta invece a prolungate situazioni di cross-conduction normalmente non previsto: come conseguenza si ha un maggiore consumo di corrente, oppure addirittura si rischia di bruciare direttamente tutto l'integrato.

Per evitare tutto ciò i pin inutilizzati sono collegati o alla massa o all'alimentazione utilizzando resistenza di pull-down o pull-up. Per la famiglia TTL il discorso è diverso, perché è possibile lasciare aperto il pin, perché sarà il pull-up della base a forzare lo stato logico della base allo stato alto. È comunque indicato l'uso di una resistenza di pull-up in modo da avere se serve compatibilità con altre famiglie logiche.

### 5.3.1.3 Relazione tensioni-correnti

L'output di un circuito logico deve garantire che:

- la tensione di uscita<sup>4</sup> deve essere *ammissibile* dall'integrato che fa da carico (l'uscita alta deve essere letta come alta);
- la corrente di uscita deve essere *sufficiente* a far operare il carico.

Lavorando con una sola famiglia logica garantisce queste due richieste, ma connettendo più famiglie tra loro necessita una verifica della compatibilità: il range dell'output garantito è compreso nel range dell'input garantito:

$$\begin{aligned} V_{OH-min} &> V_{iH-min} \\ V_{OL-max} &< V_{iL-max} \end{aligned}$$

Portando tutto in termini di Noise Margin devo utilizzare il **worst case design**: considero quindi i valori peggiori:

$$\begin{aligned} NMH &= V_{OH-min} - V_{IH-min} \\ NML &= V_{IL-max} - V_{OL-max} \end{aligned}$$

Per quanto poco probabili garantiamo così un circuito più affidabile: infatti se tali condizioni non sono soddisfatte il circuito può non funzionare.

- costruzione del circuito (drogaggio del semiconduttore, non particolarmente controllabile)

<sup>4</sup>che ricordiamo consistere nell'avere entrambi i MOS in conduzione.

- temperatura del circuito
- $V_{cc}$

Questi ultime due sono controllabili. Non si può far affidamento sul valore tipico (valore medio di tutti i circuiti analizzati).

**5.3.1.3.1 Analisi compatibilità** Nella figura sotto andremo ad analizzare un grafico che mette a confronto le tensioni in uscita di una famiglia logica con le tensioni in ingresso per capire se sono compatibili l'una con l'altra: i rettangoli in chiaro rappresentano un intervallo *garantito in uscita*, i rettangoli scuri invece rappresentano un intervallo *ammisibile in input*.

Il *valore tipico* (indicato con una ↓) rappresenta il **valore atteso di tensione**, calcolato attraverso la media tra i processi prodotti che lavorano a temperatura e a tensione standard ( $T = 25^\circ$ ,  $V = 5.0V$ )

Il *valore di soglia tipico*<sup>5</sup> (indicato con una ↑) è un punto **ideale** in cui avviene la commutazione del segnale dal valore basso al valore alto. In realtà la commutazione avviene all'interno di un intervallo che contiene questo valore: questo intervallo va **evitato** in quanto al suo interno il segnale non è definito.

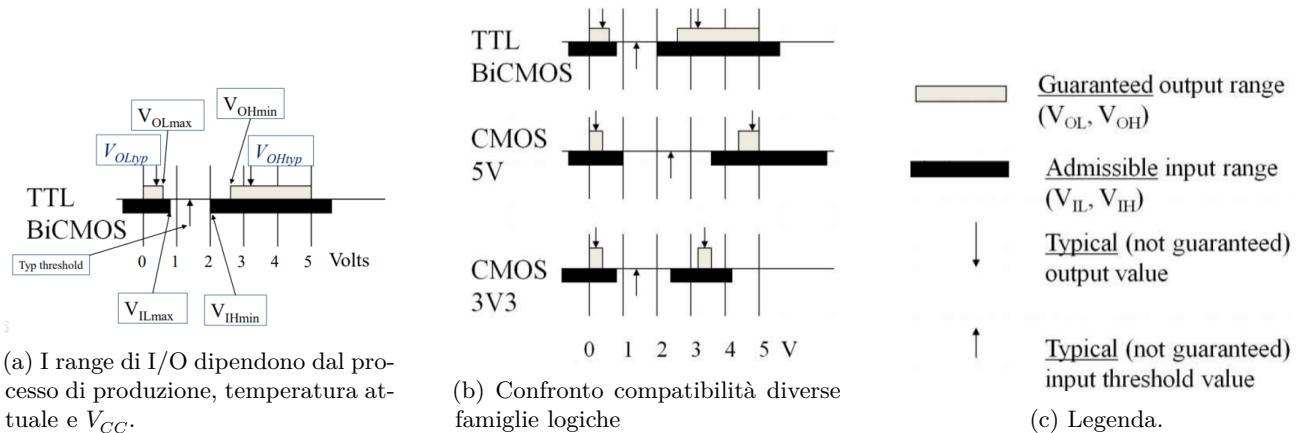


Figura 5.4: Famiglie logiche e compatibilità

Tra le famiglie TTL e BiCMOS, la compatibilità è assicurata in quanto l'intervallo di uscita garantito è compreso nell'intervallo di ingresso ammisible.

Nota: l'ingresso modificato delle famiglie BiCMOS le rende compatibili con il TTL (anche se deve essere realizzata una caduta di tensione da 5V a 3V, dato che l'input è costituito da CMOS)!

Possiamo analizzare la compatibilità anche utilizzando dei grafici *verticali* della tensione:

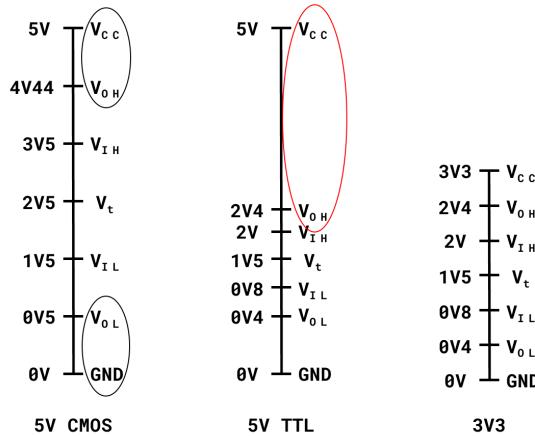


Figura 5.5: Grafici in verticale. I valori riportati sono quelli *garantiti*!

Da questo grafico possiamo evidenziare come la famiglia logica a 3,3V sulla destra, realizzata con CMOS, abbia soglie di valori identiche a quelle dei TTL (deriva dalla possibilità di far variare la tensione di soglia nei CMOS). Riassumendo:

<sup>5</sup>Credo quello superato il quale il segnale si intende possedere un valore logico alto.

- CMOS → TTL:  $V_{oH} > V_{iH}$  OK,  $V_{oL} > V_{iL}$  OK;
- TTL → CMOS:  $V_{oH} < V_{iH} \times$ ,  $V_{oL} < V_{iL}$  OK: il suo funzionamento non è garantito.

**5.3.1.3.1.1 Soluzione compatibilità 5V CMOS-TTL** Prendiamo per esempio una port logia NOT TTL che pilota a sua volta una porta logica NOT CMOS a 5V: non sussistono le condizioni di funzionamento, infatti:

$$\text{TTL } 2,4V = V_{oH-min} > V_{iH-min} = 3,5V (\text{ Per CMOS sono richiesti } 5V)$$

Per risolvere questa incompatibilità si può introdurre una resistenza di pull-up  $R_P$  tra il circuito con famiglia logica TTL e quello di famiglia logica CMOS. Riusciamo così, quando l'uscita TTL va alta a fornire corrente per sollevare l'ingresso del CMOS a 5V in un tempo ragionevole.

Dato che l'ingresso del CMOS è un condensatore (lo è assimilabile ad alta impedenza) si ha dunque un circuito RC, dove la costante di tempo per caricarlo è  $\tau = R_P \cdot C$ : affinché questa costante sia piccola, lo deve essere anche il valore della resistenza. Tuttavia questo valore non può essere nullo, altrimenti ciò potrebbe creare problemi nel momento in cui l'uscita del TTL è bassa.

A questo punto sorge un'altra domanda: *come scegliere  $R_P$ ?*

La porta logica NOT realizzata in logica CMOS richiede  $V_O > V_{iH-min}$  e che  $I_{oH} = 1mA @ V_{iH-min}$ , quindi

$$V_0 = 5V - R \cdot I_{oH} > V_{iH-min} \rightarrow V_0 = 5V - R \cdot 1mA > 3,5V \rightarrow R < 1,5V/1mA \rightarrow R < 1.5k\Omega$$

Ma la resistenza non può essere nemmeno troppo piccola, in quanto la corrente, dopo aver caricato la port NOT CMOS, scorre tutta sul circuito TTL e se cresce troppo manda il transistor in breakdown! Allora pongo i seguenti limiti di corrente:

$$I_{oL} = \frac{5V - V_{iL-max}}{R_P} < I_{oL-max} (= 10mA @ V_{iL-max}) \rightarrow R_P > 0,4k\Omega$$

Una volta rispettato questo “limite” si può scegliere il valore della resistenza  $R_P$  in base alle esigenze: bisogna però ricordarsi che più grande è e meno corrente viene consumata, a costo di tempi di ricarica  $\tau$  del NOT CMOS aumentati.

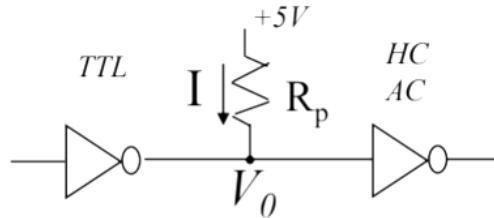


Figura 5.6: TTL con pull-up

Questo tipo di ragionamenti vanno eseguiti *conoscendo la composizione interna dell'integrato*: ignorandola non avremmo potuto considerare la possibilità dell'esistenza di un valore minimo della resistenza di pull-up.

#### Osservazione

I valori di  $I_{oL-max}$  e  $I_{oH-min}$  sono forniti dal costruttore!

#### 5.3.1.4 Caratteristiche dell'uscita

È un grafico che rappresenta come varia la tensione di uscita al variare della corrente di uscita.

Per i TTL:

- se l'uscita è *alta*, la caratteristica è determinata dalla resistenza del collettore e dalla caduta (di tensione) della giunzione p-n;
- se l'uscita è *bassa*, la caratteristica dipende dal transistor (con valore) basso in uscita, che è in saturazione.

Per i CMOS:

	$I_OH$ max (mA)	$I_O L$ max (mA)
LS00	-0,4	+16
F00	-1	+20
F244	-15	+64
AHC00	-8	+8
LVC244	-24	+24

Tabella 5.1: Tabella delle massime correnti di uscita

- se l'uscita è *alta*, la caratteristica è determinata dal P-MOS, di conseguenza dipende dalla resistenza di canale di quest'ultimo;
  - se l'uscita è *bassa*, la caratteristica dipende dal N-MOS e quindi dalla sua resistenza di canale;

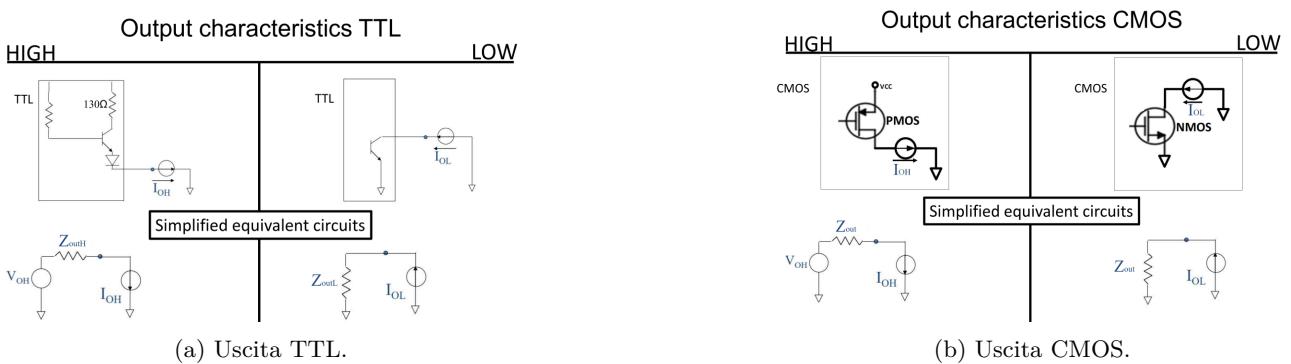


Figura 5.7: Caratteristiche di uscita.

Si ottiene la seguente tabella delle massime correnti di uscita, ovvero quelle correnti che garantiscono le tensioni  $V_{oH-min}$  e  $V_{oL-max}$ .

Le righe della tabella rappresentano porte logiche realizzate in diverse famiglie: infatti non è solo quest'ultima a determinare la corrente di uscita, ma anche la funzione! Per esempio i buffer necessitano di una corrente maggiore rispetto ad una porta logica semplice. Possiamo inoltre notare che nelle ultime due righe abbiamo due dispositivi CMOS, caratterizzati dalla loro simmetria; il resto sono circuiti bipolar, i quali invece sono fortemente asimmetrici<sup>6</sup>!

## Correnti in uscita TTL

Possiamo notare che non si usano delle uscite TTL per delle alte correnti in uscita, ma per delle basse correnti in entrata.

Ad esempio, per accendere un LED, visto che sono necessari  $15mA$  non bisogna utilizzare un TTL in logica diretta, ma è necessario che il LED si accenda quando l'uscita è bassa!

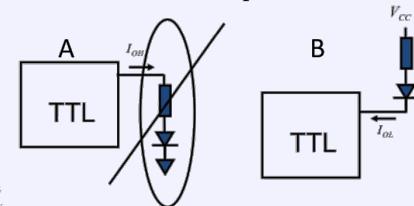


Figura 5.8: Posizionamento TTL in output (A), e in input (B).

Riassumendo, data la forte asimmetria dei TTL che assorbono molta più corrente di quanta ne eroghi, si usano nel secondo modo: se l'uscita del TTL va verso massa, scorre una corrente.

Anche se la famiglia TTL non è più molto usata è rimasta l'usanza di utilizzare i segnali di controllo *attivi bassi* anche per famiglie come la CMOS.

<sup>6</sup>Scorre della corrente dalla base al collettore forzando l'ingresso ad un valore alto.

### Osservazioni

1. all'aumentare della corrente la tensione si abbassa;
2. l'andamento dipende dalla resistività
3. nel datasheet sono riportati i valori delle tensioni  $V_{oH}$  e  $V_{oL}$  in corrispondenza di specifici valori di corrente  $I_{oH}$  e  $I_{oL}$  (corrente zero e massima);
4. quando la corrente è significativa la caduta di tensione non è lineare, perché si cambia regione di funzionamento;
5. più basso è il valore resistivo del carico e più è alta la corrente richiesta e maggiore sarà la caduta di tensione all'interno della porta fino ad un limite massimo oltre il quale si esce dalla specifica di funzionamento.

### 5.3.2 Datasheet

È il foglio che presenta tutte le specifiche di un circuito, come le sue funzionalità, o i packages disponibili. Contiene anche i seguenti parametri:

- 1) **Absolute maximum rating:** sono i valori massimi in assoluto di corrente (sia input che output) che si possono applicare al circuito integrato senza che esso si rompa. All'interno di questi valori l'IC non subisce danni permanenti, ma è sempre consigliato rimanere nell'ambito dei parametri raccomandati (vedi punto seguente).  
I valori dati sono:
  - $V_{cc}, V_{in}, V_{out}$ ;
  - corrente in ingresso ed in uscita (sui pin max?);
  - temperatura di stoccaggio: va mantenuta anche quando il dispositivo è spento. Dipende dalla meccanica del dispositivo e dal materiale di cui è costituito: può soffrire contrazioni o espansione dei materiali stessi, degradazione, scioglimento del silicio o delle parti plastiche del package.
- 2) **Recommended operating conditions:** sono le condizioni raccomandate, per le quali è garantito il funzionamento del dispositivo. Vengono riportati i valori di:
  - $V_{cc}$  minima e massima e altri valori sono riportati in corrispondenza degli intervalli di  $V_{cc}$ ;
  - Tensioni di input e output, sia minime che massime,  $V_{iH}, V_{iL}, I_{oH}, I_{oL}$
  - temperatura minima e massima di funzionamento;
- 3) **Caratteristiche elettriche** (statiche): forniscono informazioni su come variano le tensioni in uscita  $V_{oH}$  e  $V_{oL}$  in base alle correnti  $I_{oH}$  e  $I_{oL}$ . Quest'ultime a loro volta variano in base alla resistenza di canale, che dipende a sua volta dalla tensione di alimentazione. Se  $I_{oH}$  e  $I_{oL}$  sono basse,  $V_{oH}$  e  $V_{oL}$  sono basse indipendentemente da  $V_{cc}$ . Per quanto riguarda  $V_{oH}$  viene riportato il valore minimo garantito, mentre  $V_{oL}$  quello massimo garantito.  
È riportato anche il valore tipico<sup>7</sup> della capacità in ingresso, perché in genere la capacità del gate non dipende dalla  $V_{cc}$  e dalla temperatura in gran misura, e non è un parametro vincolante per la porta.
  - Se la corrente  $I_{oH}$  è massima è minimo  $V_{oH}$  (2V, c'è una caduta di 1V), mentre se  $I_{oL}$  è massima  $V_{oL}$  è pari a 0,55V. Quindi vi è una caduta di tensione diversa a parità di corrente e  $V_{cc}$ : comportamento asimmetrico, che dipende dalla resistenza;
  - La corrente assorbita in ingresso dal MOSFET potrebbe non essere nulla ( $\pm 5\mu A$ , corrente di perdita dovuta all'ossido), trascurabile rispetto anche ad una minima corrente (per esempio  $100\mu A$ );
  - Durante il funzionamento viene assorbita una corrente  $I_{cc}$  pari a  $10\mu A$ . Se  $V_C \neq V_{cc}$  la corrente assorbita aumenta.
- 4) **Caratteristiche di commutazione** (parametri dinamici): Si riporta in genere il *tempo di propagazione* (differenza di tempo di variazione tra ingresso e uscita) in funzione della tensione di alimentazione. Nel caso visto la famiglia è stata ottimizzata per lavorare con una  $V_{cc} = 2,5V$  (tempo di propagazione minimo). Inoltre i test vengono eseguiti con determinati carichi.

### 5.3.3 Scariche elettrostatiche

Sono fenomeni elettrostatici che avvengono quando vi è un trasferimento di carica (fino a  $40kV$ ) tra due materiali conduttori posti a potenziale diverso. La scarica in genere avviene se l'umidità dell'aria è bassa ( $< 20$ , se fosse alta le cariche si disperderebbero)

Queste scariche sono un problema per i circuiti integrati: toccando un pin di un circuito è possibile generare una piccola scarica di elettricità che potenzialmente può romperlo.

Per risolvere questo problema è stato realizzato un modello dell'essere umano detto ***Human Body Model***:

<sup>7</sup>Output che guida un input.

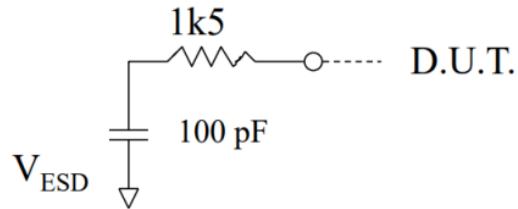


Figura 5.9: Human Body Model.

Si può dunque costruire un circuito di questo tipo, caricando il condensatore con una determinata tensione  $V_{ESD}$ <sup>8</sup> e collegarlo ad il dispositivo da testare.

La scarica inizialmente arriva direttamente sui gate metallici, rompendola; con dei gate in silicio la resistenza del gate si mette in serie a quella “umana”, diminuendo la corrente che scorre e mitigando il problema.

Sono stati fatti dei transistor con una tensione di breakdown più alta (che però comportano delle maggiori dimensioni).

Si possono utilizzare dei diodi in ingresso/uscita: sono posti in serie e in alto collegati alla tensione di alimentazione, in basso collegati a terra.

Se in ingresso arriva una tensione maggiore di quella  $V_{cc}$ , il diodo in alto si polarizza e la corrente scorre verso la tensione  $V_{cc}$ , scaricandosi lì. Se in ingresso invece la tensione è minore di  $V_{cc}$  si sarebbe scaricata in basso.

Bisogna notare come i diodi debbano essere sufficientemente robusti in modo tale da non rompersi, anche se una loro rottura sarebbe comportata da un'eccessiva tensione, in questo caso non presente.

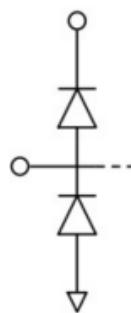


Figura 5.10: Diodi scariche

### 5.3.3.1 Contromisure e protezioni

I circuiti vengono forniti dal produttore in modo tale che siano di per sé protetti dalle scosse attraverso:

- gate in polisilicone;
- transistor con un'alta tensione  $V_{breakdown}$ ;
- diodi posti in input/output.

A loro volta, chi utilizza i circuiti deve adottare misure preventive, quali:

- Ambienti con umidità controllata, per evitare accumuli di cariche;
- Utilizzare materiali antistatici (hanno un'elevata resistenza), contenitori che aiutano a dissipare la carica;
- Maneggiare dispositivi con la dovuta cura: operatori con dispositivi appositi per scaricare la carica a terra, camici e scarpe elettrodissipativi.

### 5.3.3.2 Modelli e test

Oltre al Human Body Model, sono stati ideati ulteriori modelli, quali il Machine model, perché anche sulle parti di macchina potrebbero esserci accumuli di cariche.

I testi eseguiti per le scariche elettriche sono riportati sul datasheet: viene evidenziato il valore della tensione supportata nell'Human Body Model e nel Machine Body Model: in quest'ultimo è presente una resistenza molto più bassa, con quindi una tensione supportata minore.

Viene riportata anche la tensione supportata se il circuito entra in contatto con un altro circuito.

<sup>8</sup>Credo quello superato il quale il segnale si intende possedere un valore logico alto.

## 5.4 Consumo di potenza dinamico

Vogliamo analizzare il consumo di potenza di un integrato al variare della sua frequenza di clock: vedremo come una maggiore frequenza comporta un numero maggiore di commutazioni e di conseguenza un maggior consumo di potenza dinamico. Consideriamo un *buffer* (che rende in uscita il valore che è presente all'entrata) e variamo un solo bit del buffer.

Se la frequenza è pari a zero o è bassa le famiglie bipolari consumano una potenza significativa, mentre le famiglie CMOS non consumano. La famiglia ibrida BiCMOS consumano un valore intermedio.

All'aumentare della frequenza il consumo delle famiglie CMOS cresce maggiormente rispetto a quello delle famiglie TTL.

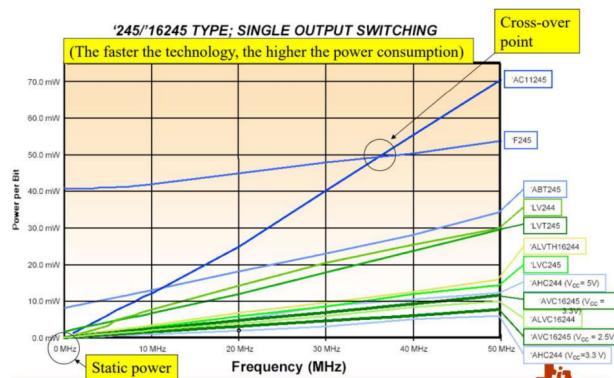


Figura 5.11: Grafico consumo dinamico.

### Osservazioni

- I CMOS consumano meno a frequenze basse, mentre i TTL a frequenze più alte;
- Le famiglie più veloci hanno consumi più alti;
- Non tutte le famiglie CMOS consumano più energia di quelle bipolari ad alte frequenze.

### 5.4.1 Consumo di potenza nelle famiglie

- TTL**
  - assorbimento potenza statica; dovuto alla corrente di polarizzazione dei transistor che scorrono anche se le tensioni sono statiche;
  - assorbimento potenza dinamica: se la porta commuta lo stadio di uscita totem pole va in cross-conduction. L'assorbimento è proporzionale alla frequenza.
- CMOS**
  - assorbimento **solo** dinamico ed è usato soprattutto alla carica/scarica delle capacità parassite nel circuito (come i gate) e per i carichi esterni.

Inoltre hanno un consumo più basso quei dispositivi progettati per lavorare ad una tensione più bassa.  
È dovuto a due fenomeni:

A) cross conduzione canale n e p in output al transistor: variando la tensione di ingresso la misura della tensione in uscita  $V_{out}$  e della corrente  $I_{cc}$  otteniamo i seguenti grafici:

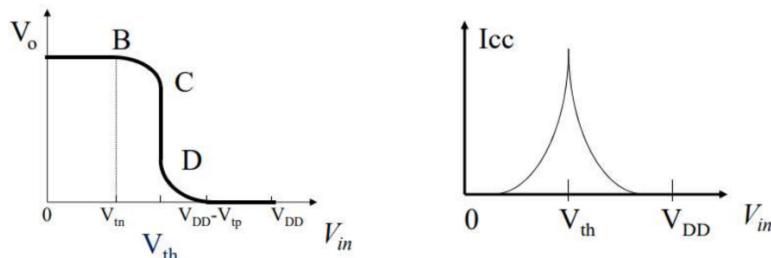


Figura 5.12: Grafici

In particolare la corrente è **massima** quando la tensione in ingresso è pari a quella di soglia ( $V_{in} = V_{th}$ ), dato che entrambi i transistor sono fortemente conduttori!

B) capacità parassita: ipotizzando di avere una tensione di alimentazione  $V_{dd}$  ad onda quadra e frequenza  $f_0$ ; dalla formula della potenza media:

$$P = \frac{1}{T} \int_0^T i(t) \cdot V(t) dt$$

Considero solo la corrente in fase di carica, in quanto in fase di scarica ho potenza nulla:

$$i(t) = C_L \frac{dv(t)}{dt}$$

Ottengo allora:

$$P = C_{pd} V_{dd}^2 f_0$$

Dove con il termine  $C_{pd}$ <sup>9</sup> osservo che le famiglie più veloci hanno capacità maggiori e consumano di più; noto anche per famiglie a bassa tensione consumano poco; in generale la potenza è proporzionale alla frequenza.

La capacità  $C_{pd}$  è la *risultante* di tutte le capacità parassite del circuito.

#### 5.4.1.1 Consumo di potenza in sistemi complessi.

Il consumo di potenza in componenti complessi è in funzione di diversi parametri:

- frequenza;
- tensione di alimentazione, in modo quadratico;
- correnti di perdita in circuiti piccoli i gate isolati ed i canali chiusi non lo sono effettivamente e quindi perdo corrente;
- temperatura, aumentando aumenta la corrente di perdita;
- complessità (numero di celle)

In generale dipende alla scala microscopica dei circuiti, i quali sono talmente vicini e piccoli da non essere più isolati tra loro totalmente.

I consumi vengono arginati limitando quando non necessaria la tensione di alimentazione e le frequenze, riducendo la potenza. In alternativa, se uno dei sotto componenti non sta venendo utilizzato posso bloccarne il clock ( $f_0 = 0$ , si dice *clock gating*) o se non serve per lunghi periodi di tempo tolgo l'alimentazione (sub system power partitioning).

Ulteriori alternative consistono nello **start and stop** ed il **thermal throttling**, diminuendo il carico computazionale per mantenere la temperatura al di sotto del livello previsto.

---

<sup>9</sup> *Power Dissipation capacitance*: capacità del condensatore equivalente, ovvero del condensatore che se sostituisse l'IC fornirebbe un consumo equivalente di potenza.

# Capitolo 6

## Conversione Analogico-Digitale e Digitale-Analogico

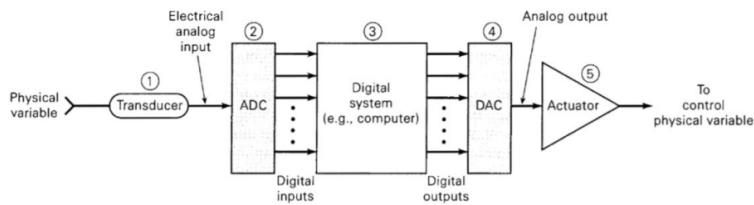


Figura 6.1: Schema di una conversione di un segnale.

I calcolatori, pur essendo sistemi digitali lavorano (anche) in un ambiente analogico: infatti i dati ricevuti dai trasduttori e inviati agli attuatori devono essere *tradotti*. I dati sia digitali che analogici infatti sono distinti per continuità:

- *temporale*: i dati analogici sono continui nel tempo, i dati digitali sono campionati;
- *nel valore*: i dati analogici possono assumere qualsiasi valore mentre i dati digitali sono quantizzati.

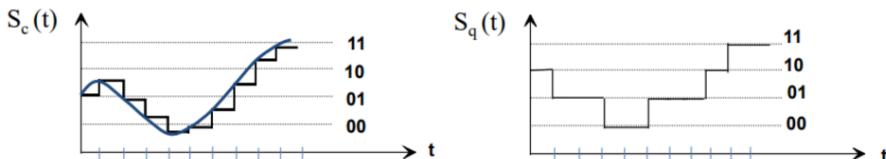


Figura 6.2: Campionamento e quantizzazione.

- Campionamento: il segnale continuo viene sostituito dai suoi valori in determinati istanti di tempo;
- Quantizzazione: i campioni vengono sostituiti dai valori più vicini ai livelli di quantizzazione.

La precisione della quantizzazione dipende dal *numero di bit usati*, chiamata **risoluzione**.  $n$  bit possono rappresentare  $2^n$  valori. La risoluzione è definita anche come il minimo valore che sono disposto a discriminare all'interno dei valori analogici all'interno.

### Osservazione

Nel processo di conversione A/D e D/A la natura *discreta* del segnale ha un ruolo fondamentale: i possibili valori relativi a specifici istanti temporali sono in numero finito e separati da uno **step size**.

#### 6.0.0.1 Quantizzazione

Un qualsiasi convertitore avrà un suo *range*, ovvero l'escursione massima che un segnale in input/output può avere. Sia  $V_{fs}$  il range di tensione ammissibile (è la tensione di fondo scala) e  $n$  la risoluzione. Possiamo avere diverse configurazioni:

- *Valori positivi* ( $0\%V_{fs}$ ): possiamo utilizzare il formato binario “semplice”;
- *Valori a segno misto*: il binario semplice non è più idoneo. Si usa allora l'**offset binary**, dove si associa lo 0 binario al valore più basso. Tuttavia questo formato non è più ideale in quanto lo 0 binario e quello misurato non combaciano; inoltre la maggior parte dei calcolatori lavora in **complemento a 2**

### Nota

Per passare dall'offset binary al complemento a due e viceversa basta invertire il most significant bit (MSB).

### Osservazione

il range ammissibile va **sfruttato al massimo**. Se la tensione in ingresso  $V_{in} = \frac{V_{fs}}{2^m}$  è come se la risoluzione *perdesse m bit*.

$V_{in}$	Binary	Offset Binary	2's Complement
$V_{fs}/2$	111111	111111	011111
$+dV$	000001	100001	000001
0	000000	100000	000000
$-dV$	/	011111	111111
$-V_{fs}/2$	/	000000	100000

Tabella 6.1: Confronto quantizzazione binario.

## 6.1 Convertitore D/A

È il più semplice da realizzare in quanto l'input è già digitale, quindi prevedibile e noto; il suo output è ben definito.

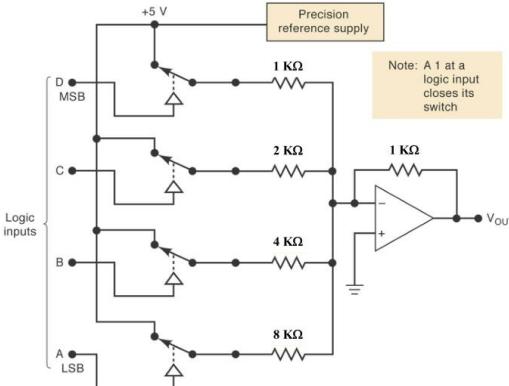


Figura 6.3: Questo D/A converter non è ottimale perché richiede che i valori delle resistenze siano precisi e questi solitamente non lo sono.

Il suo funzionamento è abbastanza semplice: in base allo stato degli interruttori (D,C,B,A) può arrivare da ciascuno di essi una corrente *scalata da diversi fattori* (1 per D, 2 per C, 4 per B e 8 per A pari alle relative resistenze in entrata in  $k\Omega$ ). Possiamo notare che lo stadio di uscita consiste in un amplificatore operazionale, che amplifica la differenza di tensione ai capi dei due terminali in ingresso: per cui la tensione in uscita  $V_{out} = A(V^+ - V^-)$ , con  $A$  costante che determina il guadagno in tensione. Solitamente è un valore molto alto (dell'ordine di circa  $10^5$ ) e ciò determina che la tensione in ingresso sia prossima a 0 se in uscita deve essere di circa 5V. Per comandare l'ingresso dell'amplificatore si esegue una *retroazione*, collegando l'uscita all'entrata negativa: grazie alla resistenza di retroazione sul polo negativo appare la stessa tensione che appare al polo positivo.

Tornando al circuito, proprio il polo positivo dell'amplificatore operazionale è posto a massa e quindi la tensione in ingresso al polo negativo  $V_x = 0$  e dato che la corrente su questo polo  $i_-$  tutta la corrente fluisce sulla resistenze d'uscita:

### Esempio

Considerando un convertitore a 4 bit come quello in figura che ha il fondo di scala  $V_{fs} = 10V$ ,  $D = 5V$ ,  $C = 2,5V$ ,  $B = 1,25V$ ,  $A = 0,625V$  abbiamo:

- Output value  $V_{out} = -5V(1 \cdot D + \frac{1}{2} \cdot C + \frac{1}{4} \cdot B + \frac{1}{8} \cdot A)$
- Full scale:  $-5V(1 + \frac{1}{2} + \frac{1}{4} + \frac{1}{8}) = -9,375V$
- Passo di Quantizzazione (step)  $\frac{9,375}{15} = 0.625V$

Per esempio con un input: ABCD=1000,  $V_{out} = 0.625V$ ; mentre con un input: ABCD=0100  $V_{out} = 4.25V$

Questo circuito per essere considerato *affidabile* tuttavia deve sottostare ad alcune assunzioni:

- La *tensione di riferimento* deve essere *stabile* altrimenti non lo sarà neanche l'uscita;
- Il valore delle resistenze in sé non è molto rilevante, però il rapporto dei valori fondamentale.  $R_{out} = R_{MSB}$ , inoltre ogni bit successivo deve avere resistenza *doppia* rispetto al precedente. Al fine di *arginare* gli errori dovuti ai processi produttivi è norma utilizzare soltanto resistenze del MSB poste in serie dove servono valori maggiori;
- L'amplificatore operazionale deve essere *lineare*, garantendo le sue equazioni caratteristiche;
- Gli switch devono essere di qualità alta: in particolare devono presentare una **resistenza parassita trascurabile** rispetto a quella del MSB  $R_{MSB}$ .

Tra queste assunzioni, al crescere di bit diventa difficile mantenere la seconda. Ad esempio con  $N = 10$  bit la resistenza del *least significant bit* è circa  $1M\Omega$ , di conseguenza dovrei utilizzare  $1024 = 2^{10}$  resistenze da  $1k\Omega$  l'una e diventa proibitivo.

### 6.1.1 Convertitore R-2R

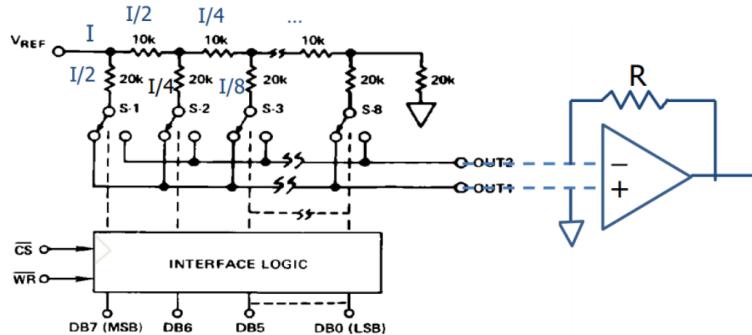


Figura 6.4: Convertitore R-2R

Il convertitore R-2R (o network) consiste in una rete tale che, considerando ogni singolo nodo partendo da sinistra, in ciascuno di questi nodi **la corrente si divide in due parti uguali** utilizzando un *partitore di tensione*. In questo modo invece di scalare le resistenze per potenze del due ogni singolo switch decide se mandare la frazione di corrente corrispondente verso massa in OUT1 scartandola, o sommandola in OUT2 mandandola verso l'op-amp che funge in questo caso da massa virtuale, portando poi in output il segnale tramite la resistenza R.

In base alla bontà del circuito viene fuori una funzione caratteristica ingresso-uscita differente, la quale **diffilmente è ideale, ovvero lineare!**

Con queste informazioni possiamo definire due misure di errore:

- *full-scale error*: il massimo errore tra i grafici (differenze tra i valori di output ideali e quelli reali) espresso in percentuale di  $V_{fs}$ , quindi anche in bit;
- *linearity error*: quanto si scosta un singolo step dal precedente, in pratica è la massima differenza tra gli steps ideali e quelli reali.

### Riassuntino

Il segnale in uscita dal DAC è campionato e quantizzato. La risoluzione di quantizzazione corrisponde al numero di bit usati nel processo di conversione. Il tempo di campionamento, invece, corrisponde al tempo in cui viene avviata la conversione in analogico di un dato digitale.

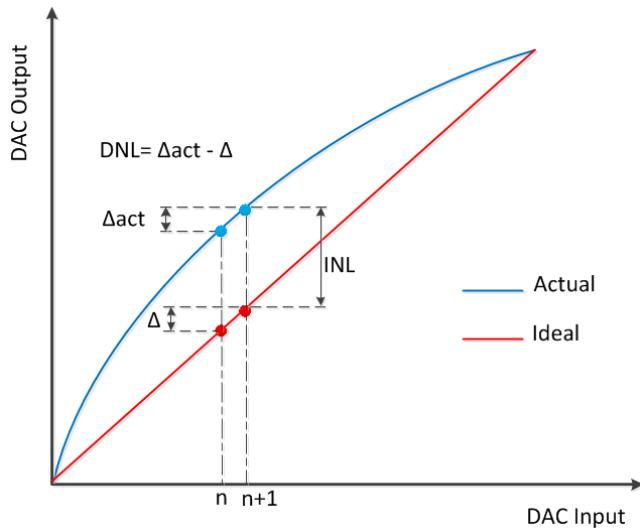
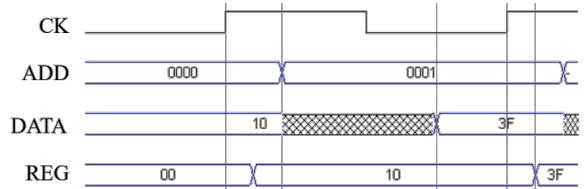
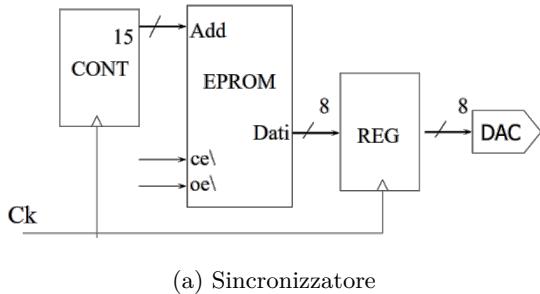


Figura 6.5: Non linearità in R-2R

**Esempio: il sintetizzatore di forme d'onda**

Il contatore indirizza sequenzialmente 32k celle EPROM<sup>a</sup>: il registro ferma gli output, mantenendoli validi per l'intero intervallo di clock. A questo punto il DAC produce un segnale analogico per ogni intervallo di clock.

<sup>a</sup>Erasable Programmable Read Only Memory



## 6.2 Convertitori Analogico-Digitale

I convertitori analogico-digitali ADC moderni sono costruiti utilizzando i DAC. Anche con questa tipologia di convertitori è necessario utilizzare la massima tensione possibile, pena una *risoluzione effettiva minore* di quella nominale.

In generale vogliamo stimare il segnale in ingresso, confrontandolo con l'uscita di un dispositivo DAC di una **sequenza nota**. Si usa allora un contatore ad  $N$  bit il quale ad ogni colpo di clock incrementa la sequenza di 1

### 6.2.1 Digital Ramp ADC

Si vuole convertire una tensione  $V_A$  da analogica a digitale. Si utilizza un DAC per sintetizzare una tensione analogica da confrontare con la tensione  $V_A$  tramite un comparatore: esso consiste in un op-amp che produce in uscita un valore o 0 o 1 a seconda che la tensione sia maggiore o minore della tensione  $V_{AX}$  sintetizzata dal DAC: se l'uscita (asserita alta)  $\overline{EOC} = 0$  allora la conversione si è conclusa.

Prima del DAC è presente un contatore che può essere resettato a 0 tramite un ingresso del circuito start; questo segnale guida anche una porta logica AND a tre ingressi, con un'uscita  $\overline{EOC} \cdot \overline{CLK} \cdot \overline{START}$ : in questo modo viene generata la tensione  $V_{AX}$ , incrementando in modo sequenziale la sequenza di  $N$  bit partendo da una di tutti 0 e generando una rampa di numeri digitali fino ad ottenere quello corretto.

Bisogna notare come quando  $\overline{EOC} = 0$  viene interrotto il clock e la parola digitale più vicina al valore analogico è ai piedi del contatore, collegato anche ad un un registro per poi essere restituiti in uscita.

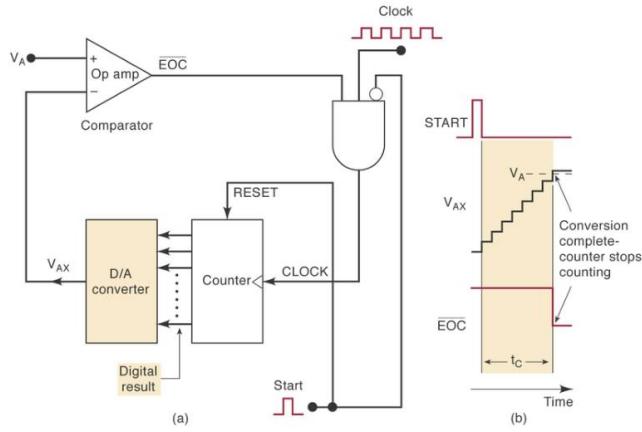


Figura 6.7: Circuito Digital Ramp

Questo circuito è tuttavia **lento**: nel caso peggiore, ovvero in cui la tensione in ingresso supera il quella di fondo di scala, la conversione necessita del massimo numero di cicli di clock, ovvero  $2^N$ . Con un ADC a 10bit e un clock di  $100MHz$  ciò implica che possa riuscire ad eseguire solo  $\frac{100M}{2^{10}} \sim 100k$  conversioni al secondo: il numero decresce in modo esponenziale all'aumentare dei bit.

Un altro problema deriva dalla durata della conversione, proporzionale alla tensione in entrata e quindi non prevedibile.

### 6.3 ADC ad approssimazioni successive

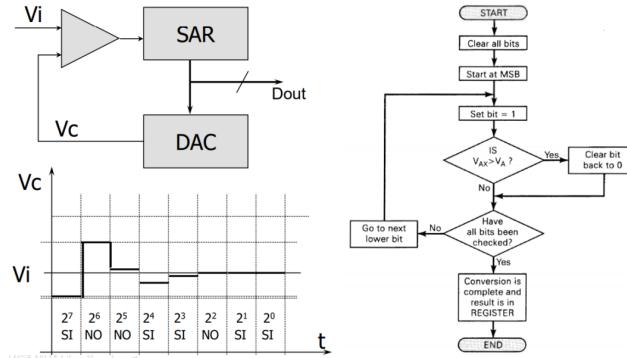


Figura 6.8: Convertitore ADC ad approssimazioni successive

Come nel convertitore precedente vi è un anello di retroazione, una parte logica ed un DAC. Ma la differenza principale sta nella funzione implementata nel blocco SAR (Successive Approximation Register): infatti viene utilizzato un metodo di bisezione nell'algoritmo di ricerca, dividendo ogni volta per due<sup>1</sup> lo spazio del convertitore e stabilendo in quale regione si trovi la tensione in ingresso. Grazie a questo il tempo di ricerca *diminuisce*, diventando nel caso peggiore  $\log_2(2^N) = N$ . Il SAR inoltre tiene traccia delle approssimazioni successive, e quindi dell'intera parola digitale.

#### Funzionamento

Si parte con  $V_C = 0$  e si pone ad 1 il MSB che divide a metà lo spazio di conversione, sintetizzando quindi un valore analogico tramite il DAC pario a metà dinamica. Il convertitore ora stabilisce se la tensione  $V_C > V_I$  in tal caso il bit posto ad uno viene rimesso a 0, altrimenti rimane inalterato.

Ciò accade per ogni bit: una volta analizzato esattamente  $n$  bit il valore convertito si trova nel SAR e viene portato in uscita.

*Il metodo converge esponenzialmente.*

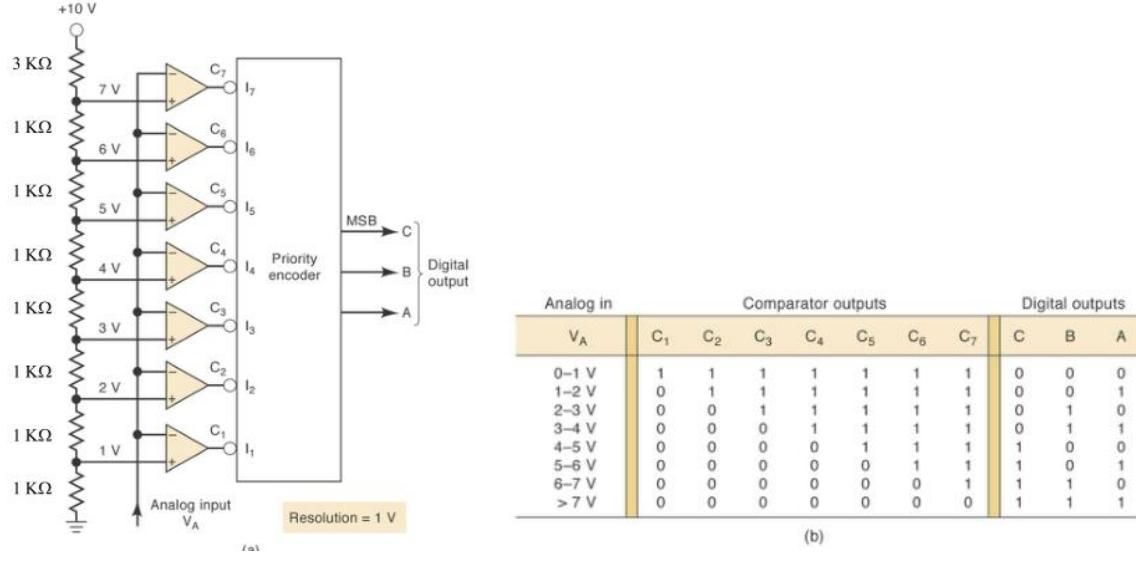
Il tempo di conversione di questa tipologia di ADC è molto più breve, e ciò può essere sfruttato in due modi:

- si può andare più veloci a parità di risoluzione (numero di bit):

<sup>1</sup>Coarse-Grained multicore: “a grana grossa”, core grandi e relativamente autonomi.

- a parità di tempo si può avere una maggiore risoluzione, ma aumentando il numero di bit aumenta anche la complessità delle logica, e di conseguenza anche il tempo di lavoro del DAC.

## 6.4 Flash ADC



(a) Flash ADC

(b) Come viene effettuato il campionamento

Contiene un DAC con  $2^N$  uscite collegate a  $2^N$  comparatori: a seconda del valore analogico alcuni comparatori avranno valore 1, altri 0. La sequenza binaria ottenuta viene trasformata in un numero digitale (priority encoder). Essenzialmente per ciascuna soglia un comparatore controlla se il valore l'ha superata, andando in input al priority encoder, che a sua volta restituisce un output associato alla più grande soglia superata.

Il tempo di conversione dipende dal tempo di comparazione e da quello del priority encoder: infatti al crescere del numero di bit è sufficiente aumentare il numero di comparatori<sup>2</sup>, ma cambia il tempo del priority encoder, il quale ha  $2^N - 1$  ingressi. Per questo motivo, insieme alla complessità del priority encoder e dalla difficoltà nella realizzazione di tante resistenze/op-amp in serie nel DAC<sup>3</sup>, il Flash ADC avrà un numero di bit limitato: per ogni bit aggiuntivo **raddoppia** la complessità ed anche la dimensione fisica. Se il numero di bit varia tra gli 8 e 12, la frequenza vanno dalle decine alle centinaia di MHz, anche alcuni GHz.

<sup>2</sup>A differenza degli altri dispositivi non può essere programmata in C e ha bisogno di un linguaggio di descrizione hardware come VHDL o Verilog. Ne si guadagna ovviamente in flessibilità.

<sup>3</sup>Joint Test Action Group.

# Capitolo 7

## Dispositivi digitali programmabili

A differenza delle porte logiche, che eseguono sempre la stessa funzione, i dispositivi digitali *programmabili* possono essere appunto programmati per eseguire determinate attività; inoltre ogni tipologia ha una diversa *complessità*. In ordine di capacità computazionale abbiamo:

- Microcontrollori;
- Microprocessori;
- Digital Signal Processor (DSP);
- Graphic Processing Unit (GPU);
- Array di processori paralleli;
- Complex Programmable Logic Devices (CPLD);
- Field Programmable Gate Array (FPGA);

In questo elenco passiamo dai microcontrollori/microprocessori a singolo core, costruiti per eseguire in modo *sequenziale* codice macchina, poi a CPU e DSP multicore *coarse-grained*<sup>1</sup> (da 6-8 core ciascuno), dove alcuni thread lavorano in parallelo in modo *indipendente*; passando invece a sistemi come i *Massively Parallel Processor Arrays*, essi lavorano con migliaia di thread in parallelo con core/processori più semplici delle CPU e sono utili quando si può dividere la computazione in tanti sottoproblemi indipendenti (tipo rendering video); infine arriviamo alle FPGA che sono composte da tantissime celle logiche programmabili dalla struttura *completamente arbitraria*, capaci di risolvere un qualsiasi problema specifico<sup>2</sup>.

### 7.1 Microprocessore

All'interno di questo tipo di dispositivo troviamo un singolo *chip processing unit*. Non può funzionare da solo semplicemente collegandolo all'alimentazione, ma ha bisogno di ulteriore circuitistica all'esterno, quale:

- RAM: contiene le istruzioni da eseguire;
- DMA (Direct Memory Access) controller: si occupa dello spostamento dei dati dalla memoria in grandi quantità, facendo risparmiare tempo al processore. Infatti questo si occuperà di eseguire altre operazioni mentre il DMA svolge il trasferimento (si parallelizza le operazioni). Una volta completato il DMA sposta i dati prodotti dal processore alla memoria esterna;
- UART (Universal Asynchronous Receiver-Transmitter): sistema di comunicazione *asincrono*, controlla le comunicazioni *seriali*, lanciando anche interruzioni al termine;
- Interrupt controller (PIC): gestisce le interruzioni;
- clock esterno.

Tutte queste componenti un tempo erano chip esterni legati alla CPU tramite appositi bus. Oggi molte di queste funzioni sono direttamente integrate all'interno del chip della CPU, cioè sul silicio, ma all'interno sono comunque separate. La RAM ed il generatore di clock spesso sono ancora separate dalla CPU; memorizza alcuni GB ed è molto veloce. Solitamente oltre alla RAM è presente anche una memoria *permanente* (HDD, SSD) più lenta della RAM.

<sup>1</sup>Coarse-Grained multicore: “a grana grossa”, core grandi e relativamente autonomi.

<sup>2</sup>A differenza degli altri dispositivi non può essere programmata in C e ha bisogno di un linguaggio di descrizione hardware come VHDL o Verilog. Ne si guadagna ovviamente in flessibilità.

## 7.2 Microcontrollore

Come nel microprocessore è presente al suo interno un singolo chip processing unit, anche se molto più piccolo, semplice e con una potenza di calcolo notevolmente minore.

Un'altra differenza sostanziale è la possibilità di poter funzionare senza ulteriori circuiti esterni, dal momento che sono integrati al suo interno la DMA, il PIC (interrupt controller), la RAM (più piccola) e una memoria permanente (o semipermanente) di tipo FLASH. Sono disponibili anche ulteriori periferiche per comunicare con altri dispositivi all'esterno, tipo UART, convertitori A/D-D/A etc.

Il suo target di utilizzo è un sistema embedded, solitamente indipendente e svolge pochi calcoli.

### Digressione sul clock

Un circuito che genera un clock *statico* è:

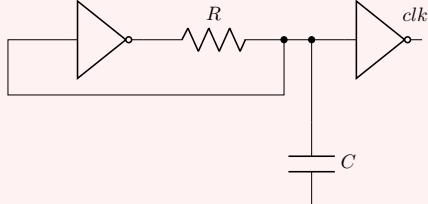


Figura 7.1: Circuito che genera clock.

Si basa sulla carica e la scarica del condensatore, la quale avviene in un tempo  $\tau = R \cdot C$ , definendo quindi il periodo (e di conseguenza la frequenza).

### 7.2.1 Requisiti

Operando generalmente negli *ambienti real-time*, vi è la necessità che la loro esecuzione del codice fornitiogli sia **rapida e prevedibile**. Per ottenere questo requisito è necessario fare una scelta adeguata riguardo:

- *l'architettura dei core*: in generale si preferisce la RISC (Reduced Instruction Set Computer), in quanto solitamente opera a frequenze maggiori ed ha un set di istruzioni di **durata definita**. Nell'architettura alternativa, la CISC (Complex...), la durata non è deterministica (e quindi non prevedibile) a causa della presenza delle interruzione che possono svuotare la *pipeline*, ovvero dove sono caricate le istruzioni;
- *l'architettura della memoria*: solitamente si sceglie tra Harvard (due bus, uno per le istruzioni ed uno per i dati) e quella Von Neumann (un solo bus condiviso); si preferisce la prima sia in termini di velocità che di predicitività.

### Von Neumann Vs Harvard Architecture

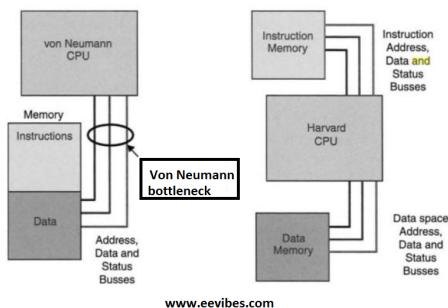


Figura 7.2: Architetture di memoria a confronto

#### 7.2.1.1 Interfacciarsi con l'esterno

Per comunicare con il mondo esterno (altre periferiche, etc.) il microcontrollore ha bisogno di elementi di i/o *semplici e parallelizzabili*:

- **General Purpose I/O (GPIO)**: sono dei pin utilizzabili sia come ingresso che come uscita; ad ogni pin viene associato un registro che ne indica lo stato, uno di data out ed uno di data in

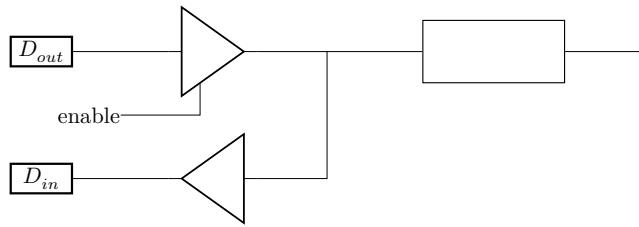


Figura 7.3: Circuito GPIO.

È inoltre utile che la GPIO sia *bit addressable*, ossia a pin pilotabili indipendentemente. Questo perché per modificare un  $D_{out}$  richiede 3 operazioni atomiche (Read, modify e writr, nel mezzo ci sono due tempi  $t_1$  e  $t_2$ ), se in un intervallo di tempo  $t$  viene lanciato un interrupt si può avere un inconsistenza dei dati. La soluzione è usare i registri BIT\_SET o BIT\_RESET dove viene scritta una parola con un bit a 1 nelle posizioni in cui si vuole settare a 1 o resettare a 0 i bit della porta in questione. In questo modo è possibile modificare i singoli pin senza dover conoscere tutto il contenuto della porta.

La porta GPIO può essere usata per generare delle interrupt request (IRQ) al di fuori del ciclo main.

- Periferiche di comunicazione (es. porta seriale): in grande quantità; molte dello stesso tipo o poche di tipi diversi;
- *mixed signal peripherals* (ADC/DAC): permettono al microcontrollore di interpretare le grandezze dei sensori (fotoresistenza da una tensione  $V_0(light)$ ), il microcontrollore può invertire la funzione calcolando  $light(V_0)$ .

Nota: Ad ogni ADC sono associati più ingressi AD multiplexati e convertiti sequenzialmente; la conversione di un canale carica la capacità parassita dell'ADC scaricandosi su un altro canale e convertendo un segnale sfasato. Si può evitare alternando conversioni *utili* con la conversione di un canale a massa, che svuoterà la capacità.

- *Interfacce di sistemi a controllo numerico (PWM)*: sono usate nei sistemi ad anello chiuso, sfruttando i valori letti.

### Pulse Width Modulation

Supponiamo che il microcontrollore si occupi della gestione del motore di una ventola. Si può implementare in due modalità:

- *logica lineare*:
  - al 50% della velocità del motore abbiamo sia 5V sul motore che 5V sul buffer, quindi abbiamo un consumo di potenza di 5W per muovere il motore e viene dissipato il resto dei 5W di potenza sul buffer;
  - al 100% quasi tutta la potenza è utilizzata per muovere il motore, minimizzando la dissipazione sul buffer;

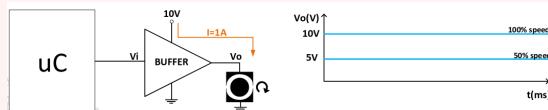


Figura 7.4: Controllo motore in logica lineare

- *modalità PWM*: generiamo quindi un segnale periodico di breve periodo per gestire il motore;
  - al 50% della velocità del motore il segnale PWM che lo controlla è un segnale ad onda quadra al 50% del duty cycle ed un'ampiezza (della tensione) che va da 0 ai 10V;
  - al 100% della velocità del motore il segnale PWM è sempre un segnale ad onda quadra stavolta con un duty cycle al 10% e l'ampiezza sempre tra 0 e 10V;

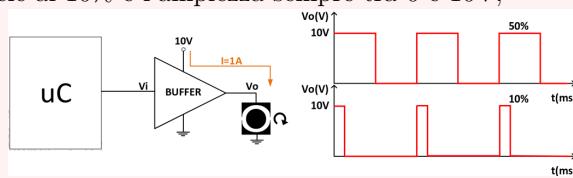


Figura 7.5: Controllo motore in PWM

Il segnale PWM guida il motore utilizzando il massimo voltaggio, massimizzando l'efficienza; mentre la modalità lineare è inefficiente, in quanto dissipava potenza nel buffer quando la velocità è inferiore al 100%. Questo perché i sistemi meccanici non sono sensibili a variazioni repentine (vede una corrente continua)!

Dovendo lavorare ad alte velocità è necessario che ci siano reazioni rapide ad eventi esterni quali gli interrupt: ciò talvolta è una richiesta troppo critica per essere implementata via software, che è troppo lento. Infatti si utilizzano gli *interrupt request* (IRQ) hardware, riuscendo ad ottenere tempi di reazione dell'ordine dei  $\mu S$ : se la gestione è totalmente hardware anche  $nS$ .

Un altro requisito dei microcontrollori è avere un'**impronta ridotta**: ovvero sia dimensioni ridotti che basso consumo (si parla anche di  $\mu W$ ); solitamente dispositivi alimentati a batteria. Questo perché molto spesso i microcontrollori sono utilizzati in sistemi integrati.

## 7.2.2 Periferiche di comunicazione

Si utilizzano per eseguire una comunicazione tra più dispositivi. I principali protocolli sono, in ordine crescente di complessità:

- UART, SPI, I<sup>2</sup>C;
- CAN;
- USB, ethernet.

I protocolli presenti nelle prime due righe sono protocolli *di livello fisico*.

### 7.2.2.1 Controller Area Network

Soluzione pensata per avere un'alta resistenza al rumore elettrico ambientale

Il segnale è codificato in modo *differenziale* usando due connessioni: CANH e CANL. Con questo protocollo un eventuale rumore altererebbe **entrambi** i segnali, lasciando la differenza invariata.

### 7.2.2.2 Universal Asynchronous Receiver-Transmitter

Prevede due device, un **master** che gestisca la comunicazione, ed uno **slave**, il quale possiede i seguenti pin:

- *RX*: ingresso da collegare all'uscita dell'interlocutore;
- *TX*: uscita da collegare all'ingresso dell'interlocutore;
- *GND* comune

Si può notare come la UART non sia pensata per far comunicare più di due device, sebbene sia possibile con una configurazione a doppio anello.

Dato che il protocollo è asincrono, i device devono avere lo stesso bitrate. La comunicazione avviene nelle seguenti fasi:

- 0) idle, trasmetto lo stato alto (ad esempio con 3,3V);
- 1) trasmetto il bit di start, che corrisponde allo stato basso;
- 2) trasmetto n bit ( $\sim 8$ ) campionati dal destinatario, a metà *tempo di bit* (commutazione) per minimizzare gli errori dovuti all'assenza di sincronia;
- 3) trasmetto il bit di stop, che è alto, tornando in idle.

Per funzionare il clock deve avere una tolleranza di massimo il 5%.

### 7.2.2.3 Serial Peripheral Interface (SPI)

Pensata per la comunicazione fra più dispositivi: si ha un dispositivo **master**, che da il clock di riferimento, e più slave, i quali sono attivi solo uno alla volta.

I pin sono:

- SS (slave select) è un bit che indica se lo slave sia *attivo o meno*: un master ha tanti pin SS quanti sono gli slave;
- MISO, MOSI (master input/output slave output/input), dove il master e lo slave si scambiano dati (abbiamo un *full-duplex*). In generale è un bus in uscita da uno shift-register (a multipli di 8 bit; internamente la comunicazione è *parallela*). Le connessioni avvengono tra porte *uguali*;
- SCK (serial clock): usato dal master per governare il clock degli slave.

Essendo sincrono opera a velocità maggiori: intorno ai 20 Mbits/s, con picchi fino a 50 Mbits/s. Nel caso in cui so di avere un singolo bit di dati e che trasmissione e ricezione sono sempre separate posso unire i segnali MISO, MOSI e SS.

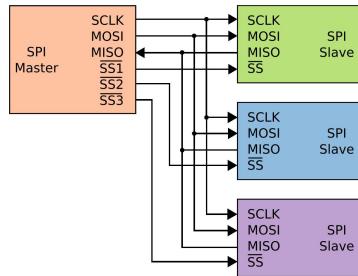
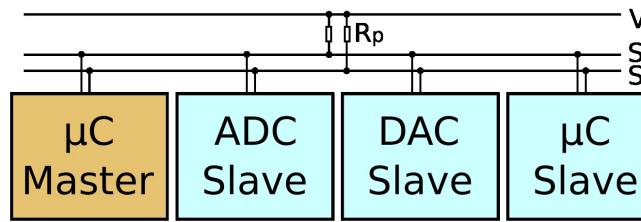


Figura 7.6: SPI: Master con 3 slave.

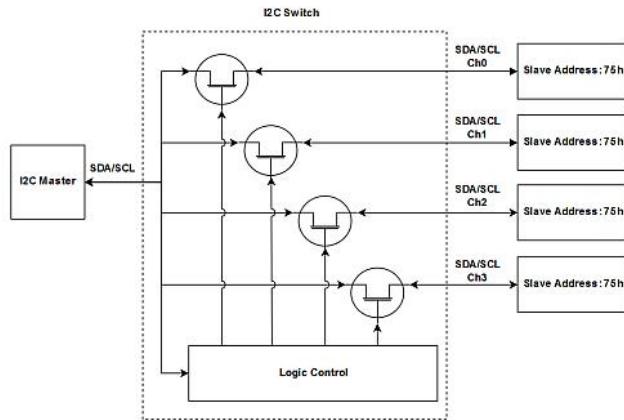
#### 7.2.2.4 Inter-Integrated circuit ( $I^2C$ )

È un protocollo sincrono, ed ha il pregio di utilizzare *solo sue fili*.

I dispositivi sono **open drain**: le resistenze di pull-up tirano su i bus, posti a massa all'attivazione dei MOSFET.

Figura 7.7: Schema di I<sup>2</sup>C

Dalla disposizione simmetrica si evince che qualsiasi dispositivo può ricoprire il ruolo del master. Inoltre per gestire le trasmissioni si associa ad ogni elemento un *indirizzo* da 7 bit (quindi abbiamo massimo 128 dispositivi collegati.)

Figura 7.8: Schema di un dispositivo I<sup>2</sup>C

La comunicazione, detta **transazione**, avviene nelle seguenti fasi:

- 1) il master apre la comunicazione con la configurazione di start (SCL=1 e SDA=↓);
- 2) il master manda i bit di indirizzo, specificando se vuole leggere o scrivere col bit di R/W;
- 3) lo slave, ricevuto il messaggio, risponde con l'ACK;
- 4) il master invia i bit da scrivere (8 bit) (oppure invia gli 8 bit letti);
- 5) il destinatario risponde con l'ACK;
- 6) il master segnala la fine della transazione con la configurazione di stop (SCL=1 e SDA=↑). Se il master deve eseguire più transazioni può omettere questo passaggio ed il primo nella transazione successivo.

Il grosso difetto I<sup>2</sup>C è la lentezza, dovuta alle capacità parassite dei device, che insieme alle resistenza comportano un limite superiore alla frequenza di funzionamento, inferiore ad 1MHz.

### 7.3 Schede

Le schede solitamente hanno il processore e basta. A volte hanno anche una parte per fare il debug del codice direttamente su di essa. Per esempio Arduino UNO è del primo tipo, la scheda che abbiamo in laboratorio (STM32) è del secondo.

Poi esiste una porta (**porta JTAG**<sup>3</sup>) che serve per accedere ai registri e alla memoria flash (quindi per caricare il programma là sopra) del microcontrollore. Questa porta può essere utilizzata anche per bloccare l'esecuzione del codice.

Sulla scheda c'è un dispositivo che serve a bloccare ingressi e uscite al fine di evitare comportamenti strani in fase di accensione/spegnimento (perché la corrente passa da 0 al valore che deve assumere (o viceversa) e normalmente i dispositivi non sono garantiti che funzionino correttamente al di fuori dei valori presenti sul datasheet).

Di default, all'accensione, le uscite della scheda non sono configurate. Per assicurarmi di non incorrere in comportamenti non desiderati è consigliabile aggiungere un pull up/pull down così anche da preservare il circuito (magari i mos si attivano e passa un sacco di corrente e poi si rompono).

- Cortex-M4 (F4): è il microcontroller installato sulle schede che abbiamo in laboratorio. Utilizza architettura Harvard, e CISC, ha molte periferiche, consuma pochino ( $100\mu\text{A}/\text{MHz}$ ) e ha l'unità floating point (FPU).

La FPU è un modulo della CPU che permette di eseguire operazioni in virgola mobile senza utilizzare una libreria che le simuli (l'utilizzo della libreria è molto oneroso in termini di cicli di clock). La precisione della FPU è la precisione singola (32 bit). Non tutte le schede sono dotate di questo modulo (ad esempio Arduino UNO ne è sprovvisto). Per qualche motivo non è detto che il compilatore della nostra scheda utilizzi gli OPCODE floating point (bisogna stare attenti a quale usa).

Su questa scheda non bisogna fare le divisioni perché manca il divisore hardware, quindi se dobbiamo dividere per delle costanti possiamo semplicemente moltiplicare per il suo reciproco, altrimenti calcolare una volta il reciproco del valore da dividere e poi utilizzare quello.

Alcuni GPIO hanno delle funzioni specifiche in più (tipo PWM/ADC DAC).

### 7.4 Approfondimento sulla Cortex-M4

L'oscillatore (clock) interno è fatto con un not, una resistenza e un condensatore. La precisione è dell'1% (10000 parti per milione) e la frequenza varia in base alla temperatura e all'alimentazione. Data la precisione bassa potrebbe interessare avere un oscillatore più preciso: in questo caso si prende un quarzo (la cui precisione va da 100ppm a molte meno ppm) e la cui frequenza va da 1 a 50MHz.

Il segnale generato dal quarzo viene poi moltiplicato/diviso dal PLL.

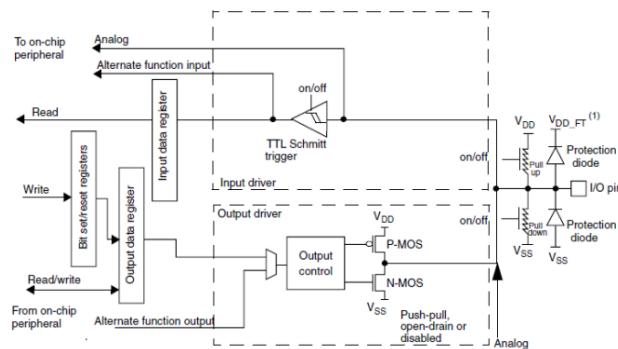


Figura 7.9: Cortex M4

- **GPIO:** “Dietro” ciascun GPIO ci sono due parti: una che gestisce l'ingresso e una che gestisce l'uscita. L'uscita è composta da due CMOS. Noi ne dobbiamo usare solo 1. Spesso potrebbe essere utile avere una resistenza di pull up/pull down internamente (oppure un pull up esternamente, se necessario di maggiore precisione). Per evitare che il codice sia interrotto da un'interruzione in una zona critica non viene utilizzato l'output data register.

<sup>3</sup>Joint Test Action Group.

Al contrario si utilizza il bit set/reset register che è **interrupt safe**.

Quando voglio scrivere un 1 sull'ODR metto nella parte bassa del BSRR un 1 (e poi ci pensa lui a scriverlo nel ODR). Se invece voglio resettare un bit dell'ODR basta mettere un 1 nella parte alta del BSRR.

### 7.4.1 Interrupt controller

Serve a interrompere il flusso di programma per gestire un altro flusso (ISR) e poi tornare a gestire il programma principale. L'interrupt controller reagisce a degli eventi.

Su STM32 può essere **nested/vectored**:

- nested vuol dire che le interazioni hanno una priorità e che durante l'esecuzione di una interruzione a bassa priorità può arrivare una interruzione a priorità maggiore che passa avanti.
- vettorizzato vuol dire che ci sono n sorgenti di interrupt e ciascuna è collegata ad una funzione che si trova elencata in una tabella delle interruzioni. Questa tecnica viene utilizzata se devono essere gestite tante interruzioni diverse.

Gli usi tipici dell'interrupt controller sono:

- gestione dei GPIO
- con i timer, ovvero viene generata una richiesta di interruzione dopo un tot specifico di tempo. I timer possono essere utilizzati per produrre segnali periodici utili per i sistemi di controllo (tipo PWM).

Il duty cycle è dato da  $\frac{D}{T} = \delta$ . Maggiore è la soglia, più tempo sta alta l'onda. Il contatore del timer non si ferma quando fermo l'esecuzione del programma (tipo con il debugger).

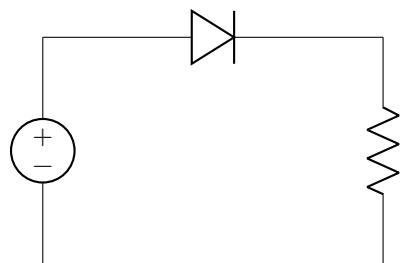
NON SI FA DEBUG DI CIRCUITI DI POTENZA.



# Appendice A

## Esercizi

### A.1 Esercizi capitolo 1





# Appendice B

## Varie

### Le leggi di Kirchoff

1. *Legge di Kirchoff alle correnti:* la somma delle correnti in un nodo è pari a 0.
2. *Legge di Kirchoff alle tensioni:* la somma delle tensioni lungo un percorso chiuso è pari a 0.

### B.1 Semiconduttori e bande

Gli elettroni in un solido allo stato fondamentale e a temperatura 0 kelvin, in obbedienza alla loro natura fermionica e al principio di Pauli che preclude ai fermioni il fatto di potersi trovare in due nello stesso stato, riempiono gli stati elettronici loro consentiti partendo dal livello energetico più basso via via su, fino a che tutti gli elettroni del solido hanno trovato un'accomodazione. Si distribuiscono cioè rispettando la distribuzione di Fermi-Dirac calcolata a temperatura 0 kelvin. Nei metalli, il livello energetico più alto occupato si definisce livello di Fermi.

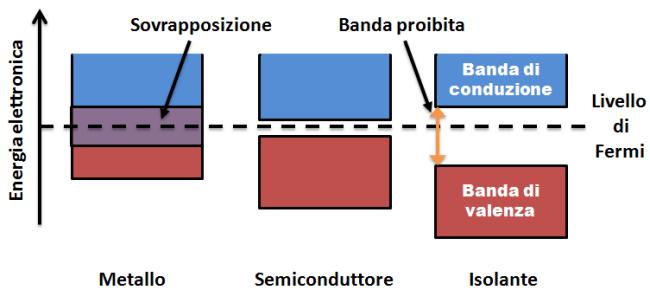


Figura B.1: Schema semplificato della struttura elettronica a bande per metalli, semiconduttori e isolanti.

A questo punto possono verificarsi diverse possibilità:

- Vi è una banda, o più di una fra le ultime riempite da elettroni, che è parzialmente riempita e restano degli stati vuoti. In tal caso si ha a che fare con un metallo, cioè un sistema in cui gli ultimi elettroni hanno la possibilità di spostarsi in livelli energetici molto vicini, infinitesimalmente più alti in energia, e dunque hanno la possibilità di una mobilità elevata che porta il sistema ad essere un buon conduttore di elettricità.
- L'ultima banda è stata riempita completamente in modo tale che il prossimo stato elettronico consentito si trovi sulla banda successiva e fra questa banda e la banda completamente riempita c'è una banda proibita (*band gap*) di energie. In tal caso il solido è un dielettrico.
- Si parla infine di semiconduttore nel caso di un isolante in cui la banda proibita è talmente piccola che a temperatura ambiente c'è una certa probabilità che gli elettroni si trovino a saltare la banda proibita per agitazione termica, e dunque il sistema si trovi in una situazione prossima a quella di un metallo, con valori di conducibilità elettrica non nulli.

(N.B paragrafo proveniente da Wikipedia)

## B.2 Corrente nel N-MOS

A differenza del transistor BJT, dove la base è comunque ristretta, abbiamo in pratica due giunzioni p-n tra la base e il source oppure con il drain: quindi è come se ci fossero due diodi contrapposti. Infatti ciò spiega il perché in prima approssimazione non scorre corrente tra Source e Drain (in condizione di quiete).

## B.3 Termini

- $V_{cc}$ : è la tensione di alimentazione positiva che fornisce energia a un circuito elettronico associata al collettore; sta per “Voltage at the Common Collector” (tensione al collettore comune), che è il punto di riferimento per le tensioni di alimentazione nei circuiti a transistor bipolar (BJT).
- Le **resistenze di pull-up e pull-down** sono usate nei circuiti logici elettronici per garantire che gli ingressi di un sistema logico stabilito siano a livelli logici previsti se i dispositivi esterni sono scollegati o ad alta impedenza. Essi possono essere utilizzati anche a livello di interfaccia tra due diversi tipi di dispositivi logici, possibilmente operanti a diverse tensioni di alimentazione.

Uscita del segnale/interruttore	Interruttore aperto	Interruttore chiuso
Con resistore di pull-up	Tensione di alimentazione positiva / segnale alto	Tensione di massa / segnale basso
Con resistore di pull-down	Tensione di massa / segnale basso	Tensione di alimentazione positiva / segnale alto
Senza resistore di pull-up o pull-down	Tensione/segno indeterminato	Tensione/segno dell'ingresso dell'interruttore

Tabella B.1: Tabella di comportamento del segnale dell'interruttore con vari resistori