1. **AddSub4.v**

**module AddSub4( a, b, cin, cout, sum, sel );**

**input [3:0] a, b ;**

**input cin, sel ;**

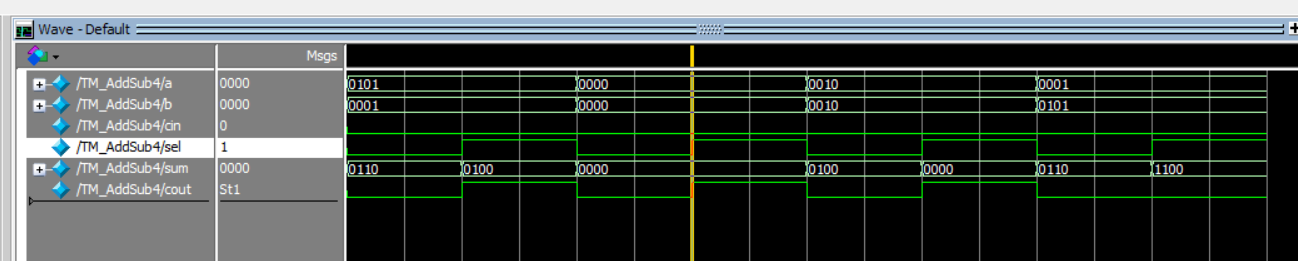
**output [3:0] sum ;**

**output cout ;**

**assign {cout,sum} = ( sel == 1'b0 ? {1'b0,a} + {1'b0,b} : {1'b0,a} + ( {1'b0,~b} + 5'd1 ) ) ;**

**endmodule**

**WaveForm:**



與第一次的waveform相同，因此不多贅述，實驗正確。

**心得:本次實驗讓我對於verilog的語法有更深的了解，並且知道了更多extend的方法。**