Universidade Católica de Santos
Ciências da Computação

Professores: Walter Oliveira e Vitor Kuribara
walter.oliveira@unisantos.com
Disciplina: Circuitos Digitais

Prática 5: Flip-Flop

Nesta prática tem como o objetivo de estudar os circuitos biestáveis e o desenvolvimento de um registrador.

① Flip Flop JK Mestre-Escravo

O FF JK é um dos mais utilizados, cujo circuito equivalente é ilustrado a seguir:

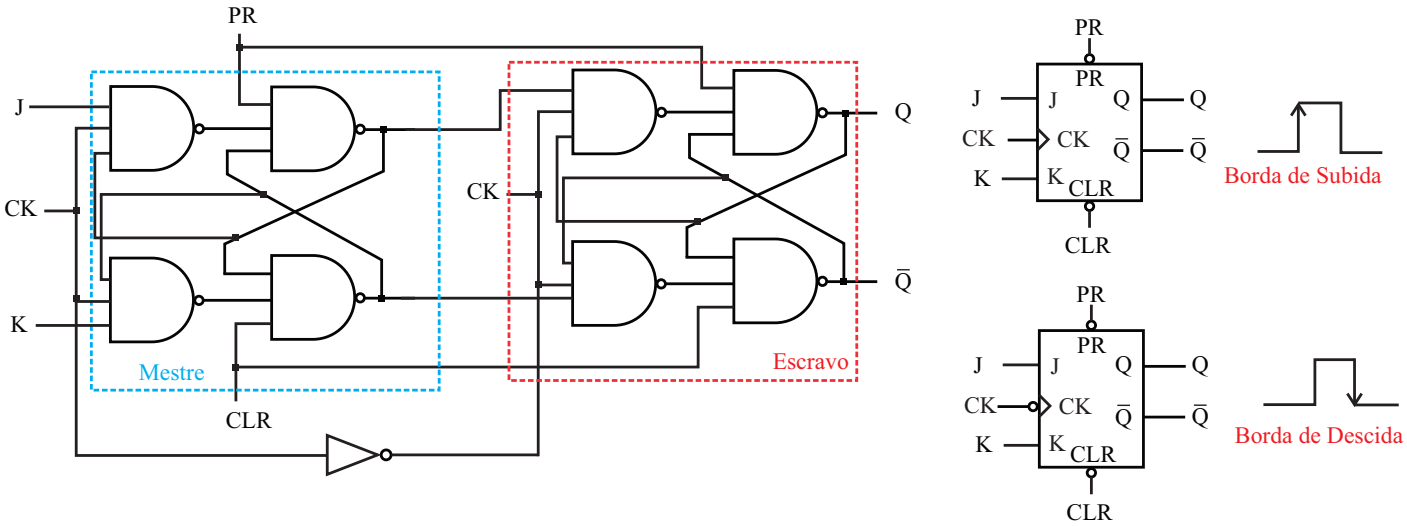

Figura 1: Flip-Flop JK Mestre-Escravo

Desta forma, de acordo com a **borda do clock**, a saída é alterada, de acordo com as entradas J, K, Preset e Clear, conforme ilustra a tabela 1.

Tabela 1: Tabela-Verdade do FF JK

J	K	PR	CLR	Q	$\overline{Q}$
X	X	1	0	0	1
X	X	0	1	1	0
X	X	0	0	X	X
0	0	1	1	Q_{ant}	$\overline{Q_{ant}}$
0	1	1	1	0	1
1	0	1	1	1	0
1	1	1	1	$\overline{Q_{ant}}$	Q_{ant}

Para realizar o testbench com um gerador de clock, podemos utilizar o comando forever, conforme o exemplo a seguir:

```
        initial begin
            $dumpfile("ff_jk_tb.vcd");
            $dumpvars(1);

            PR = 1; CLR = 0; #20;
            PR = 1; CLR = 1; J = 0; K = 0; #20;
            J = 0; K = 1; #20;
            J = 1; K = 0; #20;
            J = 1; K = 1; #20;
            $finish;
        end

        initial begin
            clk = 0;
            forever #10 clk = ~ clk;
        end
        endmodule
```

Dica: É possível fazer um case com mais de uma variável em Verilog:

```
        case ({J,K})
            2'b00: Q = X;
            2'b01: Q = X;
            2'b10: Q = X;
            2'b11: Q = X;
            default: Q = X;
        endcase
```

(2) Flip Flop tipo D

O FF tipo D é amplamente utilizado para armazenar a informação de 1 único bit, sendo obtido a partir do FF JK:

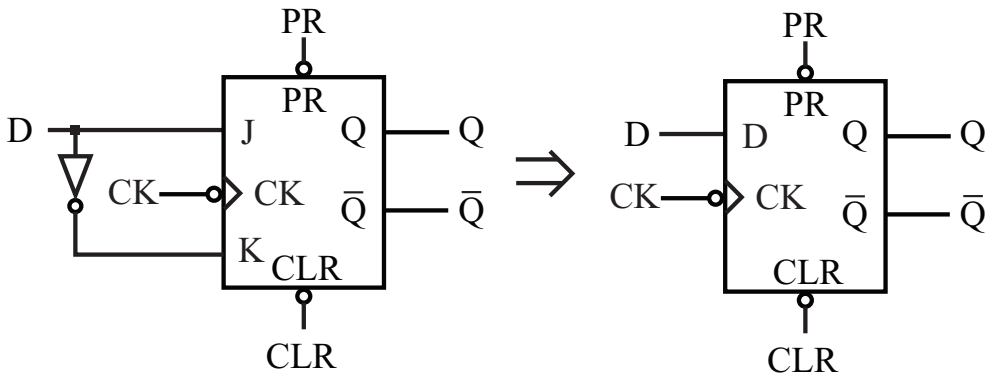

Figura 2: Flip-Flop tipo D

A tabela 2 apresenta a Tabela-Verdade do FF tipo D.

Tabela 2: Tabela-Verdade do FF tipo D com Preset e Clear ativos em nivel lógico 0

D	PR	CLR	Q	$\overline{Q}$
X	1	0	0	1
X	0	1	1	0
X	0	0	X	X
0	1	1	0	1
1	1	1	1	0

(3) Registrador:

Um registrador é um elemento que armazena n bits de informação, que pode ser criado conectando diversos FF tipo D em paralelo, conforme a figura abaixo:

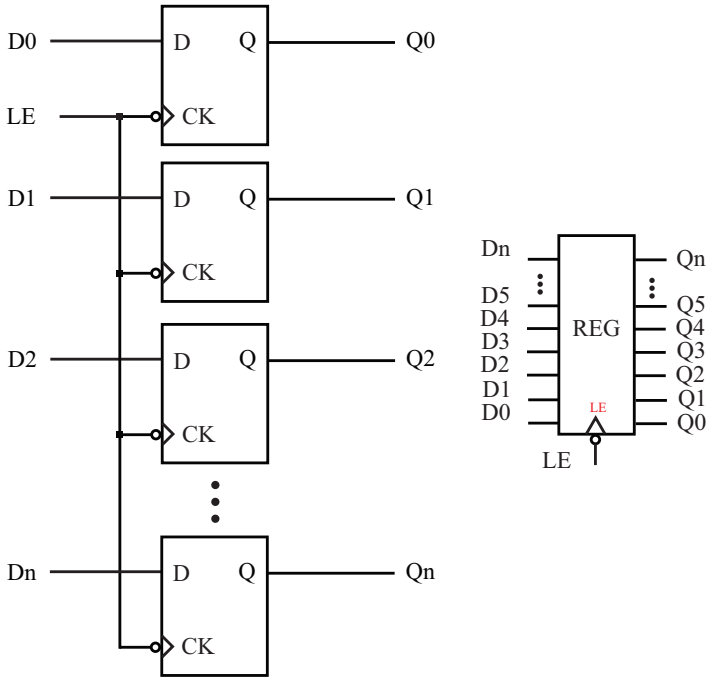

Figura 3: Flip-Flop tipo D

Em Verilog, podemos utilizar o comando generate para instanciar mais de um módulo de uma única vez, como por exemplo:

```
1    genvar i;  // Variavel de loop para o generate block
2    generate
3        // Loop para instanciar N flip-flops
4        for (i = 0; i < N; i = i + 1) begin :
5            d_flip_flop ff (clk, d[i], pr, clr, q[i], qneg[i]);
6        end
7    endgenerate
```

(4) Tarefas:

1.) Desenvolva em Verilog um módulo que implemente um FF JK com **borda de subida** e com PR e CLR ativos em **nivel lógico zero**. Anexe o código do módulo, o testbench e forma de onda no GTKWave.

2.) Desenvolva em Verilog um módulo que implemente um FF d com **borda de descida** e com PR e CLR ativos em **nivel lógico alto**. Anexe o código do módulo, o testbench e forma de onda no GTKWave.

3.) Desenvolva em Verilog um módulo que implemente um registrador de 8 bits. Anexe o código do módulo, o testbench e forma de onda no GTKWave.