

下 篇

数字电子技术

绪 论

数字电路是处理数字信号的电路，所谓处理是指数字信号的产生、整形、变换、传送、逻辑运算、控制、计数、寄存、显示等。数字电路的数字信号是二值信号，即只有高电平(用 1 表示)和低电平(用 0 表示)。分析设计数字电路的基础是逻辑代数和基本逻辑电路的功能和特性，因为数字电路输出和输入是用逻辑代数描述的逻辑关系，实用的数字电路是用基本逻辑电路组成的。数字电路不但本身具有很强的应用性，同时也是单片机应用、计算机接口、自动控制、数控电器等课程的基础课。

学习数字电路的要求是：

(1)熟练掌握必须够用的基础理论和基础知识。其中包括逻辑代数基础，各种数字单元电路的功能，特性参数的内涵等。

(2)要记住几十种常用标准数字集成电路的名称、功能及典型应用。通过学习，培养学生根据数字集成电路手册给出的集成电路的功能表管脚图，能具有正确选用和使用那些课本中没有讲过的集成电路的能力。

(3)要加强实践。脱离实际，纸上谈兵，不会有多少成效，老师讲上五遍六遍不如自己动手实践一遍，课本中给出的案例，有条件的都要让学生独立地做出来，这样一定会大大提高学习效果，大大提高应用数字电路的能力。

第3章 用标准集成电路组成的数字钟案例及相关的基础知识

内容提要

逻辑代数基础，各种门电路的功能及表示，并以 TTL 与非门、CMOS 非门为例介绍门电路的特性和参数的内涵；介绍触发器和波形产生电路；介绍组合逻辑电路、时序逻辑电路，最后给出典型的综合应用电路数字钟案例。

3.1 逻辑代数基础

3.1.1 数制和码制

1. 数制

数制是指用符号组成数的体制。常用的有十进制、二进制和十六进制。

(1)十进制数的数制。十进制数用 0~9 共十个符号表示，基数为 10，第 i 位的权重为 10^i ，低位和高位的关系是逢十进一。一个十进制数按权重展开的形式如下：

$$(373)_{10} = (373)_D = 3 \times 10^2 + 7 \times 10^1 + 3 \times 10^0$$

$$(84.91)_{10} = (84.91)_D = 8 \times 10^1 + 4 \times 10^0 + 9 \times 10^{-1} + 1 \times 10^{-2}$$

(2)二进制数的数制。二进制数用 0 和 1 共两个符号表示，基数为 2，自右向左第 i 位的权重为 2^i ，低位和高位的关系是逢二进一。一个二进制数按权重展开的形式以及和等值的十进制数的关系如下：

$$(10110)_2 = (10110)_B = 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 = (22)_{10}$$

$$(110.11)_2 = (110.11)_B = 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} = (6.75)_{10}$$

(3)十六进制数的数制。十六进制数用 0~9、A(10)、B(11)、C(12)、D(13)、E(14)、F(15) 共十六个符号表示，基数为 16，自右向左第 i 位的权重为 16^i ，低位和高位的关系是逢十六进一。一个十六进制数按权重展开的形式以及和等值的十进制数的关系如下：

$$(5E8)_{16} = (5E8)_H = 5 \times 16^2 + 14 \times 16^1 + 8 \times 16^0 = (1512)_{10}$$

$$(4A.B4)_{16} = (4A.B4)_H = 4 \times 16^1 + 10 \times 16^0 + 11 \times 16^{-1} + 4 \times 16^{-2} = (74.703125)_{10}$$

(4)不同数制之间的转换。十六进制数转换成二进制数，其方法是将十六进制数以小数点为基准，向左、向右把每一位十六进制数转换成等值的四位二进制数即可。例如：

$$(A3.E)_{16} = (10100011.1110)_2$$

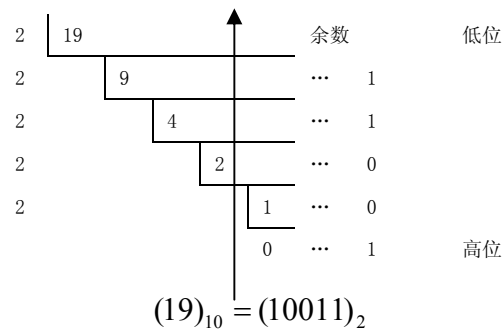
二进制数转换成十六进制数，其方法是将二进制数以小数点为基准，向左、向右每四位划为一组，小数点后面的二进制数不足四位的，可在后边加 0 变成四位，小数点前面的二进制数不足四位的，可在二进制数的前面加 0 变成四位，然后把每组二进制数转换成等值的十六进制数即可。例如：

$$(1011101.101)_2 = (0101,1101.1010)_2 = (5D.A)_{16}$$

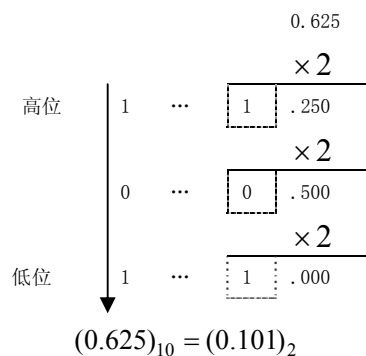
$$(110101.11)_2 = (0011,0101.1100)_2 = (35.C)_{16}$$

十进制数转换成二进制数,其方法是首先要把整数和小数分开后分别转换,然后再合并。

例如把 $(19.625)_{10}$ 转换成二进制数时,先把 $(19)_{10}$ 转换成二进制数,再把 $(0.625)_{10}$ 转换成二进制数;整数部分的转换方法是通过“除 2 取余,从低位到高位排列,直到商为 0”,其余数即为二进制数的整数。



小数部分的转换方法是把小数部分“乘 2 取整,从高位到低位排列,直到最后乘积的小数部分为 0(或满足位数要求)为止”,所取整数即为十进制数小数部分转换成的二进制数的小数部分。



$$\text{合并后得 } (19.625)_{10} = (10011.101)_2$$

2. 码制

码制是指用 0 和 1 的不同组合来编码的体制。首先要说明,码只是一个代号,不是“数”。码所代表的是人们预先赋予它的某种特定的含义,例如某足球队守门员的代号为 0001 号,前锋的代号为 0010 号,后卫的代号为 0011 号,但又可以把它看作是一个“数”,即把守门员称作 1 号运动员,把前锋称作 2 号运动员,把后卫称作 3 号运动员。在出现各种代码和十进制数之间的对应关系时,可以把代码对应的十进制数理解成代码的编号。

代码的形式很多,这里介绍几种常见的代码。

(1)自然二进制码。自然二进制码在形式上和二进制数完全一样,因此完全可以把它当做二进制数看待。因为按照把二进制数转换成的十进制数就是自然二进制码和十进制数的对应关系,例如: $(0111)_{\text{自然二进制码}} \Rightarrow (7)_{10}$, $(1101)_{\text{自然二进制码}} \Rightarrow (13)_{10}$ 。

(2)8421BCD 码(最常用的码)。8421BCD 码是用 4 个 0、1 的不同组合而成的码,且和一位十进制数相对应。码和一位十进制的对应关系就是把码按 8421 权重展开得到的十进制数,例如: $(0111)_{8421\text{BCD 码}} \Rightarrow (7)_{10}$ 。

(3)余 3BCD 码。余 3BCD 码也是用 4 个 0、1 组合成的码，且和一位十进制数相对应。码和一位十进制数的对应关系是把码按 8421 权重展开所得到的十进制数减 3，例如：(0011)_{余 3BCD 码} \Rightarrow (0)₁₀，(1010)_{余 3BCD 码} \Rightarrow (7)₁₀。

(4)格雷码(Gray 码)。格雷码是控制中常用的可靠性编码，它的特点是每相邻的两个码之间只有一位码有差异。格雷码和十进制数之间的对应关系比较难记，和十进制 0~15 相对应的四位格雷码 $G_3G_2G_1G_0$ 可以通过图 3.1 得到。

G_3G_2 G_1G_0		00	01	11	10
		0000 0	0001 1	0011 2	0010 3
00	01	0100 7	0101 6	0111 5	0110 4
11		1100 8	1101 9	1111 10	1110 11
10		1000 15	1001 14	1011 13	1010 12

图 3.1 16 个格雷码和(0~15)十六个十进制数的对应关系图

为了便于对照和进一步加深对上述各种代码和十进制数的对应关系，现把上述几种代码和十进制数的对应关系列于表 3.1 中。

表 3.1 常见代码与十进制数对应关系表

十进制数	自然二进制数	8421BCD 码	余 3BCD 码	格雷码
0	0000	0000	0011	0000
1	0001	0001	0100	0001
2	0010	0010	0101	0011
3	0011	0011	0110	0010
4	0100	0100	0111	0110
5	0101	0101	1000	0111
6	0110	0110	1001	0101
7	0111	0111	1010	0100
8	1000	1000	1011	1100
9	1001	1001	1100	1101
10	1010	00010000	01000011	1111
15	1111	00010101	01001000	1000
18	10010	00011000	01001011	不作要求
129	10000001	000100101001	010001011100	不作要求

3. 1. 2 三种基本逻辑门及其表示

在二值逻辑中，最基本的逻辑关系有三种，即与逻辑、或逻辑和非逻辑。数字电路中实现这三种逻辑的电路分别称为与门电路、或门电路和非门电路。

1. 与逻辑

所谓与逻辑是指一个逻辑事件的发生决定于几个条件，当这几个条件都满足时，这个事件就发生，否则就不发生的这样一种因果关系，如图 3.2 和表 3.2。图 3.2 是与逻辑的一个例子，其中开关 A 和 B 是决定逻辑事件灯 L 亮还是不亮的两个条件，只有当 A、B 都合上时，灯 L 才会亮，否则灯 L 就不亮。表 3.2 是此例的因果关系表。

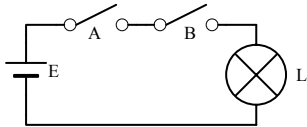


图 3.2 与逻辑举例

表 3.2 与逻辑举例的因果关系表

A	B	L
断	断	灭
断	合	灭

合	断	灭
合	合	亮

在逻辑代数中，通常把决定逻辑事件的几个条件称为逻辑变量，条件满足时逻辑变量取值为 1，条件不满足时逻辑变量取值为 0，事件发生时，L 取值为 1，事件不发生时，L 为 0。同时，在数字电路中，总是采用国家规定的逻辑图形符号来表示其逻辑关系，因此与逻辑有如图 3.3、表 3.3 和逻辑运算表达式(3-1)三种表示。

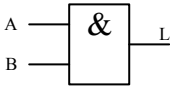


图 3.3 与门逻辑符号

表 3.3 与逻辑真值表

A	B	L
0	0	0
0	1	0
1	0	0
1	1	1

$$L = A \bullet B \quad (3-1)$$

其中图 3.3 是表示与逻辑的逻辑电路符号。在数字电路中，这个逻辑电路称为与门电路；表 3.3 称为真值表，它表示二值逻辑变量所有可能取值所对应的逻辑事件的状态；式(3-1)称为逻辑函数表达式，与逻辑用逻辑乘运算来表达和真值表相同的逻辑关系。 $L = A \bullet B$ 中的“ \bullet ”表示逻辑乘的运算符号，有时可以省去，即 $L = A \bullet B$ 也可写成 $L = AB$ 。

2. 或逻辑

所谓或逻辑是指一个逻辑事件的发生决定于几个条件，只要这几个条件中有任何一个条件满足时，这个事件就发生，只有所有条件都不满足时，这个逻辑事件才不会发生的一种因果关系。图 3.4 是一个或逻辑事件的举例，其中开关 A、B 是决定逻辑事件灯 L 亮还是不亮的两个条件。只要 A、B 中有一个合上，灯 L 就亮，只有 A、B 都不合上时，灯 L 才灭。表 3.4 是或逻辑举例的因果关系表。

在数字电路中，图 3.5、表 3.5 和式(3-2)是或逻辑的三种表示。

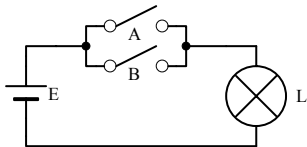


图 3.4 或逻辑举例

表 3.4 或逻辑举例的因果关系表

A	B	L
断	断	灭
断	合	亮
合	断	亮
合	合	亮

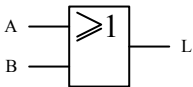


图 3.5 或门逻辑符号

表 3.5 或逻辑真值表

A	B	L
0	0	0
0	1	1
1	0	1
1	1	1

$$L = A + B \quad (3-2)$$

3. 非逻辑

非逻辑是指逻辑事件的条件满足了，逻辑事件就不发生，而条件不满足时，逻辑事件反而发生的因果关系。图 3.6 是一个非逻辑事件的举例，其中开关 A 是决定非逻辑事件的条件，当 A 合上时，灯 L 不亮，当 A 断开时，灯 L 就亮，表 3.6 是非逻辑举例的因果关系表。

非逻辑在数字电路中的三种表示见图 3.7、表 3.7 和式(3-3)

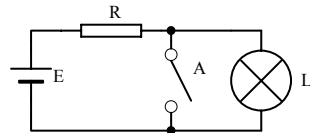


图 3.6 非逻辑举例

表 3.6 非逻辑举例的因果关系表

A	L
断	亮
合	灭

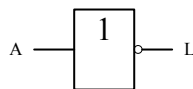


图 3.7 非门逻辑符号

表 3.7 非逻辑真值表

A	L
0	1
1	0

$$L = \overline{A} \quad (3-3)$$

3.1.3 由三种基本逻辑门导出的其它逻辑门及其表示

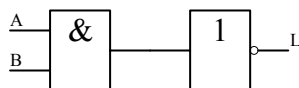
在数字电路中，常用的逻辑门除基本逻辑门与门、或门、非门以外，还有与非门、或非门、与或非门、异或门和同或门等。这些门都可以用三种基本门的组合来实现，当然这些门都有它们自己的三种表示。

1. 与非门

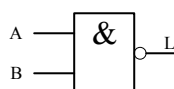
与非门是实现先“与”后“非”的数字单元电路，与非门的逻辑函数表达式为：

$$L = \overline{A \cdot B} \quad (3-4)$$

图 3.8(a)是先与后非的组合电路，图 3.8(b)是与非门逻辑符号，表 3.8 是与非门的真值表。



(a) 组合电路



(b) 逻辑符号

图 3.8 与非门组合电路及逻辑符号

表 3.8 与非门真值表

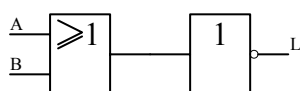
A	B	L
0	0	1
0	1	1
1	0	1
1	1	0

2. 或非门

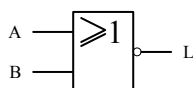
或非门是实现先“或”后“非”的数字单元电路，或非门的逻辑函数表达式为：

$$L = \overline{A + B} \quad (3-5)$$

图 3.9(a)是先或后非的组合电路，图 3.9(b)是或非门的逻辑符号，表 3.9 是或非门的真值表。



(a) 组合电路



(b) 逻辑符号

图 3.9 或非门组合电路及逻辑符号

表 3.9 或非门真值表

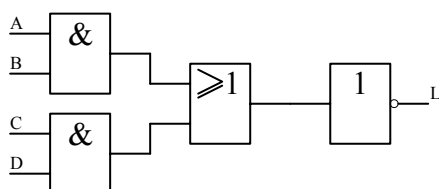
A	B	L
0	0	1
0	1	0
1	0	0
1	1	0

3. 与或非门

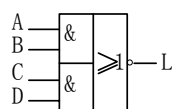
与或非门是实现先“与”后“或”再“非”的数字单元电路，与或非门的逻辑函数表达式为：

$$L = \overline{A \bullet B + C \bullet D} \quad (3-6)$$

图 3.10(a)是先与后或再非的组合电路，图 3.10(b)是与或非门的逻辑符号，表 3.10 是与或非门的真值表。



(a) 组合电路



(b) 逻辑符号

图 3.10 与或非门组合电路及逻辑符号

表 3.10 与或非门真值表

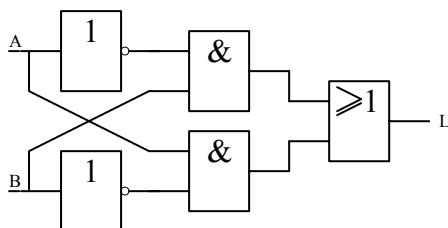
A	B	C	D	L
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

4. 异或门

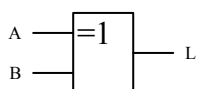
异或门是实现异或运算的数字单元电路，所谓异或运算是指在只有两个输入变量 A、B 的电路中，当 A 和 B 取值不同时输出为 1，否则输出为 0，异或门的逻辑函数表达式为：

$$L = A \oplus B = \overline{A}B + A\overline{B} \quad (3-7)$$

图 3.11(a)是实现异或运算的组合电路，图 3.11(b)是异或门的逻辑符号，表 3.11 是异或门的真值表。



(a) 组合电路



(b) 逻辑符号

图 3.11 异或门组合电路及逻辑符号

表 3.11 异或门真值表

A	B	L
0	0	0
0	1	1
1	0	1
1	1	0

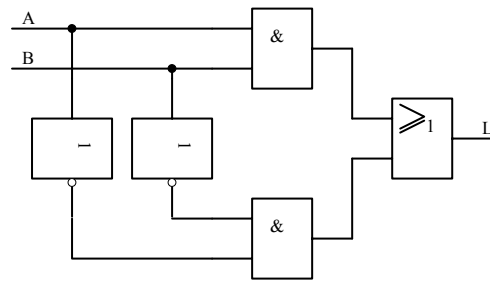
5. 同或门

同或门是实现同或运算的数字单元电路，所谓同或运算是指在只有 2 个输入变量 A、B 的电路中，当 A 和 B 取值相同时输出为 1，否则输出为 0，同或门的逻辑函数表达式为：

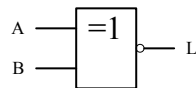
$$L = A \odot B = \overline{A}B + A\overline{B} = \overline{A \oplus B} \quad (3-8)$$

图 3.12(a)是实现同或运算的组合电路，图 3.12(b)是同或门的逻辑符号，表 3.12 是同或

门的真值表。



(a) 组合电路



(b) 逻辑符号

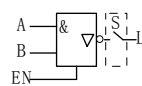
图 3.12 同或门组合电路及逻辑符号

表 3.12 同或门真值表

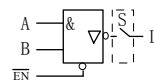
A	B	L
0	0	1
0	1	0
1	0	0
1	1	1

6. 三态门

三态门(Three State)简称 TS 门，它是可控与非门，图 3.13(a)、(b)是三态门的逻辑符号，其中 EN 或 \overline{EN} 是三态门的控制信号输入端。对于图 3.13(a)，当 $EN=1$ 时，S 合上，此时的 TS 门就是一个普通的二输入与非门，当 $EN=0$ 时，S 断开，输出 L 和门电路不通，称为高阻状态。对于图 3.13(b)，当 $\overline{EN}=0$ 时，S 合上， $\overline{EN}=1$ 时呈现高阻状态，表 3.13 和表 3.14 是和图 3.13(a)、(b)对应的 TS 门的真值表。



(a)



(b)

图 3.13 三态门逻辑示意图

表 3.13 三态门真值表 a

EN	A	B	L
0	×	×	高阻
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

表 3.14 三态门真值表 b

\overline{EN}	A	B	L
1	×	×	高阻
0	0	0	1
0	0	1	1

0	1	0	1
0	1	1	0

在数字系统中,经常要求多路输出数据的总线传送,利用三态门可以实现这种总线结构,图 3.14 给出了这种结构图,只要轮流定时地使各个三态门的 $\overline{EN}=0$,并要保证在任何时刻只有一个 $\overline{EN}=0$,这样就可以把各路数据轮流地传送到数据总线上。

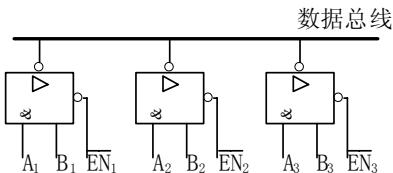


图 3.14 用三态门构成的多路数据总线传送结构图

7. 集电极开路的与非门(Open Collector Gate)

集电极开路的与非门简称 OC 门,图 3.15 给出了 OC 门的逻辑符号,OC 门在应用时需要在输出端外接一个电阻到电源上,用 OC 门可以实现“线与”,即用一条线可以实现两个 OC 门输出的“与”功能,如图 3.16。

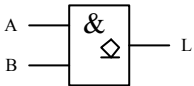


图 3.15 OC 门逻辑符号

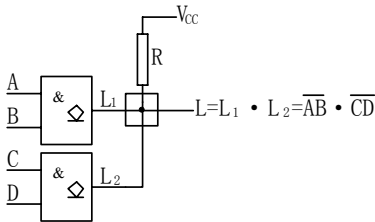


图 3.16 两个 OC 门的“与”功能

注意:前面所给出的各种门的逻辑符号是指国家标准符号,但是在很多书籍中也会经常看到过去曾经用过的符号和国外的符号,读者对三种形式的符号都应掌握,表 3.15 即为三种逻辑符号的对照表。

表 3.15 三种逻辑符号对照表

名称	逻辑符号		
	国标	曾用符号	国外符号
与门			
或门			
非门			
与非门			

或非门			
与或非门			
异或门			
同或门			
OC 门			
三态与非门			
三态非门			

3.1.4 同一逻辑关系的各种表示之间的相互转换

既然同一逻辑关系有三种不同的表示，那么这三种不同表示之间必然能互相转换，经常遇到的转换有如下几种：

1. 已知逻辑电路图写出逻辑函数表达式

进行这一转换的方法是根据逻辑电路图逐级写出每个逻辑符号的输出逻辑函数式，直到最后。如图 3.17 所示。

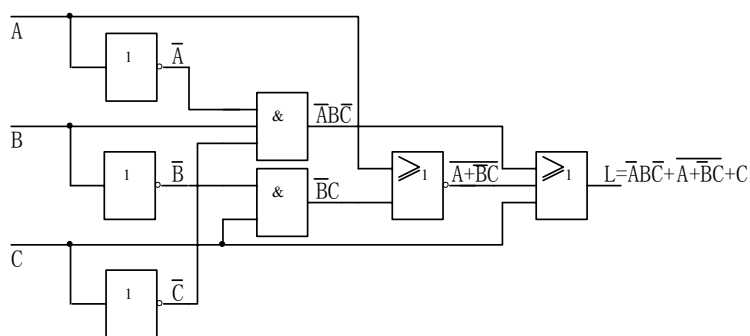


图 3.17 根据逻辑电路图写出逻辑函数表达式

2. 已知逻辑函数表达式作出逻辑电路图

进行这一转换的方法是把逻辑函数中所有与、或、非等运算式用相应的逻辑门符号替代，并按照运算优先顺序把这些逻辑门连接起来。例如已知逻辑函数：

$$L = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + (A \oplus B) \bullet \overline{(A + B)}$$

根据转换方法画出的逻辑电路如图 3.18 所示。

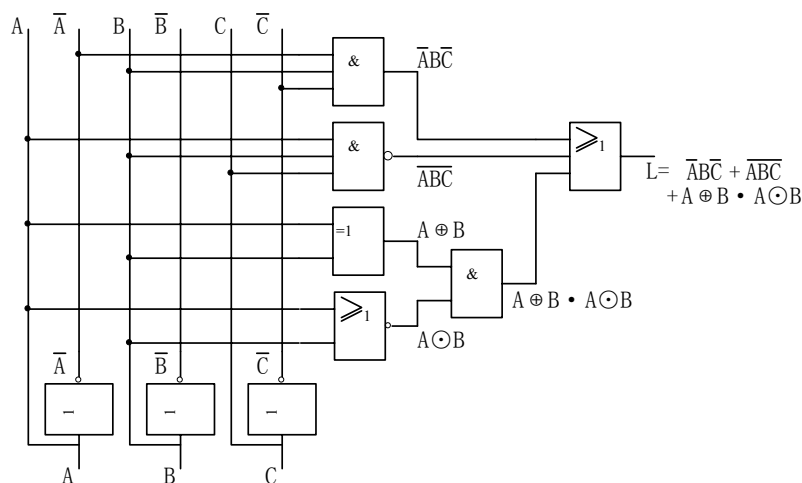


图 3.18 根据逻辑函数表达式画出的逻辑电路

3. 已知真值表写出逻辑函数表达式

由真值表写出逻辑函数表达式的一般方法是：首先找出真值表中使逻辑函数 $L=1$ 的那些输入变量取值的组合，每组输入变量取值的组合对应一个乘积项，其中取值为 1 的写出逻辑变量的原变量，取值为 0 的写出逻辑变量的非变量，然后把这些乘积项相加，即得 L 的逻辑函数表达式。如由真值表 3.16，可写出的逻辑函数表达式为：

$$L = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC。$$

表 3.16

A	B	C	L	使 $L=1$ 所对应的乘积项
0	0	0	0	
0	0	1	1	$\overline{A}\overline{B}C$
0	1	0	1	$\overline{A}B\overline{C}$
0	1	1	0	
1	0	0	1	$A\overline{B}\overline{C}$
1	0	1	0	
1	1	0	0	
1	1	1	1	ABC

4. 已知逻辑函数列出真值表

已知逻辑函数表达式列真值表的方法是：首先把输入变量的取值的各种组合按二进制数由小到大排列，然后把每一个组合的逻辑变量的取值代入逻辑函数式，求出逻辑函数的值即可。例如逻辑函数 $L = \overline{A}B + C + \overline{A}\overline{B}C$ ，列真值表时把 ABC 的取值组合由 000、001、……、111 从小到大排列，然后分别计算出 $ABC=001\sim 111$ 时所对应的 L 的值，表 3.17 是 $L = \overline{A}B + C + \overline{A}\overline{B}C$ 的真值表和 L 的计算过程。

表 3.17

真值表				L 值的计算过程
A	B	C	L	$L = \overline{A}B + C + \overline{A}\overline{B}C$
0	0	0	0	$L = 1 \cdot 0 + 0 + 0 \cdot 1 \cdot 0 = 0$
0	0	1	1	$L = 1 \cdot 0 + 1 + 0 \cdot 1 \cdot 1 = 1$
0	1	0	1	$L = 1 \cdot 1 + 0 + 0 \cdot 0 \cdot 0 = 1$
0	1	1	1	$L = 1 \cdot 1 + 1 + 0 \cdot 0 \cdot 1 = 1$
1	0	0	0	$L = 0 \cdot 0 + 0 + 1 \cdot 1 \cdot 0 = 0$
1	0	1	1	$L = 0 \cdot 0 + 1 + 1 \cdot 1 \cdot 1 = 1$
1	1	0	0	$L = 0 \cdot 1 + 0 + 1 \cdot 0 \cdot 0 = 0$
1	1	1	1	$L = 0 \cdot 1 + 1 + 1 \cdot 0 \cdot 1 = 1$

3.1.5 逻辑代数的基本公式和基本定律

1. 由与、或、非基本逻辑推理出的与、或、非运算的基本公式

根据逻辑乘 $L = A \bullet B$ 的定义有：

$$0 \bullet 0 = 0$$

$$0 \bullet 1 = 0$$

$$1 \bullet 0 = 0$$

$$1 \bullet 1 = 1$$

由此可推理出与运算基本公式为：

$$A \bullet 0 = 0$$

$$A \bullet 1 = A$$

$$A \bullet \overline{A} = 0$$

$$A \bullet A = A$$

根据逻辑或 $L = A + B$ 的定义有：

$$0 + 0 = 0$$

$$0 + 1 = 1$$

$$1 + 0 = 1$$

$$1 + 1 = 1$$

由此可推理出与运算基本公式为：

$$A + 1 = 1$$

$$A + 0 = A$$

$$A + A = A$$

$$A + \overline{A} = 1$$

根据逻辑非 $L = \overline{A}$ 的定义有：

$$\overline{0} = 1$$

$$\overline{1} = 0$$

由此可推理出非运算基本公式为：

$$\overline{\overline{A}} = A$$

2. 和普通代数相同的定律有交换律、结合律和分配律

(1) 交换律：

$$A \bullet B = B \bullet A$$

$$A + B = B + A$$

(2) 结合律：

$$A \bullet B \bullet C = A \bullet (B \bullet C)$$

$$A + B + C = A + (B + C)$$

(3) 分配律：

$$A \bullet (B + C) = AB + AC$$

$$(A + B)(A + C) = A + B \bullet C$$

其中：

$$\begin{aligned}
& (A+B)(A+C) \\
&= A \cdot A + A \cdot C + A \cdot B + B \cdot C \\
&= A + A(B+C) + B \cdot C \\
&= A(1+B+C) + B \cdot C \\
&= A \cdot 1 + B \cdot C \\
&= A + B \cdot C
\end{aligned}$$

3. 狄摩根定律:

狄摩根定律为:

$$\begin{aligned}
\overline{A \cdot B \cdot C} &= \overline{A} + \overline{B} + \overline{C} \\
\overline{A + B + C} &= \overline{A} \cdot \overline{B} \cdot \overline{C}
\end{aligned}$$

3.1.6 逻辑函数的卡诺图化简

逻辑函数和实现逻辑函数的数字电路是对应的, 逻辑函数简化了, 则相应的数字电路也就简单了。功能不变, 电路简单, 当然是我们所追求的。逻辑函数的化简通常有公式化简和卡诺图化简两种方法, 公式化简没有固定的步骤, 化简结果是不是一定最简也难以判断, 而卡诺图化简有固定的步骤, 容易掌握。按步骤正确化简的结果一定是最简的与或表达式, 所以本书中只介绍卡诺图化简方法。

1. 逻辑函数的最小项及其表示

所谓逻辑函数的最小项, 是指在有 n 个变量的逻辑函数中, 有这样一些乘积项, n 个变量中的每一个变量, 要么以原变量, 要么以非变量出现在这些乘积项中, 且只出现一次, 这样的一些乘积项称逻辑函数的最小项。 n 个变量的所有最小项为 2^n 项。例如三变量 A 、 B 、 C 逻辑函数的所有的最小项为 $\overline{A}\overline{B}\overline{C}$ 、 $\overline{A}\overline{B}C$ 、 $\overline{A}B\overline{C}$ 、 $\overline{A}BC$ 、 $A\overline{B}\overline{C}$ 、 $A\overline{B}C$ 、 $AB\overline{C}$ 、 ABC , 共 $2^3=8$ 项。

如果把三变量的最小项 $\overline{A}\overline{B}\overline{C} \sim ABC$ 看作是最小项的定义式的话, 为了表示简便, 在书写最小项表达式时常用它的代号, 常用的代号有如下三种:

(1) 输入变量的每组取值总使一个最小项的值为 1, 如 ABC 取值分别为 0、1、0 时, 只有最小项 $\overline{A}\overline{B}\overline{C}=1$, 因此 010 可作为 $\overline{A}\overline{B}\overline{C}$ 的代号, 所以 ABC 各组取值 000~111 可作为 $\overline{A}\overline{B}\overline{C} \sim ABC$ 的代号。

(2) 把每组取值当作二进制数, 然后把二进制数转换成十进制数, 因此和每个二进制数对应的十进制数 0~7 可作为 $\overline{A}\overline{B}\overline{C} \sim ABC$ 的代号。

(3) 用相应的十进制数对应最小项编号, 0 编成 m_0 , 2 编成 m_2 , 因此 $m_0 \sim m_7$ 可作为 $\overline{A}\overline{B}\overline{C} \sim ABC$ 的代号。

在写逻辑函数最小项表达式时, 可以用代号表示。例如:

$$\begin{aligned}
L &= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC \\
&= \sum (1, 5, 6, 7) \\
&= \sum (m_1, m_5, m_6, m_7) \\
&= \sum_m (1, 5, 6, 7)
\end{aligned}$$

2. 任何一个逻辑函数都可以化为用最小项之和表示的形式

(1) 给定的逻辑函数为与或表达式。当给定的逻辑函数为与或表达式时, 只要利用基本公式 $A + \overline{A} = 1$ 对所缺变量的项进行补变量。

例 3.1 给定的逻辑函数为 $L(ABC) = AB + \overline{BC}$

解:

$$\begin{aligned} L &= AB + \overline{BC} = AB(C + \overline{C}) + \overline{BC}(A + \overline{A}) = ABC + AB\overline{C} + A\overline{B}\overline{C} + \overline{A}\overline{B}\overline{C} \\ &= m_7 + m_6 + m_5 + m_1 = \sum_m(1, 5, 6, 7) = \sum(1, 5, 6, 7) \end{aligned}$$

(2)给定的逻辑函数具有公共非号。当给定的逻辑函数具有公共非号时，可以反复使用狄摩根定律，去掉公共非号，直到只存在单个变量上有非为止，如果缺变量，再按(1)进行补变量。

例 3.2 给定的逻辑函数为 $L(ABC) = \overline{(AB + \overline{AB} + C)} \bullet \overline{AB}$

解:

$$\begin{aligned} L(ABC) &= \overline{(AB + \overline{AB} + C)} \bullet \overline{AB} = \overline{(AB + \overline{AB} + C)} + \overline{AB} \\ &= (\overline{AB} \bullet \overline{\overline{AB}} \bullet \overline{C}) + AB = (\overline{A} + \overline{B}) \bullet (A + B) \bullet C + AB \\ &= \overline{A}BC + A\overline{B}C + AB(C + \overline{C}) = \overline{A}BC + A\overline{B}C + ABC + AB\overline{C} \\ &= m_3 + m_5 + m_7 + m_6 = \sum_m(3, 5, 6, 7) = \sum(3, 5, 6, 7) \end{aligned}$$

3. 卡诺图

卡诺图是注上逻辑函数的最小项所在位置标记的方格图，由于逻辑函数的最小项定义式可以用代号表示。通常用代号十进制数作为标记，写在方格的右下方，这样可以避免填卡诺图时填上的符号和标记混淆。图 3.19(a)、(b)、(c)、(d)是二变量到五变量的卡诺图。

		B	
		0	1
A	0	00 $\overline{A}\overline{B}$ m_0 0	01 $\overline{A}B$ m_1 1
	1	10 $A\overline{B}$ m_2 2	11 AB m_3 3

(a) 二变量最小项卡诺图

		BC			
		00	01	11	10
A	0	0 m_0	1 m_1	3 m_3	2 m_2
	1	4 m_4	5 m_5	7 m_7	6 m_6

(b) 三变量最小项卡诺图

		CD			
		00	01	11	10
AB	00	0 m_0	1 m_1	3 m_3	2 m_2
	01	4 m_4	5 m_5	7 m_7	6 m_6
	11	12 m_{12}	13 m_{13}	15 m_{15}	14 m_{14}
	10	8 m_8	9 m_9	11 m_{11}	10 m_{10}

(c) 四变量最小项卡诺图

L AB \ CDE		000	001	011	010	110	111	101	100
		0	1	3	2	6	7	5	4
00									
01									
11									
10									

(d) 五变量最小项卡诺图

图 3.19 二变量到五变量的卡诺图

4. 已知逻辑函数的任何一种表示填卡诺图

(1) 已知逻辑函数的最小项表达式填卡诺图。把逻辑函数表达式中各个最小项在卡诺图相应的方格中填上“1”，其余填上“0”。通常 0 可以不填，因为除掉 1 就是 0，不填 0，看起 1 方格来反而一目了然。例如，根据逻辑函数的最小项表达式 $L(ABCD) = \sum(0,2,5,7,9,11,13,15)$ ，填好后的卡诺图如图 3.20。

L AB \ CD		00	01	11	10
		0	1	3	2
00		1			1
01			1	1	
11			1	1	
10			1	1	

图 3.20 填好的卡诺图

(2) 已知真值表填卡诺图。在真值表中，使 $L=1$ 的变量取值所对应的最小项在卡诺图相应的方格中填 1 即可，根据真值表 3.18，填好后的卡诺图如图 3.21 所示。

表 3.18 已知的真值表

十进制数	ABCD	L
0	0000	1
1	0001	0
2	0010	1
3	0011	0
4	0100	1
5	0101	0
6	0110	1
7	0111	0
8	1000	1
9	1001	0
10	1010	0
11	1011	0
12	1100	0
13	1101	1
14	1110	0
15	1111	1

L

	CD	00	01	11	10
AB	00	1 0			1 2
	01	1 4			1 6
	11		1 12	1 13	
	10	1 8			

图 3.21 根据表 3.18 填好后的卡诺图

(3)已知逻辑函数的与或表达式填卡诺图。若已知的逻辑函数表达式不是最小项之和的形式，一般的方法是可以先化成最小项之和的形式，再按(1)所述方法填卡诺图。但是当已知的逻辑函数不是最小项之和的形式，而是与或表达式时，可直接填卡诺图，例如已知逻辑函数 $L(ABCD) = A + \bar{B}C + \bar{A}BD + \bar{A}\bar{B}CD$ ，填卡诺图。

在根据与或表达式填卡诺图之前，首先搞清楚两个问题：

第一，逻辑函数中每一个原变量和非变量在卡诺图中所在的区域。例如原变量 A，通过补变量 $A = A(B + \bar{B})(C + \bar{C})(D + \bar{D}) = \sum(8,9,10,11,12,13,14,15)$ 即 A 所在区域是卡诺图下半部分的八个方格，同样我们可以证明每一个原变量或非变量所在区域，如图 3.22 所示。

第二，与或表达式中的每一项在卡诺图中所在的区域。如 $\bar{B}C$ 项，通过补变量知 $\bar{B}C = \bar{B}C(A + \bar{A})(D + \bar{D}) = \sum(2,3,10,11)$ ，所在区域为 \bar{B} 所在区域和 C 所在区域的交叠区域，同样可以证明由三个变量的乘积项所在的区域是三个变量所在区域的交叠区域。

在弄清楚上述两个规律的前提下，已知逻辑函数的与或表达式填卡诺图的方法也就得到了，即：把与或表达式中的每一个乘积项(含只有一个变量和多个变量)在它所在区域的方格内填 1，当一个方格被填上两个或两个以上的 1 时，根据 $1+1=1$ 的运算关系，只相当于一个 1。按逻辑函数 $L(ABC) = (A + \bar{B}C + \bar{A}BD + \bar{A}\bar{B}CD)$ 所填卡诺图如图 3.23(a)、(b)所示，图 3.23(a)为按区域填 1 的过程示意图，图 3.23(b)为实际填好的卡诺图。

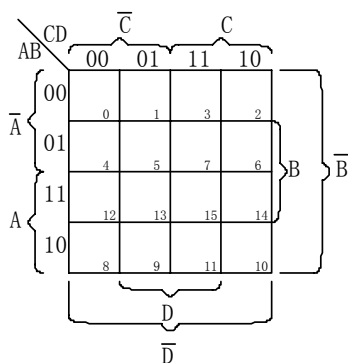
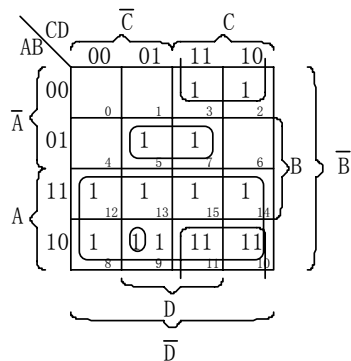
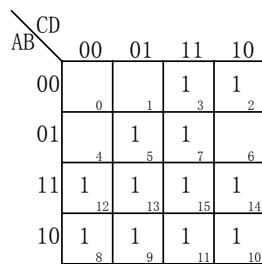


图 3.22 原变量非变量所在区域分布图



(a) 按区域填 1 的过程示意图



(b) 实际填好的卡诺图

图 3.23 按所在区域填卡诺图的过程示意图

5. 用卡诺图化简逻辑函数的步骤和化简举例

(1) 用卡诺图化简逻辑函数的步骤

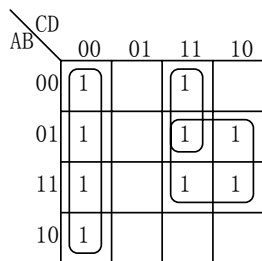
①画卡诺图并根据给出的逻辑函数填卡诺图。

②把排列成矩形的 1、2、4、8 个相邻的 1 方格画进相应的包围圈内，包围圈越大越好，包围圈的个数越少越好，同一个 1 方格可多次被不同的包围圈所包围，但是新包围圈必须有新的 1 方格，单独的一个 1 方格也不要漏掉，注意正确画包围圈是用卡诺图化简的关键一步。

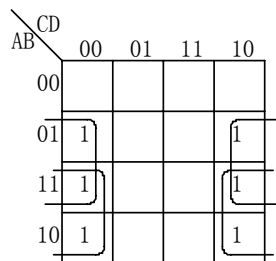
③一个包围圈对应于一个乘积项，写出各个包围圈的乘积项表达式。

④把各个乘积项相加，即得最简的逻辑函数与或表达式。

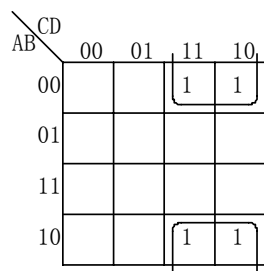
(2)相邻的概念。1 方格的相邻有直接相邻、左右相邻、上下相邻和四角相邻，如图 3.24 所示。



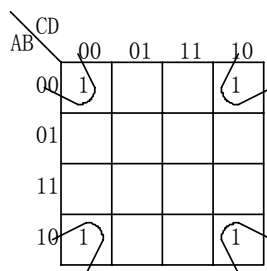
(a) 直接相邻



(b) 左右相邻



(c) 上下相邻



(d) 四角相邻

图 3.24 相邻的卡诺图

(3)用卡诺图化简逻辑函数举例：

例 3.3 已知逻辑函数 $L(ABCD) = \sum (0,2,4,8,10,12,15)$ ，用卡诺图化简。

解：①画卡诺图，并根据逻辑函数填卡诺图，如图 3.25 所示。

②画出包围圈。

③写出各个包围圈的乘积项并相加得到最简的逻辑函数与或表达式。其中：

$$L_1 = \sum (0,4,12,8) = \overline{C}\overline{D} \quad (0、4、8、12 \text{ 是 } \overline{C} \text{ 和 } \overline{D} \text{ 所在区域的交叠区})$$

$$L_2 = \sum (0,2,8,10) = \overline{B}\overline{D} \quad (0、2、8、10 \text{ 是 } \overline{B} \text{ 和 } \overline{D} \text{ 所在区域的交叠区})$$

$$L_3 = \sum (15) = ABCD$$

所以

$$L = \overline{C}\overline{D} + \overline{B}\overline{D} + ABCD$$

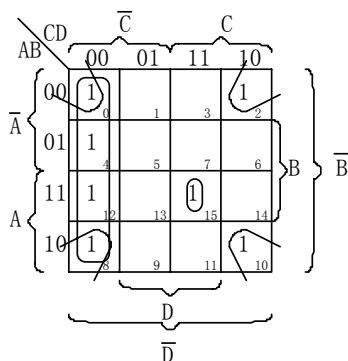


图 3.25 例 3.3 的卡诺图

例 3.4 把下列逻辑函数化成最简的与或表达式。

$$L_a(ABCD) = \sum (0,1,2,3,4,5,6,7,10,11)$$

$$L_b(ABCD) = \sum (0,1,2,5,6,7,10,11,14,15)$$

$$L_c(ABCD) = \sum (1,2,4,9,10,11,13,15)$$

$$L_d(ABCD) = \sum (1,5,6,7,11,12,13,15)$$

解：

①画出逻辑函数 L_a 、 L_b 、 L_c 、 L_d 的卡诺图，并根据 L_a 、 L_b 、 L_c 、 L_d 填卡诺图，如图 3.26 所示。

②画出各个卡诺图内 1 方格的包围圈。

③求出各个卡诺图内各个包围圈相应的乘积项并相加得最简逻辑函数的与或表达式为：

$$L_a(ABCD) = \overline{A} + \overline{B}C$$

$$L_b(ABCD) = BC + AC + \overline{A}\overline{B}D + \overline{A}CD$$

$$L_c(ABCD) = AD + \overline{B}\overline{C}D + \overline{B}CD + \overline{A}\overline{B}\overline{C}D$$

$$L_d(ABCD) = A\overline{B}\overline{C} + \overline{A}BC + \overline{A}\overline{C}D + ACD$$

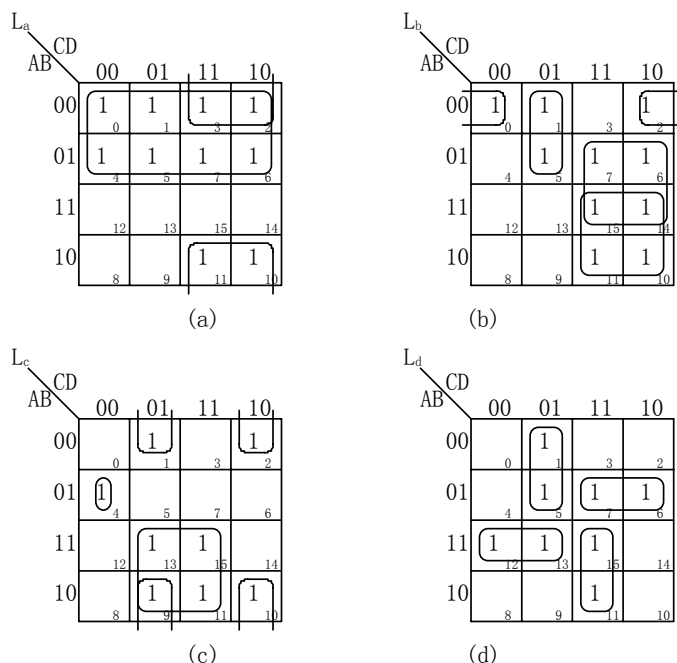


图 3.26 例 3.4 的四个卡诺图

(4)具有无关最小项逻辑函数的化简。逻辑函数所有 2^n 个最小项中有时会有一些最小项是受约束的项(不允许出现)或者是任意项(有这些项还是无这些项对逻辑函数没有影响)，这些约束项和任意项统称无关最小项，例如 8421BCD 码中 1010~1111 就不允许出现的约束项。由于无关最小项在逻辑函数中要么不会出现，要么对逻辑函数无影响，因此这些无关最小项在卡诺图中相应的方格中是 1 或是 0 都无所谓。在填卡诺图时，这些无关最小项在相应的方格中填“×”，以示区别。在画包围圈时，可把“×”当 1 看待，也可把“×”当 0 看待。究竟把“×”当 1 还是当 0，应根据需要而定。

例 3.5 用卡诺图化简逻辑函数：

$$L(ABCD) = \sum_m(0,1,4,6,9,13) + \sum_d(2,3,5,7,10,11,15)$$

其中 $\sum_d(2,3,5,7,10,11,15)$ 中的七个最小项是无关最小项。

解：

①画出卡诺图，在 $\sum_m(0,1,4,6,9,13)$ 中的最小项在卡诺图相应的方格中填 1，在

$\sum_d(2,3,5,7,10,11,15)$ 中的无关最小项在卡诺图相应方格中填“×”，如图 3.27(a)、(b)所示。

② 在图 3.27(a) 中只对 1 方格画包围圈，并求出化简后逻辑函数为 $L'(ABCD) = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}D + \overline{A}B\overline{D}$ ，在图 3.27(b) 中，充分利用“×”项把包围圈画大，并求出化简后的逻辑函数为 $L(ABCD) = \overline{A} + D$ ，显然 L 比 L' 简单，因此充分利用无关项把包围圈画大，可以把逻辑函数简化得更简单。

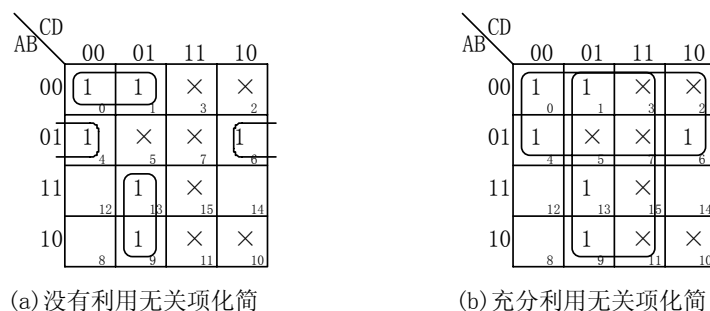


图 3.27 例 3.5 的卡诺图

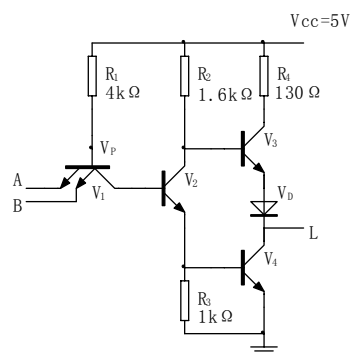
3.2 门电路

门电路包括与门、或门、非门、与非门、或非门、与或非门、异或门、同或门、三态门、OC 门等等，这些门电路是构成数字电路的单元电路。前面已经讲到的三种表示，给出了这些门电路的逻辑功能。从构成这些门的器件来分，通常可以分为两类，即 TTL 和 CMOS。TTL(Transistor-Transistor-Logic)是晶体管—晶体管逻辑电路的简称；CMOS(Complement Metal-Oxide-Semiconductor)是互补对称金属氧化物半导体的简称。同一个与非门，有 TTL 与非门和 CMOS 与非门之分，它们的三种表示即逻辑功能是一样的，但它们的特性参数是有差异的。目前这两类门在市场上都有大量供应，分析两类门的特性参数，目的是在实际使用门电路时，能根据实际要求正确选用和使用。

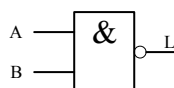
3.2.1 以 TTL 与非门为例介绍 TTL 门电路的特性参数

1. TTL7400 系列与非门的组成及功能分析

图 3.28(a)、(b)是 7400 系列与非门的电原理图和它的逻辑符号，图 3.28(c)是 7400 两输入四与非门的集成电路的管脚图。



(a)



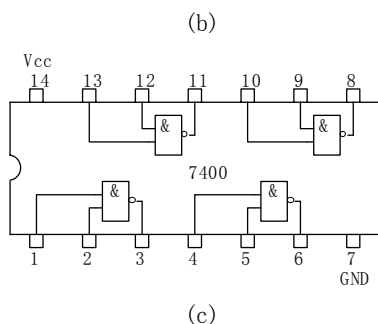


图 3.28

在图 3.28(a)中, V_1 是多发射极晶体管, R_1 、 V_1 电路及它的等效电路如图 3.29(a)、(b)所示, 由图 3.29(b)可以看出 R_1 、 V_1 电路相当于与门, 实现“与”功能, U_P 是与门的输出端, 当 A、B 中有一个低电平时, U_P 为低电平, 只有当 A、B 全为高电平时, U_P 才是高电平。

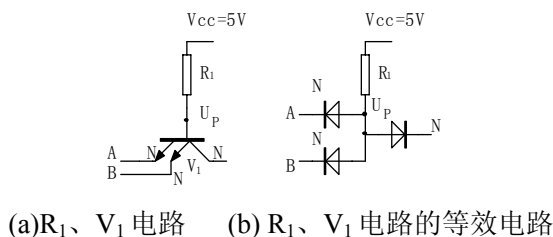


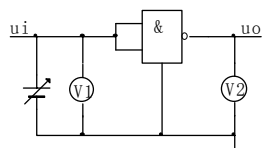
图 3.29

V_2 、 R_2 、 R_3 是一个反相器, 实现非功能。 R_4 、 V_3 、 V_D 、 V_4 是推拉式输出级。

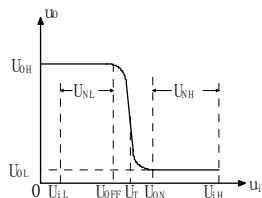
在图 3.28(a)中, 当 A、B 中有一个是低电平 0.3V 时, $U_P=1V$, V_2 、 V_4 截止, V_3 导通, L 输出高电平 U_{OH} , $U_{OH} \approx 3.6V$ 。当 A、B 全为高电平时, $U_P=2.1V$, V_2 、 V_4 导通, V_3 截止, L 输出低电平 U_{OL} , $U_{OL} \approx 0.3V$, 因此图 3.28(a)具有“与非”功能。

2. TTL 与非门的传输特性

传输特性是指 TTL 与非门电路的输入电压 u_i 和输出电压 u_o 之间的关系, u_i 和 u_o 之间的关系可以通过实际测量得到。如图 3.30(a)、(b)所示, 图 3.30(a)为测量电路示意图, 图 3.30(b)为测出的传输特性曲线。



(a) 测量电路



(b) 传输特性曲线

图 3.30 测量电路与传输特性曲线

由传输特性曲线, 不难理解下列 TTL 电路的特性参数。

- (1) 输出高电平 U_{OH} : 一般 $U_{OH}=(2\sim3.6)V$ 。
- (2) 输出低电平 U_{OL} : 一般 $U_{OL}=(0.1\sim0.8)V$ 。
- (3) 输入低电平 U_{iL} : 一般 $U_{iL}=(0.1\sim0.8)V$ 。

- (4) 输入高电平 U_{iH} : 一般 $U_{iH}=(2\sim3.6)V$ 。
- (5) 关门电平 U_{oF} : 门输出高电平的状态称关门。关门电平是指 $u_i < U_{oF}$ 时保证门输出高电平的阈值电压。
- (6) 开门电平 U_{oN} : 门输出低电平的状态称开门。开门电平是指 $u_i > U_{oN}$ 时保证门输出低电平的阈值电压。
- (7) 转换电压 U_T : 当 $u_i = U_T$ 时门的输出处于转换状态。TTL 与非门的 $U_T \approx 1.4V$
- (8) 低电平噪声容限 U_{NL} : 当正常输入 U_{iL} 时, 在 U_{iL} 上叠加一个正干扰电压 U_N , 只要 U_N 不大于 U_{NL} , 门输出高电平的状态不会改变, $U_{NL} = U_{oF} - U_{iL}$ 。
- (9) 高电平噪声容限 U_{NH} : 当正常输入 U_{iH} 时, 在 U_{iH} 上叠加一个负干扰电压 U_N , 只要 U_N 不大于 U_{NH} , 门输出低电平的状态不会改变, $U_{NH} = U_{iH} - U_{oN}$ 。

3. TTL 与非门的输入特性

输入特性是指输入电压 u_i 和输入电流 i_i 之间的关系。

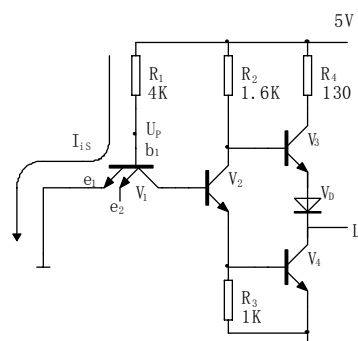
(1) 输入电流 I_{iS} 、 I_{iL} 和 I_{iH} 。 I_{iS} 称输入短路电流, 是 $u_i = 0$ 时的输入电流, 如图 3.31(a)所示, 输入短路电流 I_{iS} 由输入端流向电路地。

$$I_{iS} = \frac{5V - U_{BE1}}{R_1} \approx \frac{5V - 0.7V}{4K\Omega} = 1.075mA \quad (3-9)$$

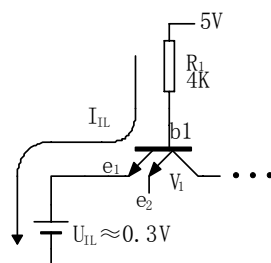
I_{iL} 称输入低电平电流, 是 $u_i = U_{iL}$ 时的输入电流, 如图 3.31(b)所示, 输入低电平电流 I_{iL} 由输入端经 U_{iL} 流向电路地。

$$I_{iL} = \frac{5V - U_{BE1} - U_{iL}}{R_1} \approx \frac{5V - 0.7V - 0.3V}{4K\Omega} = 1mA \quad (3-10)$$

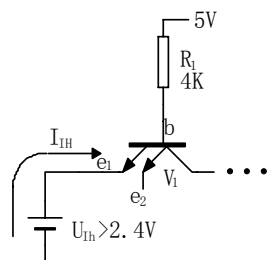
I_{iH} 称输入高电平电流, 是 $u_i = U_{iH}$ 时的输入电流, 如图 3.31(c)所示, 输入高电平电流 I_{iH} 由输入端流入, I_{iH} 是 b_1e_1 结(PN 结)的反向漏电流, I_{iH} 很小, 一般为几十微安。



(a) 输入短路电流 I_{iS}



(b) 输入低电平电流 I_{iL}



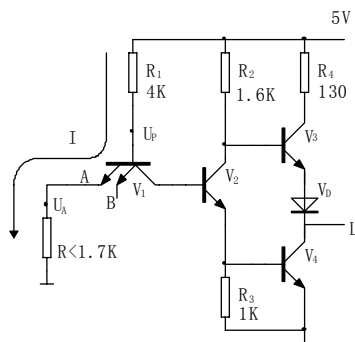
(c)输入高电平电流 I_{iH}

图 3.31 输入电流示意图

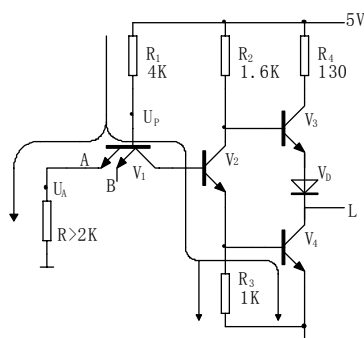
(2)输入端接一个电阻到地的情况分析。当输入端接一个电阻到地时，从电源 $V_{CC}(5V)$ 通过 $R_1 \rightarrow V_1$ 的 b_1e_1 结 $\rightarrow R \rightarrow$ 地有电流 I 流过 R ，如图 3.32(a)，当 R 较小时 $U_A = U_R$ 必然较小。

$$U_A = U_R = \frac{5V - U_{be1}}{R_1 + R} R \quad (3-11)$$

只要 $U_A < U_{OFF} \approx 1.3V$ (相当于 $R < 1.7K\Omega$)， U_A 还属于低电平。由于 U_A 随着 R 的增大而增大，当 U_A 增大到 $1.4V$ 时 (相当于 $R > 2K\Omega$)， V_2 、 V_4 导通，流过 R_1 的电流不再全部流进 R ，而被 V_2 、 V_4 的发射极通道分流， U_P 被钳位在 $2.1V$ ，所以 $U_A = 2.1V - 0.7V = 1.4V$ ，不会再增大，如图 3.32(b)所示。输入悬空，相当于输入接一个无穷大的电阻到地，且流过 R_1 的电流全部流进 V_2 、 V_4 的发射极通道，输入相当于接高电平。



(a)



(b)

图 3.32

通过以上分析可以得到如下结论：

在实际使用 TTL 门电路时，如果要求输入接一个电阻到地，又要保证输入可靠为 0 逻辑，则所接电阻 R 应小于 700Ω ，若所接电阻 R 大于 $2.5K\Omega$ ，则输入相当于 1 逻辑。悬空相当于接高电平，但是悬空容易接收干扰，因此对于 TTL 与非门的多余输入端，或要求接 1 逻辑的输入端，均应把输入端接电源。

把一个门的输出信号送给下一级电路作输入信号，中间接有电阻 R 时，其阻值不应大于 700Ω ，否则信号不能可靠传送。如图 3.3 所示。

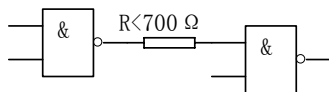


图 3.33

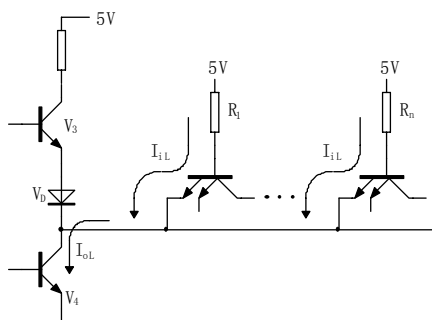
4. TTL 与非门的输出特性和扇出系数 N

输出特性是指输出电压和输出电流的关系。扇出系数 N 是指门电路能驱动同类门的个数，扇出系数 N 是由输出特性决定的。

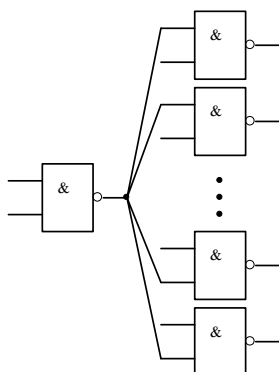
(1) 输出低电平特性和扇出系数 N_L 。图 3.34(a) 是 7400 系列 TTL 与非门输出低电平时驱动若干个同类门的电原理示意图。由图可知，输出低电平时，每驱动一个门，就有一个所驱动门的输入低电平电流 I_{iL} 成为该门输出低电平输出电流 I_{oL} 的一部分，要保证输出门在驱动后级门时的输出保持低电平状态，流进输出门的低电平输出电流 I_{oL} 是有限度的。因此

$$\frac{I_{oL\max}}{I_{iL}} = N_L \quad (3-12)$$

就成为门输出低电平时最大允许驱动同类门的个数，对于 7400 系列， $I_{oL\max} = 16\text{mA}$ ， $I_{iL} = 1\text{mA}$ ，所以 $N_L = 16$ 。由于一个门驱动后级门逻辑电路的连接形式象一把纸扇的骨架，所以称 N_L 为扇出系数，如图 3.34(b) 所示。



(a) 带灌电流负载示意图



(b) 扇出系数的形象说明示意图

图 3.34 TTL 与非门输出低电平时带灌电流负载示意图

(2) 输出高电平特性和扇出系数 N_H 。图 3.35 是输出高电平时驱动若干个同类门的电原理示意图。其中 $N_H = \frac{I_{oH\max}}{I_{iH}}$ ，对于 7400 系列 $I_{oH} = 0.4\text{mA}$ ， $I_{iH} = 40\mu\text{A}$ ，所以

$$N_H = \frac{0.4\text{mA}}{40\mu\text{A}} = 10 \quad (3-13)$$

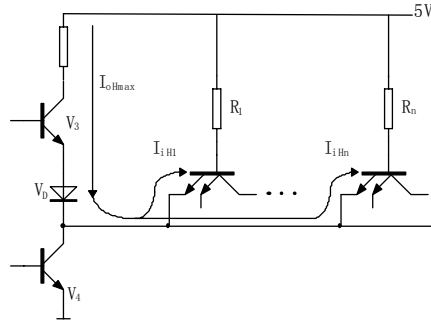


图 3.35 TTL 与非门输出高电平带拉电流负载示意图

综合上述两种情况，7400 系列 TTL 与非门电路的扇出系数 $N=10$ ，当然不同系列的 N 是不同的，在使用时可查阅有关手册。

5. TTL 与非门的平均传输延迟时间 t_{pd} 和静态功耗 P_{CC}

(1) 平均传输延迟时间 t_{pd} 。当与非门输入一个方波时，如输出波形是一个倒相的方波，则很容易看出输出波形对输入波形总有一个延迟时间，如图 3.36 所示，从输入波形上升边的中点到输出波形下降边中点的延迟时间为 t_{PHL} ，从输入波形下降边中点到输出波形上升边中点的延迟时间为 t_{PLH} ，并定义平均传输时间

$$t_{pd} = \frac{t_{PHL} + t_{PLH}}{2} \quad (3-14)$$

7400 系列的 $t_{PHL} \approx 7\text{ns}$ ， $t_{PLH} \approx 11\text{ns}$ ， $t_{pd} \approx 9\text{ns}$ 。 t_{pd} 的存在限制了门电路工作频率的上限。

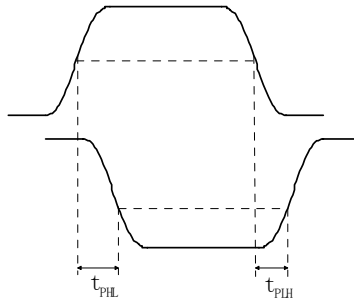


图 3.36 TTL 与非门的平均传输延迟时间 t_{pd} 定义的示意图

(2) 功耗 P_{CC} 。门电路的功耗分静态功耗和动态功耗。

静态功耗是指门电路加上电源电压后，在不带任何负载的情况下，门电路输出高电平时电源提供给门电路的功率 P_{CCH} 和门电路输出低电平时电源提供给门电路的功率 P_{CCL} 的平均值。

$$P_{CC} = \frac{1}{2}(P_{CCH} + P_{CCL}) \quad (3-15)$$

由于 TTL 门电路的电源电压 V_{CC} 是固定的， $V_{CC} = 5\text{V}$ ，所以 $P_{CCH} = 5V \times I_{CCH}$ ，

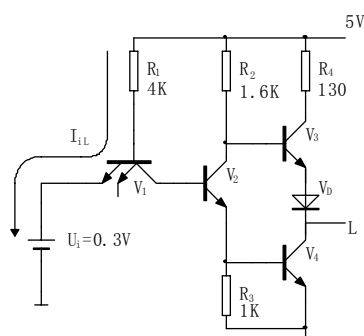
$P_{CCL} = 5V \times I_{CCL}$ ， I_{CCH} 和 I_{CCL} 是门输出高电平和门输出低电平时，电源提供给门电路的静态电流。图 3.37(a)和(b)分别是 I_{CCH} 和 I_{CCL} 的电原理图，由图可知与非门输出高电平时，输入必有一个是低电平，同时 V_2 、 V_4 截止。

$$I_{CCH} = I_{iL} = \frac{5V - 0.7V - 0.3V}{R_1} = 1\text{mA} \quad (3-16)$$

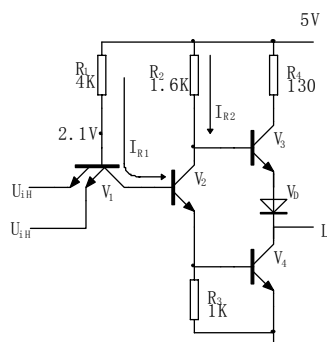
当门电路输出低电平时，门的所有输入都为高电平，同时 V_2 、 V_4 导通， V_3 截止。

$$I_{CCL} = I_{R1} + I_{R2} = \frac{5V - 2.1V}{4K\Omega} + \frac{5V - 1V}{1.6K\Omega} \approx 0.725mA + 2.5mA = 3.225mA$$

$$P_{CC} = \frac{1}{2}(P_{CCH} + P_{CCL}) = \frac{1}{2}(5 \times 4.225)mW \approx 10.5mW$$



(a)



(b)

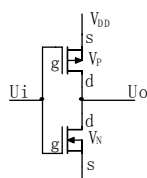
图 3.37 I_{CCH} 和 I_{CCL} 的电原理图

动态功耗是指门电路在工作时的功耗，由于门电路在工作时，输出总在不断转换状态，在转换状态期间，会出现 V_3 、 V_4 同时导通的状态。因此在输出状态转换时会在 V_3 、 V_4 通道流过尖峰电流。所以动态功耗比静态功耗要大，转换频率超高， t_{pd} 越大，动态功耗就越大。因此动态功耗的数值无法在手册中给出，动态功耗最大时可达到静态功耗的 2 倍左右，这一情况在估计数字电路功耗时应充分考虑。

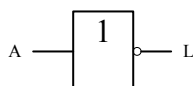
3.2.2 以 CMOS 非门为例介绍 CMOS 门电路的特性参数

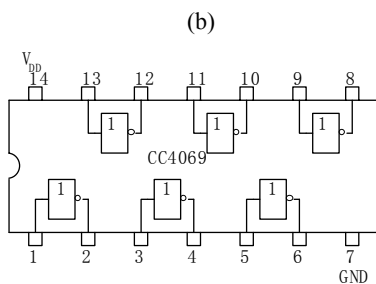
1. CMOS 非门的组成和功能分析

CC4000 系列 CMOS 非门的电路、逻辑符号及六非门集成电路 CC4069 管脚图如图 3.38(a)、(b)、(c)所示。



(a)





(c)

图 3.38 CC4000 系列 CMOS 非门的电路、逻辑符号及六非门集成电路 CC4069 管脚图

由非门电路图 3.38(a)知, CMOS 非门是由一个 PMOS 管 V_P 和一个 NMOS 管 V_N 组成的推挽式电路, 令 U_{VP} 、 U_{VN} 表示 V_P 和 V_N 的开启电压。 U_{VP} 为负值, 且 $U_{VN} = |U_{VP}|$, 当 $U_{DD} > U_{VN} + |U_{VP}|$ 时(V_{DD} 一般为 $3V \sim 15V$, $V_{DDmax} = 18V$), 电路输入和输出之间为非逻辑关系。即

$$\text{当 } U_i = U_{iL} = 0V \text{ 时, 有 } \begin{cases} |U_{gsVP}| = U_{DD} > |U_{VP}|, V_P \text{ 导通} \\ U_{gsVN} = 0 < U_{VN}, V_N \text{ 截止} \end{cases}, \text{ 所以 } U_o = U_{oH} = V_{DD}.$$

$$\text{当 } U_i = U_{iH} = V_{DD} \text{ 时, 有 } \begin{cases} |U_{gsVP}| = 0 < |U_{VP}|, V_P \text{ 截止} \\ U_{gsVN} = V_{DD} > U_{VN}, V_N \text{ 导通} \end{cases}, \text{ 所以 } U_o = U_{oL} = 0.$$

2. CMOS 非门的电压传输特性和电流传输特性

一般 V_N 和 V_P 具有相同的导通内阻(约 $1K\Omega$)和相同的截止内阻(约 $10^6 K\Omega$), u_o 随 u_i 的变化关系即电压传输特性、 I_o 随 u_i 变化关系即电流传输特性如图 3.39 所示。

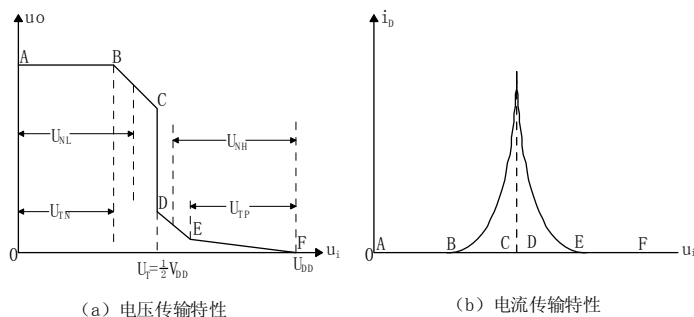


图 3.39 CMOS 非门的传输特性

在电压传输特性曲线的 AB 段, $u_i = U_{gsN} < U_{VN}$, $|U_{gsP}| > U_{VP}$, 所以 V_N 截止, V_P 导通, 通过内阻分压, $u_o = U_{oH} \approx V_{DD}$ 。

在电压传输特性曲线的 EF 段, $u_i = U_{gsN} > U_{VN}$, $|U_{gsP}| < U_{VP}$, V_N 导通, V_P 截止, 通过内阻分压 $u_o = U_{oL} \approx 0$ 。

在电压传输特性曲线的 BCDE 段, $U_{gsN} < u_i < V_{DD} - |U_{gsP}|$, V_N 、 V_P 均导通, 特别是在 CD 段, $u_i \approx \frac{1}{2} V_{DD}$, 两管导通内阻相同, 内阻分压的结果使 $u_o = \frac{1}{2} V_{DD}$, 这是 CMOS 非门快速转换输出状态的区域, 所以 CMOS 非门输出状态转换的阈值电压 $U_T = \frac{1}{2} V_{DD}$ 。

特别要指出的就是在电压传输特性的 BCDE 段, 由于 V_N 、 V_P 均导通, 自电源通过 V_P 、

V_N 到地有电流 i_D 流过, 在 CD 段 $i_D = I_{Dmax}$, 如图 3.39(b)所示。

由图 3.30(a)不难理解 CMOS 非门的下列特性参数:

输出高电平 $U_{OH} = V_{DD}$, 输出低电平 $U_{OL} = 0$;

输入高电平 $U_{IH} = V_{DD}$, 输入低电平 $U_{IL} = 0$;

高电平噪声容限 $U_{NH} = (30\% \sim 45\%)V_{DD}$;

低电平噪声容限 $U_{NL} = (30\% \sim 45\%)V_{DD}$;

输出状态转换的阈值电压 $U_T = \frac{1}{2} V_{DD}$ 。

3. CMOS 非门的输入特性

由于 CMOS 管栅极下面有二氧化硅绝缘层, 因此, 输入电压在正常范围内, 即 $V_{DD} + 0.5V > u_i > -0.5V$, 电路的输入电阻很大 ($> 10^{10} \Omega$), 所以输入电流 I_{iL} 、 I_{iH} 、 I_{iS} 都很小, 约为 $0.1 \mu A$, 输入电压超出正常范围时, 由于电路输入端保护二极管的原因, 会使输入电流急剧增大。

如果电路输入端接一个电阻到地, 即使电阻大到 $1M \Omega$ 输入端仍为低电平, CMOS 电路的输入端不允许悬空, 否则会引入干扰, 使电路不能正常工作。

4. CMOS 非门的输出特性和扇出系数 N

由于 CMOS 非门的输出电阻大, 当输出为低电平时, 允许灌进导通管 V_N 的 I_{OLmax} 和输出高电平时允许从导通管 V_P 送出的电流 I_{OHmax} 比 TTL 门电路小得多, 当 $V_{DD} = 5V$ 时, $I_{OLmax} = I_{OHmax} \approx 0.5mA$, 但是由于 CMOS 门电路的 I_{iL} 、 I_{iH} 均很小, 所以其扇出系数反而比 TTL 门电路的扇出系数大, 在手册中给出的各类 CMOS 门电路的扇出系数 N 均大于 20。

5. CMOS 门电路的平均传输延迟时间 t_{pd} 和功耗

(1)平均传输延迟时间 t_{pd} 。CMOS 门电路的平均传输延迟时间的定义和 TTL 一样, 由于 CMOS 门电路的输出电阻大, 加上负载电容的存在(如后级电路的输入电容), 使得 CMOS 电路的 t_{pd} 比 TTL 要大得多。例如 CMOS4000 系列, 当 $V_{DD} = 15V$ 时, $t_{pd} = 90ns$, 不过目前已有高速 CMOS 电路问世, 例如 CMOS74HC 系列的 $t_{pd} = 9ns$ 和 TTL74LS 系列的 t_{pd} 几乎相当。

(2)功耗。在静态时, 由 CMOS 非门的电流传输特性可以看出, 不论输出高电平, 还是输出低电平, $I_D \approx 0$, 这是因为 CMOS 非门不管输出高电平还是输出低电平, V_P 、 V_N 中总有一个管子是截止的, 而截止时管子的内阻很大 ($> 10^9 \Omega$), 所以截止管的漏电流极其微小, 可以近似认为静态功耗 $P_{CCDC} = 0$, 这是 CMOS 电路的最大优点之一, 使得 CMOS 电路在电子手表、计算器等工作频率不高, 必须用电池供电或特别需要省电的场合, 得到广泛的应用。

从电流传输特性曲线中同时也可以看出 CMOS 非门在输出状态转换时, 产生较大的尖峰电流, 特别是转换频率较高时动态功耗 P_{CCAC} 是必须考虑的。

3.2.3 TTL 门电路和 CMOS 门电路特性参数差异比较

1. TTL 集成电路的分类及主要差异

TTL 集成电路主要有 54/74 通用系列、54/74H 高速系列、54/74S 肖特基系列和 54/74LS

低功耗肖特基系列。这四个系列的主要差异是反映在平均传输延迟时间 t_{pd} 和平均功耗 \bar{P} 上,

其中 54/74LS 系列具有便于与 CMOS 电路连接、工作可靠、平均功耗小等优点, 是市场上供应最多、实际应用中最广泛的系列, 四种系列的主要差异见表 3.19。

表 3.19 TTL 集成电路四个系列主要差异表

有较大差异的参数	54/74	54/74S	54/74H	54/74LS
平均传输延迟时间 $t_{pd}(ns)/\text{门}$	10	3	6	9.5

平均功耗 \bar{P} (mW)/门	10	19	22	2
最高工作频率 f_{MAX} (MHz)/门	35	125	50	45

2. CMOS 数字集成电路的分类及主要差异

国产 CMOS 数字集成电路主要有 CC4000(14000)系列和 CC74HC 系列, CC4000(14000)与国际上 CD4000(MC14000)系列相对应, CC74HC 与国际上 MM74 系列相对应, 这两类 CMOS 电路主要差异反映在电源范围和平均传输延迟时间 t_{pd} 上。两类 CMOS 电路的主要差异见表 3.20。

表 3. 20 CMOS 集成电路两个系列主要差异表

参数名称	CC4000 (CC14000)	CC74HC
电源电压	3~18	2~6
平均传输延迟时间 t_{pd} (nS)	45 ($V_{\text{DD}}=5\text{V}$) 90 ($V_{\text{DD}}=18\text{V}$)	10
最高工作频率 f_{MAX} (MHz)	3	25

3. TTL(含 7400、74LS)和 CMOS(含 CC4000, 74HC)主要特性参数比较

由于手册中提供的参数都是在规定的测试条件下给出的, 这里给出的特性参数只能作为比较参考, 下表给出两类四个系列门电路的各种参数。

表 3. 21 四个系列门电路的特性参数比较表 (V_{DD} 均为 5V)

参数名称及符号、单位	TTL		CMOS	
	7400	74LS	CC4000	CC74HC
最小输入高电平 $U_{\text{IH(MIN)}}$ (V)	2. 0	2. 0	3. 5	3. 5
最大输入低电平 $U_{\text{IL(MAX)}}$ (V)	0. 8	0. 8	1. 5	1. 0
最小输出高电平 $U_{\text{OH(MIN)}}$ (V)	2. 4	2. 7	4. 6	4. 4
最大输出低电平 $U_{\text{OL(MAX)}}$ (V)	0. 4	0. 5	0. 05	0. 1
最大高电平输入电流 $I_{\text{IH(MAX)}}$ (uA)	40	20	0. 1	0. 1
最大低电平输入电流 $I_{\text{IL(MAX)}}$ (mA)	-1. 6	-0. 4	$-0. 1 \times 10^{-3}$	$-0. 1 \times 10^{-3}$
最大高电平输出电流 $I_{\text{OH(MAX)}}$ (mA)	0. 4	0. 4	0. 51	4
最大低电平输出电流 $I_{\text{OL(MAX)}}$ (uA)	-16	-8	-0. 51	-4
平均传输延迟时间 t_{pd} (nS)	10	10	45	10
最高工作频率 f_{MAX} (MHz)	35	45	3	25
静态平均功耗 \bar{P} (mW)	10	2	5×10^3	1×10^3
高电平噪声容限 U_{NH} (V)	0. 4	0. 4	$30\%V_{\text{DD}}$	$30\%V_{\text{DD}}$
低电平噪声容限 U_{NL} (V)	0. 4	0. 4	$30\%V_{\text{DD}}$	$30\%V_{\text{DD}}$
输出状态转换的阈值电压 U_{T} (V)	1. 4	1. 4	$1/2V_{\text{DD}}$	$1/2V_{\text{DD}}$
带同类门的扇出系数 N	10	10	>20	>20

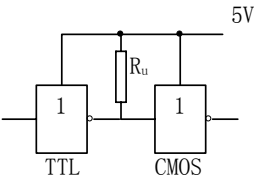
4. 通过比较在选用和使用门电路时应注意的一些问题

(1)在电路工作频率不高的前提下, 同一电路只选用 CC4000 系列器件, 因为 CC4000 系列市场供应的各种型号齐全, 价格便宜, 电源适用范围宽, 省电, 提高电源电压可以提高抗干扰能力等优点。

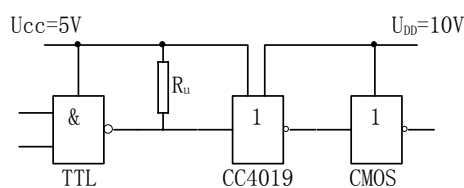
(2)如果确实需要两种器件并用时, 必须考虑两种器件的对接问题。

①TTL 与 CMOS 中的 74HCT, 在电源电压为 5V 时, 可以兼容, 即不管用 TTL 驱动 74HCT, 还是用 74HCT 驱动 TTL, 驱动电平和驱动电流均互相满足要求, 因此可以直接连接。74HCT 是 74HC 的改进电路, 主要是把 74HC 的 U_{IHmin} 从 3.5V 下降到 2V。

②用 TTL 驱动 CMOS。由表 3.21 知, 用 TTL 驱动 CMOS, 驱动电流满足要求, 但驱动电平不满足要求, 解决的办法是: 电源电压相同时加一个上拉电阻 R_{u} , 电源电压不同时中间加一级电平偏移接口电路, 如图 3.40(a)(b)所示, 其中 CC4019 是带电平偏移的门电路。



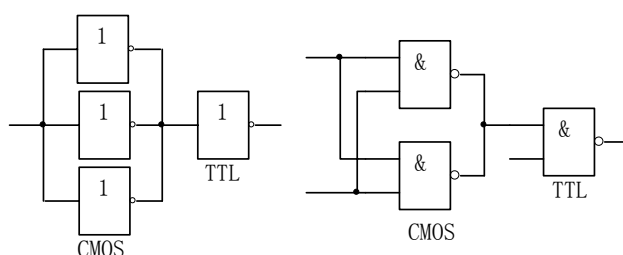
(a) 电源电压相同时的驱动电路



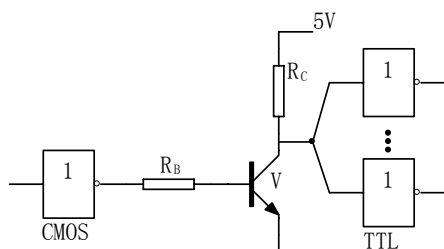
(b) 电源电压不相同时的驱动接口电路

图 3.40 TTL 驱动 CMOS 接口电路

③用 CMOS 驱动 TTL。由表 3.21 知，用 CMOS 驱动 TTL，驱动电平满足要求，但驱动电流不满足要求，解决的办法很多，常用且比较简单的办法如图 3.41(a)、(b)所示，其中图(a)是把两个或两个以上的 CMOS 电路并接以提高电流驱动能力，一般只适用于驱动一个 TTL 门电路，图(b)是采用晶体管放大电路以提高电流驱动能力。



(a) 几个 CMOS 驱动一个 TTL 的接口电路



(b) 用晶体管放大电路驱动 TTL

图 3.41 CMOS 驱动 TTL 的接口电路

3.3 触发器

触发器是数字电路中具有记忆作用的单元电路，触发器分两类：一类称基本 RS 触发器，另一类是具有时钟输入的同步触发器。

3.3.1 基本 RS 触发器及应用

基本 RS 触发器又称 RS 锁存器，常见的结构有两种：一种是由或非门组成的，另一种是由与非门组成的。

1. 由两个或非门组成的基本 RS 触发器

由两个或非门组成的基本 RS 触发器的逻辑电路和逻辑符号如图 3.42 所示。其中 Q^n 、 $\overline{Q^n}$ (即图 3.42 中的 $\overline{Q^n}$ ，其余类似情况含义相同)是触发器的输出端，并定义 $Q^n = 1$ 、 $\overline{Q^n} = 0$ 称为 1 态， $Q^n = 0$ 、 $\overline{Q^n} = 1$ 称为 0 态。 R_d 、 S_d 是触发器输入，并称 R_d 为清 0 输入端， S_d 为

置 1 输入端，通常把触发器 Q^n 、 \overline{Q}^n 称为现态，把 Q^{n+1} 、 \overline{Q}^{n+1} 称为次态，次态表示输入状态改变以后的输出状态，由图 3.42(a)可以分析出，触发器输出状态 Q^{n+1} 、 \overline{Q}^{n+1} 不但和 R_d 、 S_d 有关，也和触发器原先状态 Q^n 、 \overline{Q}^n 有关， Q^{n+1} 、 \overline{Q}^{n+1} 和 R_d 、 S_d 及 Q^n 、 \overline{Q}^n 的关系可用表 3.22 和波形图 3.43 表示。

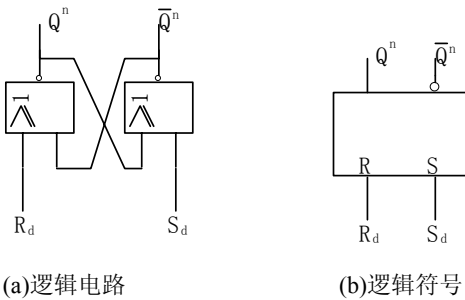


图 3.42 由两个或非门组成的基本 RS 触发器

表 3.22 由或非门组成的基本 RS 触发器的功能表

R	S	Q^n	\overline{Q}^n	Q^{n+1}	\overline{Q}^{n+1}	功能说明
0	0	0	1	0	1	$Q^{n+1}=Q^n$
0	0	1	0	1	0	保持
0	1	0	1	1	0	置 1
0	1	1	0	1	0	
1	0	0	1	0	1	清 0
1	0	1	0	0	1	
*1	1	0	1	0	0	不正常状态
*1	1	1	0	0	0	

*当 $RS=11$ 同时变到 00 时， Q^{n+1} 的状态不定。

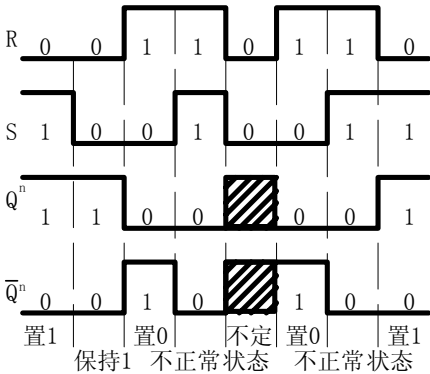


图 3.43 由或非门组成的基本 RS 触发器的波形图

由功能表和波形图可以看出，当 $R_d=S_d=1$ ，输出状态 $Q^{n+1} = \overline{Q}^{n+1} = 0$ ，这个状态既不是 0 态，也不是 1 态，可以视为不正常状态，同时，当 $R_d=S_d=1$ 同时变为 $R_d=S_d=0$ 时， Q^{n+1} 、 \overline{Q}^{n+1} 状态不定，所以基本 RS 触发器在正常工作时， $R_d=S_d=1$ 是不允许出现的，即应遵守 $R_d \cdot S_d=0$ 的约束条件。

2. 由两个与非门组成的基本 RS 触发器

基本 RS 触发器也可用两个与非门组成，并用 $\overline{R_d}$ 、 $\overline{S_d}$ 分别表示清 0 和置 1 输入， $\overline{R_d}$ 、

$\overline{S_d}$ 上的非号和逻辑符号中输入端的小圆圈表示输入低电平清 0 和置 1 有效。由与非门组成的基本 RS 触发器的逻辑电路和逻辑符号见图 3.44 所示，功能表见表 3.23。由与非门组成的基本 RS 触发器同样应遵守 $R_d \cdot S_d = 0$ 的约束条件。

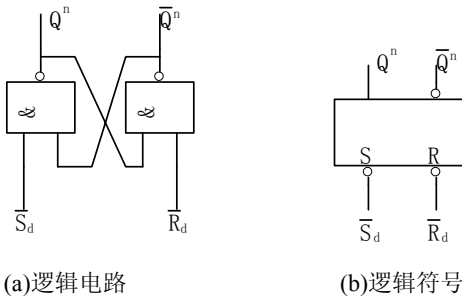


图 3.44 由与非门组成的基本 RS 触发器

表 3.23 由与非门组成的基本 RS 触发器的功能表

$\overline{R_d}$	$\overline{S_d}$	Q^n	\overline{Q}^n	Q^{n+1}	\overline{Q}^{n+1}	功能说明
*0	0	0	1	1	1	不正常状态
*0	0	1	0	1	1	
1	0	0	1	1	0	置 1
1	0	1	0	1	0	
0	1	0	1	0	1	清 0
0	1	1	0	0	1	
1	1	0	1	0	1	$Q^{n+1} = Q^n$ 保持
1	1	1	0	1	0	

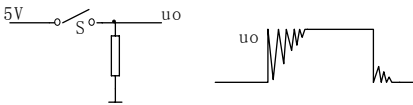
* 当 $\overline{R_d}\overline{S_d} = 00$ 同时变到 11 时 Q^{n+1} 的状态不定

3. 基本 RS 触发器的应用

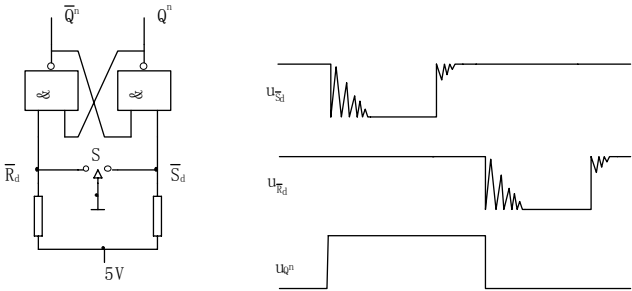
(1) 基本 RS 触发器是同步触发器的基本组成部分。

(2) 基本 RS 触发器可作为存储单元。

(3) 利用基本 RS 触发器可以产生点动单脉冲。简单的机械开关由于机械振动，不能产生点动单脉冲，如图 3.45(a)所示，当 S 一合一断后， u_o 的波形不是单脉冲；利用基本 RS 触发器可以产生点动单脉冲，如图 3.45(b)所示，当 S 先接触一下 $\overline{S_d}$ ，再接触一下 $\overline{R_d}$ ，虽然 $u_{\overline{S_d}}$ 、 $u_{\overline{R_d}}$ 有振动，但是根据基本 RS 触发器的特性， u_{Q^n} 是一个标准的单脉冲，点动脉冲在数字电路中经常需要用到。



(a)简单的机械开关不能产生点动单脉冲



(b)利用基本 RS 触发器可以产生点动单脉冲 U_{Q^n}

图 3.45

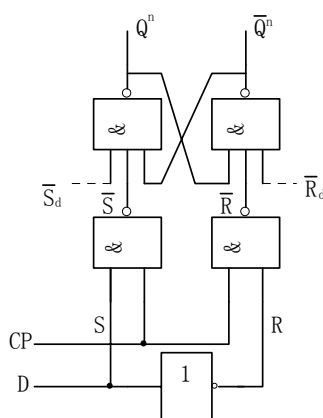
3.3.2 五种功能同步触发器的逻辑符号、特性方程、真值表、CP 触发方式及表示

同步触发器又称时钟触发器，这类触发器除和基本 RS 触发器一样，触发器的输出状态由输入和触发器原先状态决定以外，还引入了一个同步信号，即时钟脉冲(Clock Pulse)简称 CP。触发器输出状态的转换受 CP 控制。如果有多个触发器都用同一 CP 控制，则多个触发器的输出状态的转换时间是一致的，所以 CP 称同步信号，具有同步信号的触发器称为同步触发器。

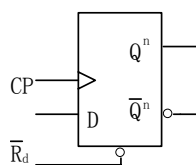
学习同步触发器，主要要求掌握各种同步触发器的功能和触发方式，同步触发器的功能常用逻辑符号、功能表、状态转换真值表、特性方程表示。CP 的触发方式和电路的结构有关，通常有电平触发、上升边触发、下降边触发，触发方式在逻辑符号中均有表示。由于电平触发会出现空翻等缺点。目前市场上供应的集成触发器绝大多数是上升边或下降边触发的触发器，至于触发器的电路结构，从应用角度出发可以不必细究，在此就不作介绍了。

1. 同步 D 触发器

图 3.46 是同步 D 触发器的逻辑电路和逻辑符号，在此应指出，逻辑电路只是为了便于说明同步 D 触发器功能而给出的简易电路，实际上升边触发的同步 D 触发器的逻辑电路要复杂得多。



(a)逻辑电路



(b)逻辑符号

图 3.46 同步 D 触发器的逻辑电路和逻辑符号

由图 3.46(a)逻辑电路知：

(1) $CP=0$ 时， $\bar{R} = \bar{S} = 1$ ，由基本 RS 触发器特性知，输出 Q^n 、 \bar{Q}^n 处于保持状态，和 D 的状态无关。

(2) 当 $D=0$ ，若 CP 由 0 变 1 时， $S=D=0$ ， $R=\bar{D}=1$ ， $\bar{S}=1$ ， $\bar{R}=0$ ，根据由与非门组成的基本 RS 触发器的特性，其输出状态 $Q^{n+1}=0$ 、 $\bar{Q}^{n+1}=1$ (0 态)。

(3)当 $D=1$, 若 CP 由 0 变成 1 时, $S=D=1$, $R=\bar{D}=0$, $\bar{S}=0$, $\bar{R}=1$, 则 $Q^{n+1}=1$ 、 $\overline{Q^{n+1}}=0$ (1 态)。

(4)当 $\overline{R_d}=0$ 时, 不管 CP 、 D 和 Q^n 的状态如何, Q^{n+1} 总为 0, $\overline{Q^{n+1}}$ 总为 1。

综合上述几点可以得到如表 3.24 所示的同步 D 触发器的功能表。

表 3.24 同步 D 触发器的功能表

$\overline{R_d}$	CP	D	Q^n	Q^{n+1}	功能说明
0	×	×	×	0	清 0
1	↑	0	0	0	$Q^{n+1}=D=0$
1	↑	0	1	0	
1	↑	1	0	1	$Q^{n+1}=D=1$
1	↑	1	1	1	
1	0	×	Q^n	Q^n	$Q^{n+1}=Q^n$

在功能表中, CP 、 D 、 Q^n 下的“×”表示 CP 、 D 、 Q^n 不管是什么状态或称作任意。 CP 下的箭头“↑”表示 CP 到达时上升边触发了触发器, $CP=0$ 表示 CP 信号没有到达。通常在集成电路手册中, 均用功能表给出相应集成电路的功能。

如果把 $\overline{R_d}=0$ 的情况去掉, 只考虑 $\overline{R_d}=1$, CP 到达后 D 、 Q^n 、 Q^{n+1} 的关系, 就得到了同步

D 触发器在 CP 作用下的输出状态转换真值表, 如表 3.25。把 Q^{n+1} 看作逻辑函数, 把 D 、 Q^n

看做是决定 Q^{n+1} 状态的逻辑变量, 根据逻辑函数三种表示的转换, 可得到 Q^{n+1} 的逻辑函数表

达式: $Q^{n+1}=D\overline{Q^n}+DQ^n=D(\overline{Q^n}+Q^n)=D$, 即 $Q^{n+1}=D$ 。由于 Q^n 实际上不是输入而是前态

输出, 同时此式是反映同步 D 触发器特性的, 所以称 $Q^{n+1}=D$ 为同步 D 触发器的特性方程。

表 3.25 同步 D 触发器的状态转换真值表

D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

2. 同步 JK 触发器

按照介绍同步 D 触发器一样, 也可以先给出逻辑电路, 通过分析得到同步 JK 触发器的各种表示。触发器是一种单元电路, 重要的是掌握功能, 便于选用和使用, 功能分析过程只是解决触发器为什么具有这种功能的疑问, 给出 D 触发器的详细分析过程已经可以解决读者的疑问了, 所以其他触发器的功能分析过程就不再表述了, 表 3.26、表 3.27 和图 3.47 给出同步 JK 触发器的各种表示。由真值表 3.27 可得到 JK 触发器的特性方程为

$$Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n。$$

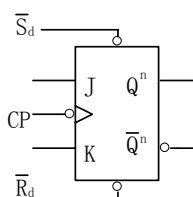


图 3.47 同步 JK 触发器的逻辑符号(下降边触发)

表 3.26 JK 触发器的功能表

$\overline{R_d}$	$\overline{S_d}$	CP	J	K	Q^n	Q^{n+1}	功能说明
0	1	×	×	×	×	0	清 0
1	0	×	×	×	×	1	置 1
0	0	×	×	×	×	不定	不允许
1	1	↓	0	0	0	0	$Q^{n+1}=Q^n$
1	1	↓	0	0	1	1	(保持)
1	1	↓	0	1	0	0	$Q^{n+1}=J$
1	1	↓	0	1	1	0	
1	1	↓	1	0	0	1	$Q^{n+1}=J$
1	1	↓	1	0	1	1	
1	1	↓	1	1	0	1	$Q^{n+1}=\overline{Q^n}$
1	1	↓	1	1	1	0	(翻转)
1	1	0	×	×	Q^n	Q^n	不变

表 3.27 JK 触发器的状态转换真值表

J	K	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

3. 同步 T 触发器

同步 T 触发器的逻辑符号如图 3.48 所示，功能表和真值表见表 3.28 和表 3.29。由真值

表 3.29 可得到 T 触发器的特性方程为 $Q^{n+1} = TQ^n + \overline{T}Q^n$ 。

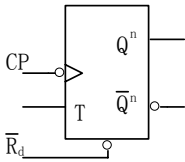


图 3.48 同步 T 触发器的逻辑符号

表 3.28 同步 T 触发器的功能表

$\overline{R_d}$	CP	T	Q^n	Q^{n+1}	功能说明
0	×	×	×	0	清 0
1	↓	0	0	0	$Q^{n+1}=Q^n$
1	↓	0	1	1	(不变)
1	↓	1	0	1	$Q^{n+1}=\overline{Q^n}$
1	↓	1	1	0	(翻转)
1	0	×	Q^n	Q^n	$Q^{n+1}=Q^n$

表 3.29 同步 T 触发器的状态转换真值表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

4. 同步 T' 触发器

同步 T' 触发器没有自己的逻辑符号，它实际上是 T 触发器、D 触发器和 JK 触发器的一

种特例，在 CP 的作用下 T' 触发器的特性方程为 $Q^{n+1} = \overline{Q^n}$ ，即来一个 CP，输出状态就改变一次，由 T、D、JK 转换成 T' 的电路图如图 3.49 所示。

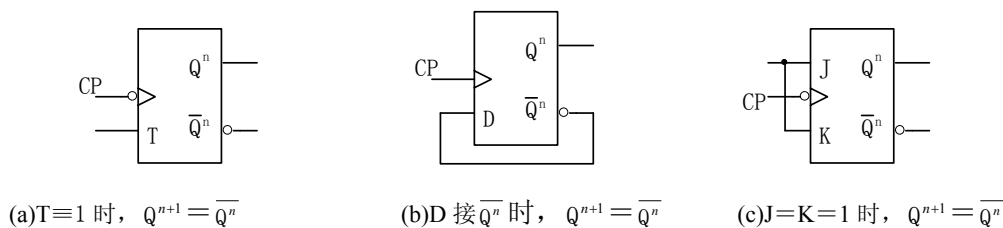


图 3.49 由 T、D、JK 触发器转换成 T' 的逻辑图

*5. 同步 RS 触发器

由于同步 RS 触发器具有约束条件 $R \cdot S = 0$, 所以限制了它的应用, 在集成电路手册中也很少能看到同步 RS 触发器, 同步 RS 触发器的逻辑符号如图 3.50 所示。状态转换真值表见表 3.30。同步 RS 触发器的特性方程为:

$$Q^{n+1} = S + \overline{R}Q^n \quad RS=0(\text{约束条件})$$

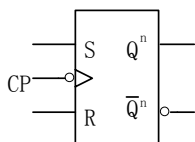


图 3.50 同步 RS 触发器的逻辑符号

表 3.30 同步 RS 触发器的状态转换真值表

R	S	Q^n	Q^{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1*
1	1	1	1*

*CP=0 后状态不定

6. 触发器主要特性参数

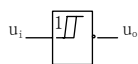
触发器是由门电路组成的, 因此一些静态参数的内涵和门电路相似, 如: 静态功耗 P_{CC} , 输入低电平电流 I_{iL} , 输入高电平电流 I_{iH} , 输出高电平 U_{oH} , 输出低电平 U_{oL} 。动态参数中, 使用者最关心的是触发器 CP 的最高频率 f_{CPmax} , 例如从手册可以查到: 7474 双 D 触发器的 $f_{CPmax} = 15\text{MHz}$ 。使用集成触发器时, 应当查阅有关集成电路手册, 以获得所需要的各种特性参数数值。

3.4 波形产生、整形和变换电路

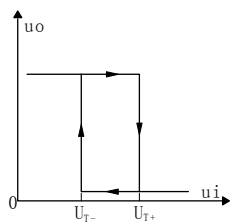
3.4.1 施密特触发器及应用

1. 施密特触发器的触发特性

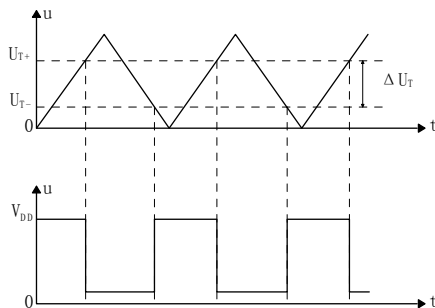
单输入施密特触发器的逻辑符号、施密特触发器的电压传输特性及输入 u_i 和输出 u_o 的电压波形如图 3.51 所示。



(a) 施密特非门的逻辑符号



(b) 施密特非门的电压传输特性



(c) 施密特触发器的输入输出电压波形图

图 3.51 施密特触发器(施密特非门)的逻辑符号、电压传输特性和输入输出的电压波形

由波形图和电压传输特性可以看出施密特触发器具有两个明显的特点。

(1)电平触发。所谓电平触发是指输入电压上升时,即使上升很缓慢,只要输入电压上升到某一阈值电压时,电路的输出状态就发生转换,如图 3.51(c)中 u_i 上升到阈值电压 U_{T+} 时, u_o 由高电平转变为低电平。

(2)具有回差。所谓回差,是指当输入电压 u_i 由低变高时的阈值电压 U_{T+} 和输入电压由高变低时的阈值电压 U_{T-} 是不相同的,我们定义 ΔU_T 称为回差。

$$\Delta U_T = U_{T+} - U_{T-} \quad (3-17)$$

2. 施密特触发器的具体电路

(1)集成施密特触发器。集成施密特触发器在集成电路手册中被归类在门电路中,例如施密特触发六非门 74LS14,其管脚图如图 3.52 所示,其中每一个施密特触发非门就是一个单输入施密特触发器。除此之外,还有施密特触发与非门,如手册中可以查到的 74LS13 就是四二输入施密特触发与非门,这些集成施密特触发器的回差是不可调的。

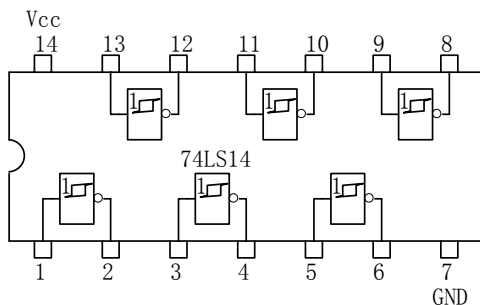


图 3.52 施密特触发六非门 74LS14 管脚图

(2)由两个 CMOS 非门和两个电阻组成的回差可调的施密特触发器。图 3.53(a)、(b)、(c) 是 CMOS 非门组成的施密特触发器的电原理图、逻辑符号、输入和两个输出电压的波形图,其中 $R_1 < R_2$ 。图中:

$$U_{T+} = \left(1 + \frac{R_1}{R_2}\right) \times \frac{1}{2} V_{DD} \quad (3-18)$$

$$U_{T-} = \left(1 - \frac{R_1}{R_2}\right) \times \frac{1}{2} V_{DD} \quad (3-19)$$

所以 $\Delta U_T = U_{T+} - U_{T-} = \frac{R_1}{R_2} V_{DD}$ ，由此可知，调节 R_1 、 R_2 可以调节回差，但必须保证 $R_1 < R_2$ ，

否则电路不能正常工作。根据电原理图不难推导出式 (3-18) 和式 (3-19)。

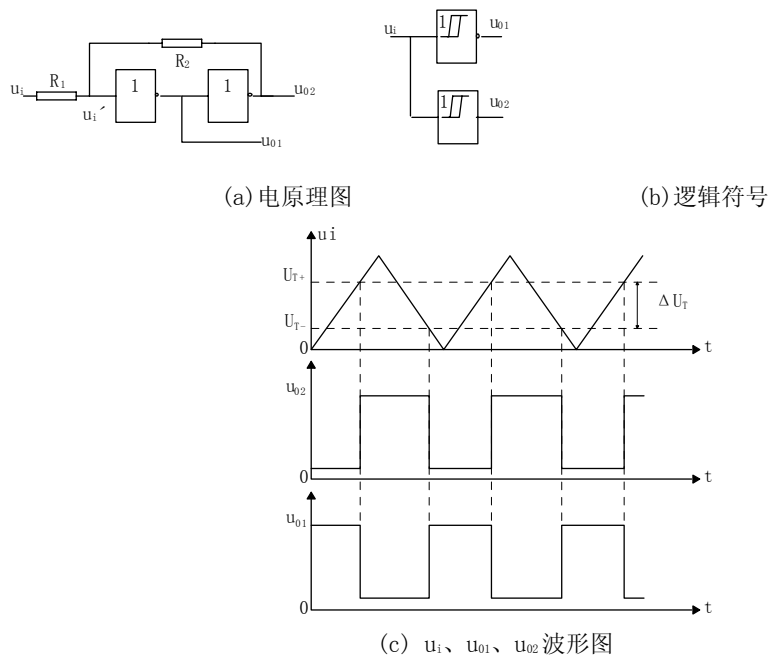


图 3.53 由两个 CMOS 非门组成的施密特触发器

①当 $u_i = 0V$ 时， $u_{01} = V_{DD}$ ， $u_{02} = 0V$ ， u_i 上升到阈值电压 U_{T+} 时 $u'_i = \frac{1}{2} V_{DD}$ ，它是 CMOS 非门输出状态转换的阈值电压， u'_i 稍大于 $\frac{1}{2} V_{DD}$ ，电路的输出状态发生转换，此时有：

$$u'_i = \frac{1}{2} V_{DD} = \frac{U_{T+} - u_{02}}{R_1 + R_2} R_2 = \frac{U_{T+} - 0}{R_1 + R_2} R_2$$

即

$$\frac{1}{2} V_{DD} = \frac{U_{T+}}{R_1 + R_2} R_2$$

所以

$$U_{T+} = (1 + \frac{R_1}{R_2}) \times \frac{1}{2} V_{DD}$$

在 $u_{01} = 0V$ ， $u_{02} = V_{DD}$ 时， u_i 下降，当 u_i 下降到 U_{T-} 时， $u'_i = \frac{1}{2} V_{DD}$ ， u'_i 稍小于 $\frac{1}{2} V_{DD}$ ，电路输出状态再一次发生转换。此时有：

$$u'_i = \frac{1}{2} V_{DD} = V_{DD} - U_{R2} = V_{DD} - \frac{V_{DD} - U_{T-}}{R_1 + R_2} R_2$$

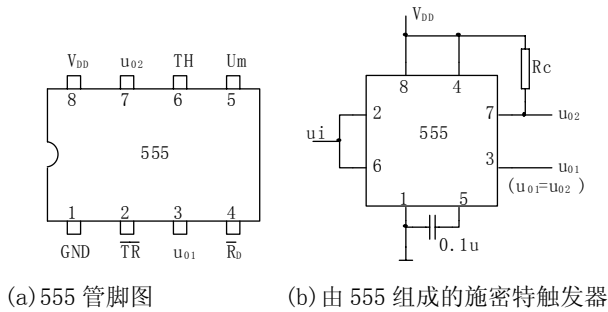
由 $\frac{1}{2} V_{DD} = V_{DD} - \frac{V_{DD} - U_{T-}}{R_1 + R_2} R_2$ ，可得：

$$U_{T-} = (1 - \frac{R_1}{R_2}) \frac{1}{2} V_{DD}$$

(3)由 555 定时器构成的施密特触发器。555 定时器是一多用途的数字模拟混合集成电路，

555 最大的优点是电源电压范围大，为 $4.5V\sim 18V$ ，可以和 TTL 和 CMOS 兼容，同时驱动电流大约为 $200mA$ 。手册上可查到的 555 的常用型号有 NE555，5G555，至于 555 的内部电路，读者可参阅有关资料。

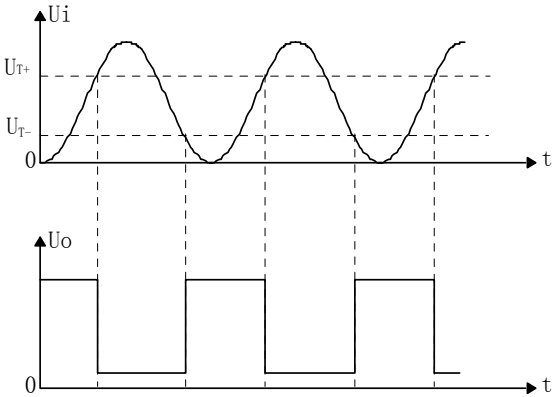
555 定时器的管脚图和由 555 构成的施密特触发器电路图见图 3.54 所示。



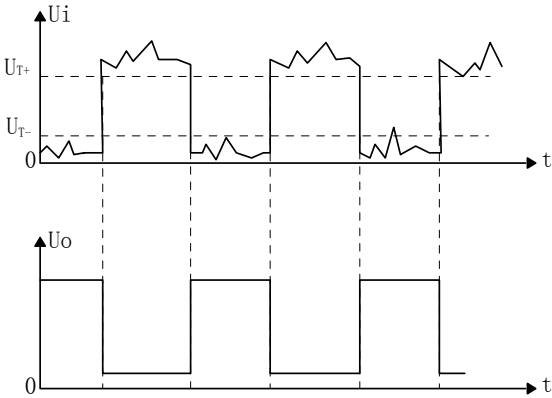
(a) 555 管脚图 (b) 由 555 组成的施密特触发器

图 3.54 555 定时器

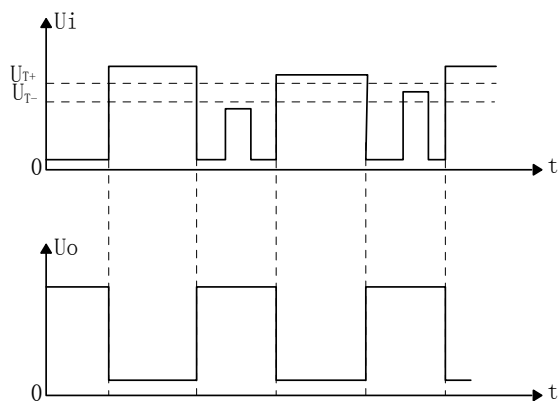
(4)施密特触发器的应用。施密特触发器可用于波形变换、整形和幅度鉴别（即鉴幅），图 3.55 给出了输入和输出的变换、整形、鉴幅的波形图。



(a) 波形变换



(b) 波形整形(取 ΔU_T 较大些)



(c) 鉴幅(取 ΔU_T 尽量小些)

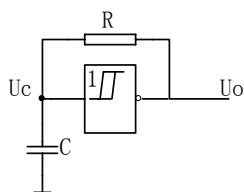
图 3.55 施密特触发器用于波形变换、整形、鉴幅时的输入输出电压波形图

3.4.2 多谐振荡器及应用

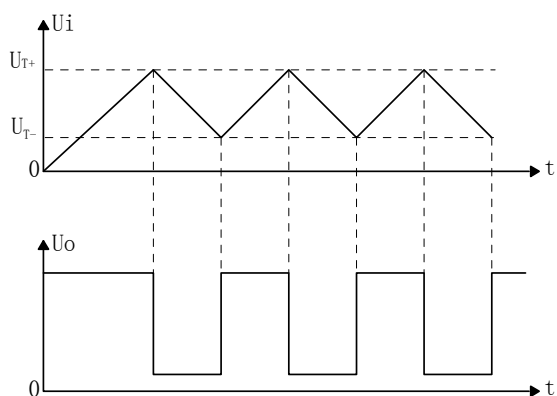
多谐振荡器是能产生矩形波的自激振荡器,因为矩形波是由正弦波基波和许多高次谐波组成的,因此这类振荡器称为多谐振荡器,多谐振荡器的电路很多,下面介绍常见的几种具体电路。

1. 由 CMOS 施密特非门组成的多谐振荡器

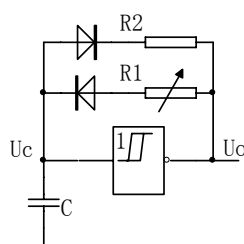
由 CMOS 施密特非门组成的多谐振荡器的电路十分简单,只要把施密特非门的输出端经 RC 积分电路接回输入端即可组成多谐振荡器,如图 3.56(a)所示。电路的工作过程是这样的,当刚加电源时,由于电容 C 还没有来得及充上电荷,所以 $U_C=0$, $u_o=U_{OH}=V_{DD}$, 并且 U_{OH} 通过 R 向 C 充电,当充电充到 $U_C=U_{T+}$ 时,电路输出发生转换, u_o 由 U_{OH} 变成 $U_{OL}=0V$, 此时电容上的电压 $U_C=U_{T+}$, 又要通过 R 向 U_{OL} 放电,当电容上的电压放到 U_{T-} 时,电路的输出状态又发生转换,如此周而复始,形成振荡,振荡时 U_C 和 U_o 的波形如图 3.56(b)所示,通过调节 R、C 的值,可调节振荡频率 f 。另外在这个电路的基础上利用二极管的单向导电性能,使 RC 电路充放电的 RC 时间常数不一致,就可得到可改变输出波形占空比的多谐振荡器,如图 3.56(c)所示。



(a) 由 CMOS 施密特非门组成的多谐振荡器



(b) 图(a)所示电路振荡时的电压波形图



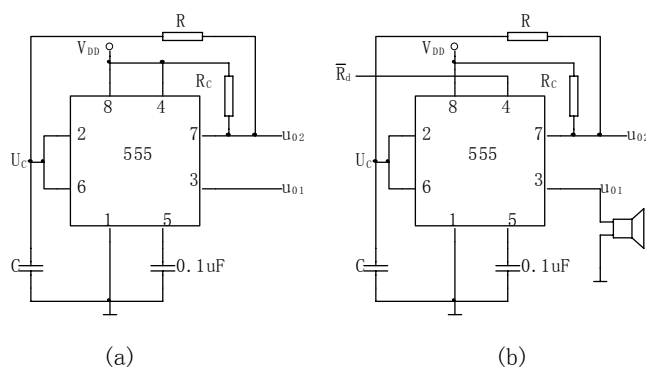
(c) 占空比可调的多谐振荡器
图 3.56 由 CMOS 施密特非门组成的多谐振荡器电路

2. 用 555 组成的施密特电路组成的多谐振荡器

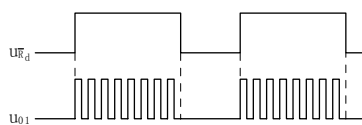
和用 CMOS 施密特非门组成的多谐振荡器一样，只要把由 555 组成的施密特电路的输出端 u_{o2} 经 RC 电路接回输入端即可组成多谐振荡器，如图 3.57(a) 所示，由于 555 第 4 脚为 $\overline{R_d}$

是清 0 输入，因此控制 $\overline{R_d}$ 可控制电路振荡和停振，见图 3.57(b)、(c) 所示。用 555 组成的多谐振荡器，可直接驱动扬声器。本书中所介绍的其它振荡器要驱动扬声器均应加功放电路，这是用 555 构成多谐振荡器的最主要的优点，用 555 构成的多谐振荡器的频率

$$f \approx \frac{1}{0.7(R_C + 2R)C}。$$



(a) 用 555 组成的施密特触发器加 RC 电路组成的多谐振荡器 (b) 受 $\overline{R_d}$ 控制的由 555 组成的多谐振荡器



(c) 受 $\overline{R_d}$ 控制的振荡器的 $U_{\overline{R_d}}$ 、 U_{o1} 的电压波形

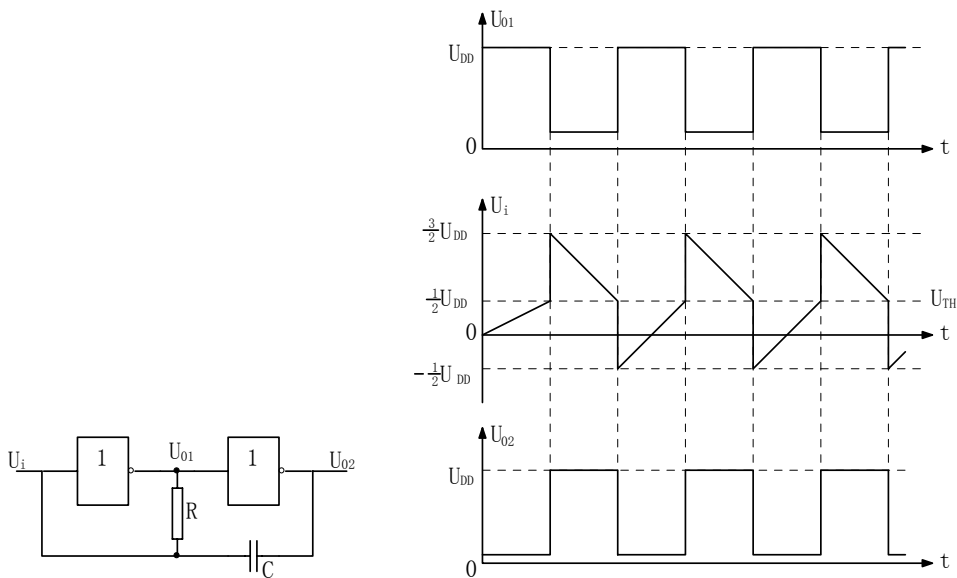
图 3.57 由 555 组成的多谐振荡器

3. 用 CMOS 非门加 RC 电路组成的多谐振荡器

用 CMOS 非门加 RC 电路组成的多谐振荡器如图 3.58(a) 所示，图 3.58(b) 是振荡产生的 u_{o1} 、 u_i 、 u_{o2} 的波形。

电路产生振荡的过程分析如下。当电路刚加上电源后，假定 $u_{o1} = U_{OH} = V_{DD}$ ， $u_{o2} = U_{OL} = 0$ ，这种状态不能持久保持，因为 $u_{o1} = V_{DD}$ 的高电平要通过 R 向 C 充电，使 u_i 逐渐升高，当 u_i 上升到 CMOS 非门状态转换的阈值电压 $U_{TH} = \frac{1}{2}V_{DD}$ 时电路的状态发生转换，使 $u_{o1} = U_{OL} = 0V$ ， u_{o2}

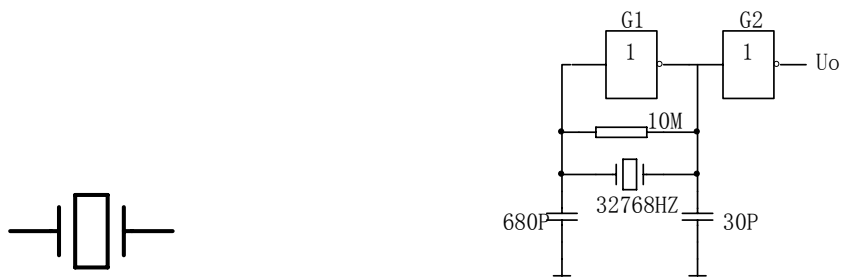
$=U_{OH}=V_{DD}$ ，这种状态也不能持久保持， $u_{02}=V_{DD}$ 的高电平要通过 C 和 R 向 $u_{01}=0$ 的低电平反向充电，从而使 u_i 逐步下降，当 u_i 下降到 CMOS 非门状态转换阈值电压 $U_{TH}=\frac{1}{2}V_{DD}$ 时，电路的状态又一次发生转换，周而复始形成自激振荡，振荡的频率 $f \approx \frac{1}{2.2RC}$ 。



(a) 用 CMOS 非门组成的多谐振荡器电路 (b) 图 (a) 电路的 U_i 、 U_{01} 、 U_{02} 波形
图 3.58 用 CMOS 非门组成的多谐振荡器

4. 石英晶体多谐振荡器

前面介绍的多谐振荡器的频率稳定性较差，当电源电压波动、温度变化、RC 参数的变化都会使频率变化，在数字电路中，有时对频率的稳定性要求比较高，如时钟秒信号的频率源，下面介绍的石英晶体多谐振荡器是频率十分稳定的振荡器，它的频率稳定度 $\Delta f_0/f_0$ 可达 10^{-10} ，这是因为石英振荡器的频率取决于石英晶体的固有谐振频率，而与外接的电阻、电容无关。各种谐振频率的石英晶体已被制成标准化、系列化的产品在电子市场上到处有售，石英晶体的符号和最常见的石英振荡器如图 3.59 所示。



(a) 石英晶体符号 (b) 常见的时钟秒信号源晶体振荡器

图 3.59 石英晶体符号和石英晶体振荡器

图 3.59 (b) 中晶体的谐振频率为 32768Hz，经 G_2 整形以后，通过 15 级由 T' 触发器组成的二分频即可得到 $f=1\text{Hz}$ 的稳定的秒信号，这个电路在后边的数字钟案例中将要用到。

5. 压控振荡器

压控振荡器(Voltage Controlled Oscillator)简称 VCO，VCO 的这个简称符号经常会在电

子电路中看到,这种振荡器的频率受一个输入电压的控制,被广泛用于自动检测、自动控制及通信电路中,目前已有许多压控振荡器集成电路产品,读者在需要时,可查阅有关数字集成电路手册。

3.4.3 单稳态触发器及应用

单稳态触发器和触发器一样有两个输出状态,但和触发器不同的是单稳态触发器的两个输出状态中,其中一个是稳态,另一个是暂稳态。在外加触发脉冲的触发下,电路从稳态进入暂稳态,经过 t_w 以后,电路又自动回到稳定,暂稳态时间 t_w 的长短决定于电路本身的参数,与外界触发脉冲没有关系。

通常单稳态电路可以用门电路组成,在集成电路产品中也有各种集成单稳态触发器产品,下面就这两类实用电路作具体介绍。

1. 由 CMOS 与非门组成的单稳态触发器

图 3.60(a)、(b) 是 CMOS 与非门组成的微分型单稳态触发器电路图和单稳态触发器在触发脉冲作用下有关电压的波形图。工作过程分析如下。

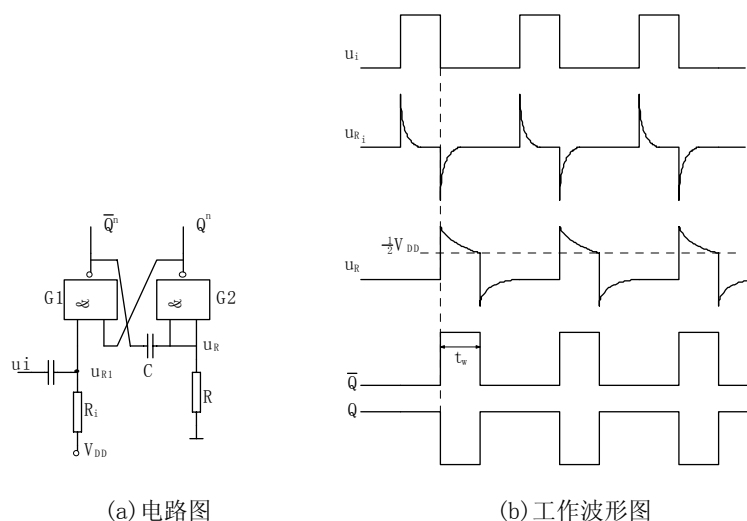


图 3.60 由 CMOS 与非门组成的单稳态触发器

(1) 稳态: 在无触发信号时电路处于稳态, 由于 $u_R=0$, 所以 $Q^n=1$, 这样 G_1 的两个输入均为 1, 所以 $\overline{Q^n}=0$, 即稳态为 $Q^n=1$, $\overline{Q^n}=0$ 。

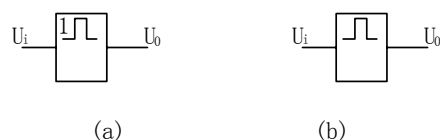
(2) 触发脉冲极性: 稳态时 $u_{Ri}=1$, 所以只有负脉冲才能触发单稳态触发器进入暂稳态, 即触发脉冲的极性为负脉冲触发。

(3) 触发翻转过程分析: C_i 、 R_i 组成微分电路, 当 u_i 下降边到达时, 微分电路输出一个负脉冲被加到 u_{Ri} , 使 u_{Ri} 由 1 变为 0, $\overline{Q^n}$ 由 0 变为 1。 $\overline{Q^n}$ 的变化通过 C 被加到 u_R 上, 使 u_R 由 0 变为 1, 使 Q^n 变为 0, 电路进入暂稳态, 即 $Q^n=0$, $\overline{Q^n}=1$, 此时, u_R 的高电平要通过 RC 放电而逐渐变低, 当 u_R 下降到 CMOS 与非门转换的阈值电压 $\frac{1}{2}V_{DD}$ 时, Q^n 由 0 变为 1, 电路又回到稳态。

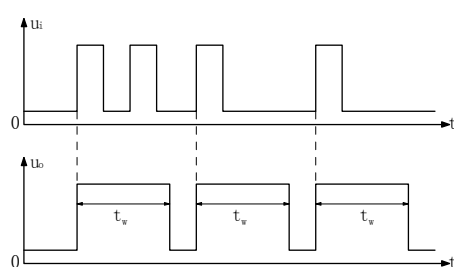
暂稳态时间 t_w 可用 RC 电路的暂稳态过程三要素公式求出, $t_w \approx 0.7RC$ 。

2. 集成单稳态触发器

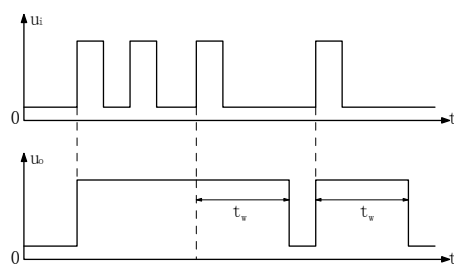
集成单稳态触发器分不可重复触发的单稳态触发器和可以重复触发的单稳态触发器两种。不可重复触发是指单稳态触发器一旦被触发进入暂稳态后，再加触发脉冲，不会影响电路的工作过程，只有等到暂稳态结束之后，才可能被下一个脉冲触发；而可重复触发的单稳态触发器，当电路被触发进入暂稳态后，在暂稳态没有结束之前，再加触发脉冲，电路又一次被触发，电路从第二次触发起要再维持一个暂稳态时间 t_w 。这两种触发器的逻辑符号和工作波形图如图 3.61 和图 3.62 所示。



(a) 不可重复触发型 (b) 可以重复触发型
图 3.61 单稳态触发器的逻辑符号



(a) 不可重复触发型



(b) 可重复触发型

图 3.62 两种单稳态触发器的工作波形图

在 CMOS 集成电路中，不可重复触发的单稳态触发器有 CC4098、CC14528、CC14538、CC74HC4538 等，它们的功能表和管脚图都是一样的，只是 t_w 参数不同，这些集成单稳态触发器的功能表和处于工作条件下的外部连接图如表 3.31 和图 3.63 所示。

表 3.31 功能表

输入			输出	
\bar{A}	B	\bar{R}	Q	\bar{Q}
×	×	0	0	1
1	\bar{f}	1	\bar{f}	\bar{f}
\bar{f}	0	1	\bar{f}	\bar{f}
0	×	1	0	1
×	1	1	0	1

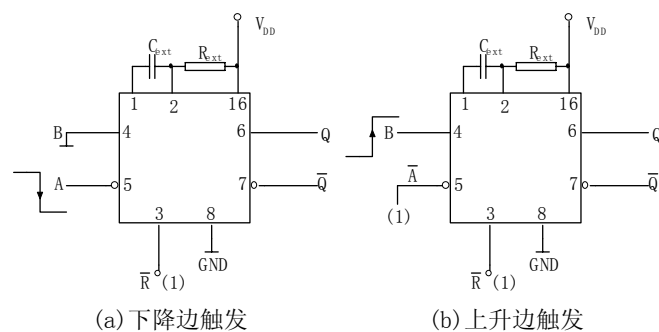


图 3.63 外部连接图

可重复触发的单稳态触发器如 CC74HC123, 当然也有 TTL 单稳态触发器, 读者需要时可查有关集成电路手册。

3. 单稳态触发器的应用

(1) 整形: 把脉宽不一致的波形变成脉宽一致的波形, 见图 3.64 所示。

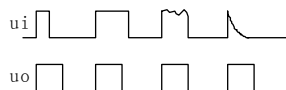


图 3.64 波形的整形

(2) 定时: 由于单稳态触发器的输出为 t_w 可调的矩形波, 因此可在 t_w 时间内去控制某种功能产生或不产生, 图 3.65 是在规定时间内产生声音的电路和有关电压波形。

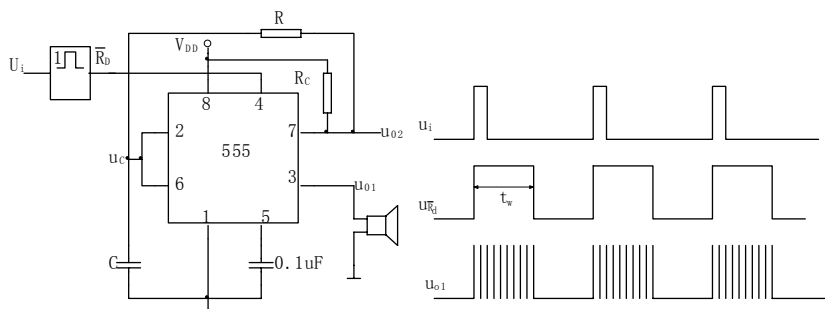


图 3.65 声响定时产生电路及波形图

(3) 延时: 由于单稳态触发器一经触发, 电路进入暂稳态, 暂稳态的时间 $t_w \approx 0.7RC$, 调节 RC 可产生比触发脉冲时间长得多的暂稳态时间 t_w , 图 3.66 所示是一个楼道灯延时开关电路。

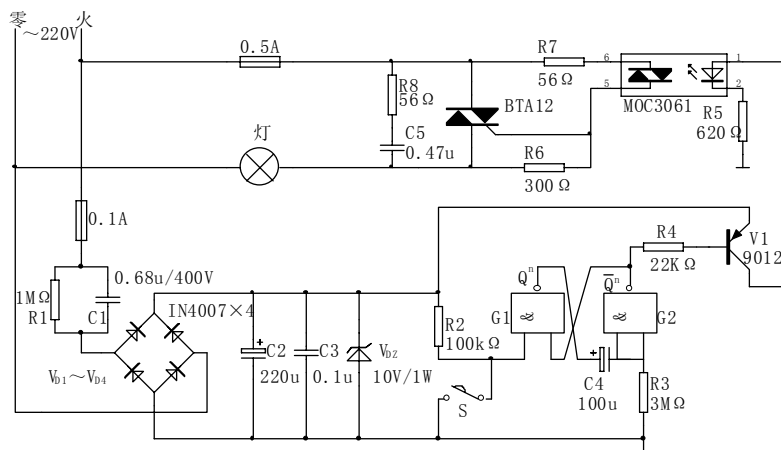


图 3.66 楼道电灯延时开关电路

电路组成及工作过程如下：电路由 C_1 、 R_1 、 $V_{D1} \sim V_{D4}$ 、 C_2 、 C_3 、 V_{DZ} 组成电容降压、桥式整流、电容滤波、稳压管稳压电路，以提供 10V 电源电压。由 CD4011 两个与非门 G_1 、 G_2 组成单稳态触发器。 V_1 (9012) 和光耦 MOC3061 组成对双向可控硅 BTA12 的控制电路。

当 S 没有被按下时，单稳态处于稳态 $\overline{Q^n} = 1$ ， V_1 截止，BTA12 不导通，灯不亮。当按一下开关 S 时，单稳态触发器被触发进入暂稳态， $\overline{Q^n} = 0$ 。 V_1 导通，光耦 1 脚为高电平，BTA12 导通，灯亮。单稳态的暂态时间 $t_w \approx 0.7RC$ 约为 3 分钟，改变 R_3 、 C_4 可改变 t_w 。值得注意的是电路中有 220V 交流高压，在安装时应注意安全。

3.5 组合逻辑电路

在数字系统中有一类电路，具有如下两个特点：其一，在电路结构上，电路均由门电路组成，不含触发器。其二，电路某一时刻的输出状态只决定于这一时刻的输入，而与过去的输入和输出状态无关，这一类电路称为组合逻辑电路，常用的组合逻辑电路有半加器、全加器、多位加法器、编码器、译码器、数据选择器、数值比较器等。

3.5.1 组合逻辑电路的分析方法

分析的任务：已知逻辑电路，分析电路的逻辑功能。

分析的步骤：

- (1) 根据逻辑电路，逐级写出逻辑函数式，直到写出最终输出的逻辑函数表达式。
- (2) 根据逻辑函数表达式，列出真值表。
- (3) 根据逻辑函数和真值表，分析逻辑功能。

例 3.6 已知逻辑电路图 3.67 所示，分析其逻辑功能。

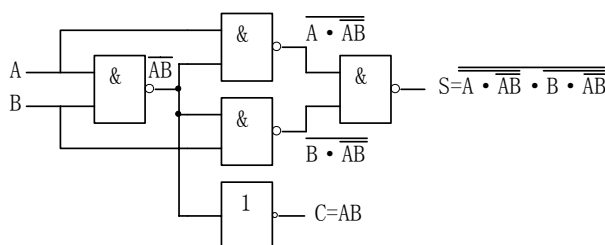


图 3.67 例 3.6 的逻辑电路图

- (1) 根据图 3.67，逐级写出逻辑函数式，直到写出最终输出的逻辑函数表达式为：

$$S = \overline{\overline{A \cdot AB \cdot B \cdot AB}} \\ C = AB \quad (3-20)$$

- (2) 根据逻辑函数表达式，列出真值表。首先用狄摩根定律对 S 的表达式进行变换：

$$\begin{aligned} S &= \overline{\overline{A \cdot AB \cdot B \cdot AB}} = \overline{A \cdot \overline{AB} + B \cdot \overline{AB}} = \overline{A(\overline{A} + \overline{B}) + B(\overline{A} + \overline{B})} \\ &= \overline{A\overline{A} + A\overline{B} + \overline{A}B + B\overline{B}} = \overline{A\overline{B} + \overline{A}B} = A \oplus B \end{aligned}$$

根据 $S = A \oplus B$ ， $C = AB$ 得真值表 3.32。

表 3.32 例 3.6 的真值表

输入		输出	
A	B	C	S
0	0	0	0
0	1	0	1

1	0	0	1
1	1	1	0

(3) 根据逻辑函数表达式和真值表,分析逻辑功能。由真值表可以看出,把输入 A 当作加数, B 当作被加数,则 S 为和, C 为进位。因此,图 3.67 是两个一位二进制数的加法器,称半加器,在组合逻辑电路中,半加器有它的专用逻辑符号,如图 3.68 所示。

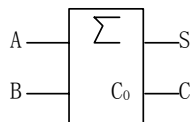


图 3.68 半加器的逻辑符号

3.5.2 组合逻辑电路的设计方法及设计组合逻辑电路举例

1. 组合逻辑电路的设计方法

设计任务: 根据逻辑功能要求, 设计逻辑电路。

设计步骤:

- (1) 根据逻辑功能要求, 作出输入、输出的逻辑规定。
- (2) 根据逻辑规定, 列出真值表。
- (3) 根据真值表, 用卡诺图进行化简, 得到最简的逻辑函数表达式。
- (4) 根据最简的逻辑函数表达式, 作出逻辑电路图。

2. 设计组合逻辑电路举例

通过设计组合逻辑电路举例, 有两个目的: 其一是掌握组合逻辑电路的设计方法; 其二是帮助理解后面将要介绍的常用组合逻辑电路的功能。

例 3.7 设计组合逻辑电路全加器。所谓全加器是指两个多位二进制数相加, 除最低位以外的各位数相加时, 实际上有三个一位二进制数相加, 这三个一位二进制数分别是该位加数、被加数、来自低一位的进位, 实现三个一位二进制数相加的加法器称全加器。

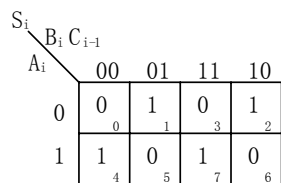
(1) 根据功能要求, 对输入输出作逻辑规定。令输入为 A_i 、 B_i 、 C_{i-1} , 其中, A_i 是该位的加数, B_i 是该位的被加数, C_{i-1} 是来自低位的进位, 输出为 S_i 、 C_i , 其中 S_i 为该位的和, C_i 为该位向高位的进位。

(2) 根据输入输出的逻辑规定列出真值表, 见表 3.33。

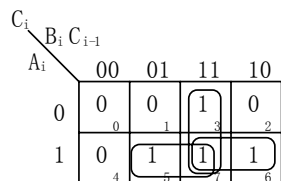
表 3.33 全加器真值表

输入			输出	
A_i	B_i	C_{i-1}	S_i	C_i
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(3) 根据真值表用卡诺图化简, 如图 3.69 所示, 化简后逻辑函数表达式为式 (3-21) 和式 (3-22)。



(a) S_i 的卡诺图



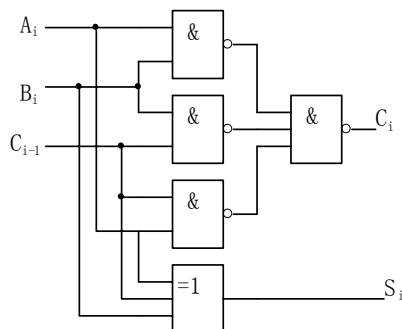
(b) C_i 的卡诺图

图 3.69 S_i 、 C_i 的卡诺图

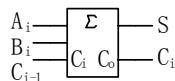
$$\begin{aligned}
 S_i &= \overline{A_i} \overline{B_i} C_{i-1} + \overline{A_i} B_i \overline{C_{i-1}} + A_i \overline{B_i} \overline{C_{i-1}} + A_i B_i C_{i-1} \\
 &= \overline{A_i} (\overline{B_i} C_{i-1} + B_i \overline{C_{i-1}}) + A_i (\overline{B_i} \overline{C_{i-1}} + B_i C_{i-1}) = \overline{A_i} (B_i \oplus C_{i-1}) + A_i (\overline{B_i} \oplus \overline{C_{i-1}}) \quad (3-21) \\
 &= A_i \oplus B_i \oplus C_{i-1}
 \end{aligned}$$

$$C_i = \sum_m (7,6) + \sum_m (5,7) + \sum_m (3,7) = A_i B_i + A_i C_{i-1} + B_i C_{i-1} = \overline{\overline{A_i} \overline{B_i} \overline{C_{i-1}}} \quad (3-22)$$

(4) 根据式 (3-21) 和式 (3-22) 作出逻辑电路和全加器的逻辑符号, 如图 3.70 所示。



(a) 全加器逻辑电路



(b) 全加器逻辑符号

图 3.70 全加器的逻辑电路和逻辑符号

例 3.8 设计两个一位二进制数值比较器。两个一位二进制数值比较器是指对两个一位二进制数 A 、 B 进行比较, 以判别其大小的组合逻辑电路, 显然两个一位二进制数 A 、 B 是输入, 比较结果有等于、大于、小于三种输出, 令三个输出为 $L_1(A=B)$ 、 $L_2(A>B)$ 、 $L_3(A<B)$, 根据以上逻辑功能和逻辑规定, 列出真值表见表 3.34。

表 3.34 两个一位二进制数值比较器

输入		输出		
A	B	$L_1(A=B)$	$L_2(A>B)$	$L_3(A<B)$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

由真值表写出逻辑函数表达式如下:

$$L_1(A=B)=\overline{\overline{A}B}+\overline{A\overline{B}}=\overline{A\oplus B}=\overline{A\overline{B}}+\overline{\overline{A}B}$$

$$L_2(A>B)=A\overline{B}$$

$$L_3(A<B)=\overline{A}B \tag{3-23}$$

由 3-23 式作出逻辑电路如图 3.71 所示。

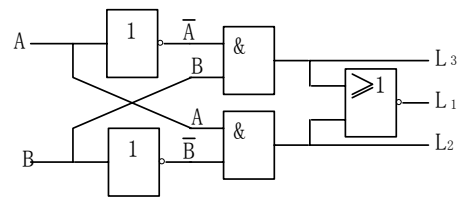


图 3.71 两个一位二进制数值比较器逻辑电路

3.5.3 常用组合逻辑电路的名称、功能、逻辑图、管脚图介绍

常用的组合逻辑电路，原则上均可用组合逻辑电路的设计方法进行设计，但是从应用的角度出发，没有必要细究内部电路的结构，只要掌握这些组合电路的功能，会正确选用和使用这些集成电路就可以了。下面介绍各种集成组合逻辑电路时，只给出逻辑电路框图、功能表，并作简要说明。读者在学习这一类内容时除要熟悉所介绍的集成电路的功能和应用外，还要学会根据集成电路手册提供的功能表、逻辑电路框图、管脚图，能正确选用和使用集成电路。

1. 编码器

编码器是把用十进制数编号代表的一系列不同的事件，转换成和十进制数相对应的各种代码的逻辑电路。多数手册中所给出的各种编码器均是优先编码器，所谓优先编码器，是对普通编码器而言的，普通编码器不可同时输入两个或以上的输入信号，如果输入两个或以上的信号，电路的逻辑功能将产生混乱，优先编码器允许输入两个或两个以上的输入信号，当输入两个或以上信号时，优先编码器只对优先级别最高的输入信号进行编码，逻辑关系不会混乱。常用的编码器有 8 线—3 线优先编码器，16 线—4 线优先编码器和 10 线—4 线优先编码器。图 3.72(a)、(b)和表 3.35 分别是 CMOS 电路 10 线—4 线优先编码器 CC40147 的逻辑电路框图、管脚图和功能表，从功能表中可以看出 I₉ 优先级最高，I₀ 的优先级最低。

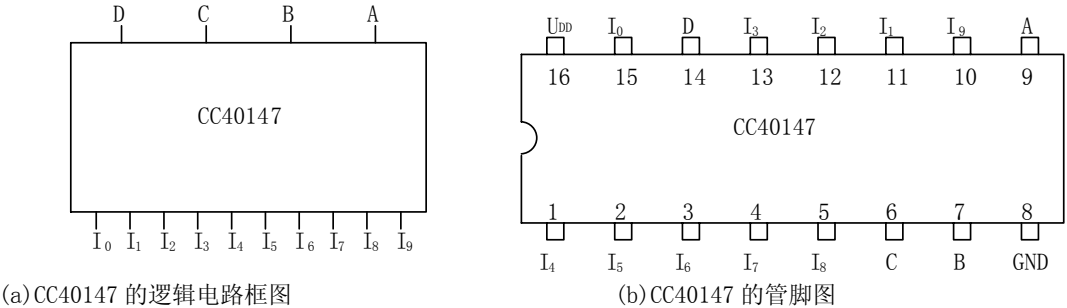


图 3.72

表 3.35 CC40147 功能表

输入										输出			
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	D	C	B	A
0	0	0	0	0	0	0	0	0	0	1	1	1	1

1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
×	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1
×	×	1	0	0	0	0	0	0	0	0	0	0	0	1	0
×	×	×	1	0	0	0	0	0	0	0	0	0	0	1	1
×	×	×	×	1	0	0	0	0	0	0	0	0	0	1	0
×	×	×	×	×	1	0	0	0	0	0	0	0	0	1	1
×	×	×	×	×	×	1	0	0	0	0	0	0	0	1	1
×	×	×	×	×	×	×	1	0	0	0	0	0	0	1	1
×	×	×	×	×	×	×	×	1	0	0	0	0	0	1	0
×	×	×	×	×	×	×	×	×	1	0	0	0	0	1	0

2. 译码器

译码器是编码器的反变换，译码器是把各种二进制代码转换成与之相对应的按十进制数编号的输出为高电平或低电平的逻辑电路。常用的译码器有 3 线—8 线译码器，4 线—16 线译码器和 4 线—10 线译码器。下面以 TTL3 线—8 线译码器 74LS138 为例，介绍译码器的功能和应用中如何根据功能描述正确使用译码器。

(1)3 线—8 线译码器 74LS138。3 线—8 线译码器 74LS138 的逻辑电路框图、输出和输入之间的逻辑函数表达式和功能表分别如图 3.73、式(3-24)和表 3.36。

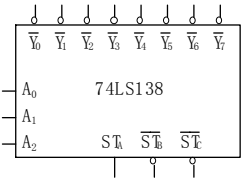


图 3.73 74LS138 逻辑电路框图

$$\left\{ \begin{aligned} \overline{Y_0} &= \overline{A_2 A_1 A_0} = m_0 \\ \overline{Y_1} &= \overline{A_2 \overline{A_1} A_0} = m_1 \\ \overline{Y_2} &= \overline{A_2 A_1 \overline{A_0}} = m_2 \\ \overline{Y_3} &= \overline{A_2 \overline{A_1} \overline{A_0}} = m_3 \\ \overline{Y_4} &= \overline{\overline{A_2} A_1 A_0} = m_4 \\ \overline{Y_5} &= \overline{\overline{A_2} A_1 \overline{A_0}} = m_5 \\ \overline{Y_6} &= \overline{\overline{A_2} \overline{A_1} A_0} = m_6 \\ \overline{Y_7} &= \overline{\overline{A_2} \overline{A_1} \overline{A_0}} = m_7 \end{aligned} \right.$$

(3-24)

表 3.36 74LS138 的功能表

输入					输出							
ST _A	$\overline{ST_B} + \overline{ST_C}$	A ₂	A ₁	A ₀	$\overline{Y_0}$	$\overline{Y_1}$	$\overline{Y_2}$	$\overline{Y_3}$	$\overline{Y_4}$	$\overline{Y_5}$	$\overline{Y_6}$	$\overline{Y_7}$
0	×	×	×	×	1	1	1	1	1	1	1	1
×	1	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1	1
1	0	1	0	0	1	1	1	1	0	1	1	1
1	0	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	0	1	1	1	1	1	1	0	1
1	0	1	1	1	1	1	1	1	1	1	1	0

由表 3.36 和式(3-24)可以看出, $\overline{Y_0} \sim \overline{Y_7}$ 是变量 $A_2A_1A_0$ 对应的最小项反码输出端, 而 ST_A 、 $\overline{ST_B}$ 、 $\overline{ST_C}$ 是译码器的三个控制输入端, 当 $ST_A=1$ 、 $\overline{ST_B}=\overline{ST_C}=0$ 时译码器正常工作, 当 $ST_A=0$ 时, 不管 $\overline{ST_B}$ 、 $\overline{ST_C}$ 是什么状态, 或者 $\overline{ST_B}+\overline{ST_C}=1$ 时, 不管 ST_A 是什么状态, 译码器不工作, $\overline{Y_0} \sim \overline{Y_7}$ 全部输出为 1。

(2)74LS138 的应用

①74LS138 译码功能的应用: 首先要使 74LS138 处于正常工作状态, 即应使 $S_{TA}=1$, $\overline{ST_B}=\overline{ST_C}=0$ 。图 3.74 是表示正常译码时 74LS138 的连线图。图中, 当 $A_2A_1A_0=000$ 时 $\overline{Y_0}=0$, V_{D0} 亮。以此类推, 当 $A_2A_1A_0=111$ 时 $\overline{Y_7}=0$, V_{D7} 亮。

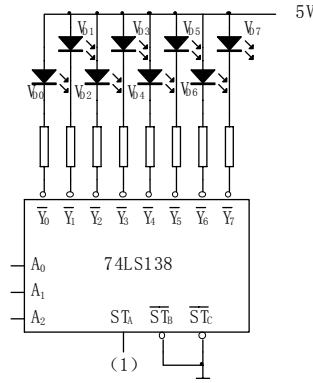


图 3.74 74LS138 处于正常译码时的连线图

②用 74LS138 作为 8 路数据分配器: 令 74LS138 的 $\overline{ST_B}=\overline{ST_C}=0$, 把 S_{TA} 作为数据输入端, 则 S_{TA} 上的数据, 被和 $A_2A_1A_0$ 取值所对应的一个输出端以反码的形式送出去。例如当 $A_2A_1A_0=011$ 时, $\overline{Y_0} \sim \overline{Y_7}$ 8 个输出中只有 $\overline{Y_3}=\overline{ST_A}$, 其余输出全为高电平。

③用 74LS138 设计三变量的其它组合逻辑电路: 例如要求用 74LS138 设计组合逻辑电路全加器。

根据全加器真值表 3.33, 写出 S_i 和 C_i 的最小项表达式如下:

$$S_i = \overline{A_i}\overline{B_i}C_{i-1} + \overline{A_i}B_i\overline{C_{i-1}} + A_i\overline{B_i}\overline{C_{i-1}} + A_iB_iC_{i-1}$$

$$C_i = \overline{A_i}B_iC_{i-1} + A_i\overline{B_i}C_{i-1} + A_iB_i\overline{C_{i-1}} + A_iB_iC_{i-1} \quad (3-25)$$

用狄摩根定律变换成与非表达式如下:

$$S_i = \overline{\overline{\overline{A_i}\overline{B_i}C_{i-1}} \cdot \overline{\overline{\overline{A_i}B_i\overline{C_{i-1}}}} \cdot \overline{\overline{\overline{A_i}\overline{B_i}\overline{C_{i-1}}}} \cdot \overline{\overline{\overline{A_i}B_iC_{i-1}}}}$$

$$C_i = \overline{\overline{\overline{A_i}B_iC_{i-1}} \cdot \overline{\overline{\overline{A_i}\overline{B_i}C_{i-1}}}} \cdot \overline{\overline{\overline{A_i}B_i\overline{C_{i-1}}}} \cdot \overline{\overline{\overline{A_i}B_iC_{i-1}}}} \quad (3-26)$$

根据式(3-26), 用 74LS138 设计的全加器如图 3.75 所示。

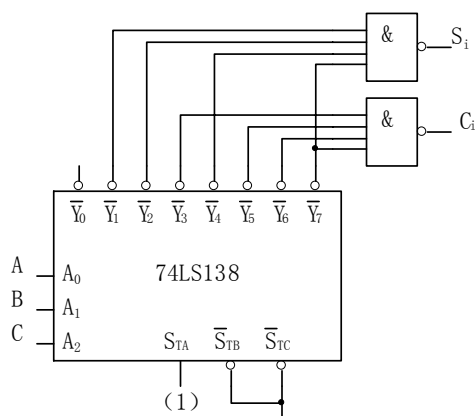


图 3.75 用译码器组成的全加器

3. 数字显示译码器

在日常生活中，到处可以看到数字显示电路，例如菜场内的数字称，出租车内的计价器、数字钟、计算器等。因此数字显示电路是数字系统的重要组成部分。数字显示电路基本部分包括数码显示器和数字显示译码器。图 3.76、表 3.37 是共阳数码显示器 SM4105 和反码输出的数字显示译码器 74LS247 组成的一位十进制数的数字显示电路和功能表。

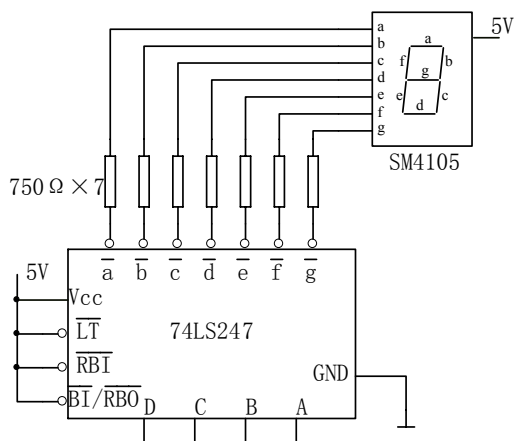


图 3.76 一位十进制数的数字显示电路

表 3.37 图 3.76 所示电路的功能表

输入				输出							字形
D	C	B	A	\overline{a}	\overline{b}	\overline{c}	\overline{d}	\overline{e}	\overline{f}	\overline{g}	
0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	1	0	0	1	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0	2
0	0	1	1	0	0	0	0	1	1	0	3
0	1	0	0	1	0	0	1	1	0	0	4
0	1	0	1	0	1	0	0	1	0	0	5
0	1	1	0	0	1	0	0	0	0	0	6
0	1	1	1	0	0	0	1	1	1	1	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	0	0	0	1	0	0	9

从数字显示电路和功能表可以看出, 8421BCD 码 DCBA 输入为 0000 时, 数字显示译码器 74LS247 的输出 $\overline{abcdefg}$ 为 0000001, 数码显示器除 g 段不亮之外, 其余都亮, 数码显示器显示“0”, 以此类推, 当 DCBA 从 0000~1001 时, 数字显示从“0”~“9”。

(1)数码显示器。目前市场上有售并常被使用的数码显示器有半导体数码显示器和液晶数码显示器。其中半导体数码显示器是由七个做成段状的发光二极管(Light Emitting Diode, 简称 LED)组成的, 因此这种数码显示器又叫做 LED 数码管, 或叫做 LED 七段显示器。LED 数码管内部连线又有共阳和共阴之分, 如图 3.77 所示。

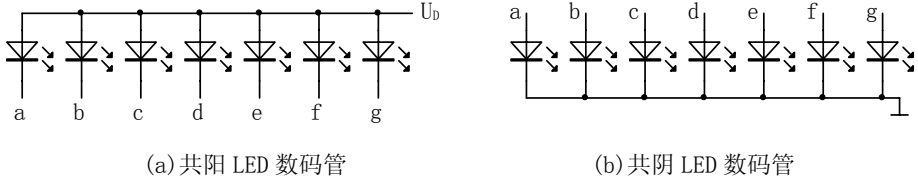


图 3.77 LED 数码管内部连线图

至于七段液晶数字显示器, 其字形和七段半导体数码显示器相类似, 但是由于显示器所用材料不同, 其显示机理、参数和七段半导体数码显示器是不相同的。它的主要优点是功耗极小, 工作电压低, 常用在微型数字系统中, 主要缺点是显示不够清晰, 响应速度慢。

(2)数字显示译码器。数字显示译码器是把 8421BCD 码转换成能使七段数字显示器显示相对应的十进制数字的组合逻辑电路。因为 LED 数码管有共阳和共阴之分, 所以数字显示译码器有反码输出和原码输出之别, 在使用时, 共阳 LED 数码管必须和反码输出的数字显示译码器联用, 共阴 LED 数码管必须和原码输出的数字显示译码器联用。图 3.78、表 3.38

是原码输出 CMOS 集成数字显示译码器 CC14547 的逻辑电路框图和功能表。其中 \overline{BI} 为灭灯输入, 当 $\overline{BI} = 0$ 时, 数码管七段灯全部熄灭, 在显示多位十进制数, 例如四位, 如果没有 \overline{BI} , 若多位十进制数为 423 时, 显示系统就会显示“0423”, 有了 \overline{BI} 就可以设法把首位 0 消稳掉, 不用 \overline{BI} 时, \overline{BI} 应接高电平。

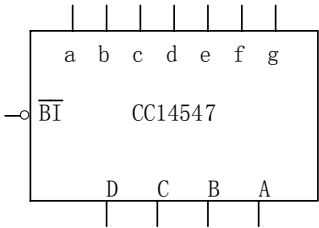


图 3.78 CC14547 的逻辑电路框图

表 3.38 CC14547 的功能表

输入					输出							字形
\overline{BI}	D	C	B	A	a	b	c	d	e	f	g	
0	×	×	×	×	0	0	0	0	0	0	0	消隐
1	0	0	0	0	1	1	1	1	1	1	0	0
1	0	0	0	1	0	1	1	0	0	0	0	1
1	0	0	1	0	1	1	0	1	1	0	1	2
1	0	0	1	1	1	1	1	1	0	0	1	3
1	0	1	0	0	0	1	1	0	0	1	1	4

输入					输出							字形
\overline{BI}	D	C	B	A	a	b	c	d	e	f	g	
1	0	1	0	1	1	0	1	1	0	1	1	5
1	0	1	1	0	1	0	1	1	1	1	1	6
1	0	1	1	1	1	1	1	0	0	0	0	7
1	1	0	0	0	1	1	1	1	1	1	1	8
1	1	0	0	1	1	1	1	1	0	1	1	9

图 3.79、表 3.39 是反码输出数字显示译码器 74LS247 的逻辑电路框图和功能表。其中 \overline{LT} 为试灯输入，当 $\overline{LT}=0$ 时不管其它输入如何，七段灯全亮，显示“8”。正常工作时， \overline{LT} 接高电平。 $\overline{BI}/\overline{RBO}$ 为灭灯输入/灭灯输出，即 $\overline{BI}/\overline{RBO}$ 既可作输入，也可作为输出。把 $\overline{BI}/\overline{RBO}$ 作为输入时，当 $\overline{BI}/\overline{RBO}=0$ 时，不管 DCBA 状态如何，只要 $\overline{LT}=1$ ，七段灯全灭；把 $\overline{BI}/\overline{RBO}$ 作为输出时，当 $\overline{LT}=1$ ， $\overline{RBI}=0$ ，DCBA 为 0000 时，七段灯全灭， $\overline{BI}/\overline{RBO}$ 输出低电平。正常译码时， $\overline{BI}/\overline{RBO}$ 应接高电平。

\overline{RBI} 为灭灯输入，当 $\overline{LT}=1$ ， $\overline{RBI}=0$ ，DCBA 为 0000 时，七段灯全灭，正常译码时 \overline{RBI} 接高电平。

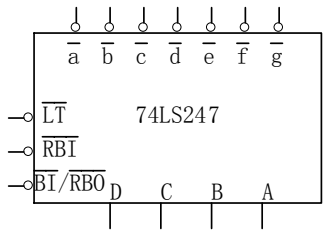












图 3.79 74LS247 的逻辑电路框图

表 3.39 74LS247 的功能表

输入							输出								字形
\overline{LT}	$\overline{BI}/\overline{RBO}$	\overline{RBI}	D	C	B	A	\overline{a}	\overline{b}	\overline{c}	\overline{d}	\overline{e}	\overline{f}	\overline{g}		
0	×	×	×	×	×	×	0	0	0	0	0	0	0	8 灭 灭          	
1	0	×	×	×	×	×	1	1	1	1	1	1	1		
1	输出 0	0	0	0	0	0	1	1	1	1	1	1	1		
1	1	1	0	0	0	0	0	0	0	0	0	0	1		
1	1	1	0	0	0	1	1	0	0	1	1	1	1		
1	1	1	0	0	1	0	0	0	1	0	1	0	0		
1	1	1	0	0	1	1	0	0	0	0	1	1	0		
1	1	1	0	1	0	0	1	0	0	1	1	0	0		
1	1	1	0	1	0	1	0	1	0	0	1	0	0		
1	1	1	0	1	1	0	0	1	0	0	0	0	0		
1	1	1	0	1	1	1	0	0	0	1	1	1	1		
1	1	1	1	0	0	0	0	0	0	0	0	0	0		
1	1	1	1	0	0	1	0	0	0	1	0	0	0		

(3)数字显示电路中的限流电阻。在实际使用中，LED 数码管中的每一个发光二极管点亮时，流过发光二极管的电流 $I_D \approx 3 \sim 10\text{mA}$ ，发光二极管两端的电压 $U_D \approx 1.8 \sim 2\text{V}$ ，共阳和共阴 LED 数码管，某段被点亮时的等效电路如图 3.80 所示，图中 V_{D1} 被反码输出的数字显示译码器的低电平点亮； V_{D2} 被原码输出的数字显示译码器的高电平点亮。



(a) 共阳 LED 数码管 V_{D1} 点亮时的等效电路 (b) 共阴 LED 数码管 V_{D2} 点亮时的等效电路
图 3.80 LED 数码管限流电阻计算原理图

由图 3.80(a)知：

$$I_{D1} = \frac{\text{电源电压} - 2V}{R_1} \quad (3-27)$$

由图 3.80(b)知：

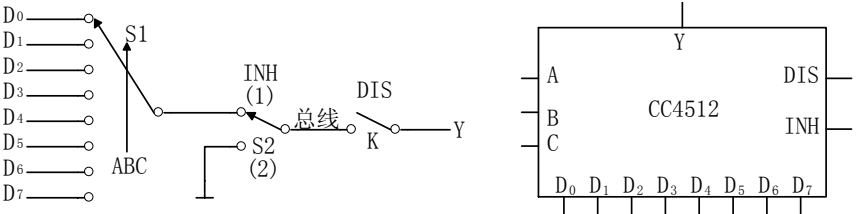
$$I_{D2} \approx \frac{U_{OH原} - 2V}{R_2} \quad (3-28)$$

对于 TTL 数字显示译码器，电源电压等于 $V_{CC} = 5\text{V}$ ， $U_{OH原} \approx 3.6\text{V}$ (最好查手册或实测)。对于 CMOS 数字显示译码器 $U_{OH原} \approx \text{电源电压} = V_{DD}$ 。

4. 数据选择器

(1)数据选择器的功能。从多路数据中有选择地把其中一路信号送到输出总线上的组合逻辑电路称为数据选择器。

图 3.81(a)、(b)分别是八选一数据选择器 CC4512 功能原理示意图和逻辑电路框图。



(a) CC4512 功能原理示意图 (b) CC4512 逻辑电路框图
图 3.81 CC4512 功能原理示意图和逻辑电路框图

在功能原理示意图中， $D_0 \sim D_7$ 是被选择的数据输入， S_1 是由 ABC 控制的选择开关，当 ABC 为 000 时， S_1 接通 D_0 ，以此类推，当 ABC 为 111 时， S_1 接通 D_7 。DIS 为三态控制输入，DIS=0 时， S_3 合上，Y 可以输出 0 或 1；当 DIS=1 时， S_3 断开，Y 为高阻状态。INH 为禁止输入，当 INH=0 时， S_2 指向(1)， $D_0 \sim D_7$ 被选择后和总线接通，INH=1 时， S_2 指向(2)，总线的信号总为 0，输入数据 $D_0 \sim D_7$ 被禁止送出。在正常工作时 DIS、INH 均应接低电平。这一段方字叙述，用功能表表示见表 3.40。

表 3.40 CC4512 功能表

输入					输出
DIS	INH	A	B	C	Y
1	×	×	×	×	高阻
0	1	×	×	×	0
0	0	0	0	0	D_0
0	0	0	0	1	D_1
0	0	0	1	0	D_2

0	0	0	1	1	D_3
0	0	1	0	0	D_4
0	0	1	0	1	D_5
0	0	1	1	0	D_6
0	0	1	1	1	D_7

根据功能表，八选一数据选择器在正常工作时(即 $INH=DIS=0$ 时)，输入输出的逻辑关系式为：

$$Y = \overline{A}\overline{B}\overline{C}D_0 + \overline{A}\overline{B}CD_1 + \overline{A}B\overline{C}D_2 + \overline{A}BCD_3 + A\overline{B}\overline{C}D_4 + A\overline{B}CD_5 + AB\overline{C}D_6 + ABCD_7 = \sum_{i=0}^7 m_i D_i$$

(m_i 是三变量逻辑函数的最小项)

市售集成数据选择器的品种较多，除八选一外，还有四选一、十六选一。其中有原码输出，也有反码输出，有 CMOS 数据选择器，也有 TTL 数据选择器。例如既有原码，又有反码互补输出的八选一数据选择器 CC74H354/356，双四选一数据选择器 CC14529，反码输出的十六选一数据选择器 54/74150 等，读者需要时，可查阅有关集成电路手册。

(2)数据选择器的应用。可利用数据选择器设计其它组合逻辑电路，例如用八选一数据选择器 CC4512 设计逻辑函数 $L = A \oplus B \oplus C$ 的逻辑电路。

设计方法是：首先把逻辑函数表达式化成最小项表达式，然后和八选一数据选择器的逻辑函数表达式进行比较，求出数据选择器各个输入的状态即可。

把 $L = A \oplus B \oplus C$ 化成最小项表达式：

$$\begin{aligned} L &= A \oplus B \oplus C = (\overline{A}B + A\overline{B}) \oplus C = (\overline{A}B + A\overline{B}) \bullet C + (\overline{A}B + A\overline{B}) \bullet \overline{C} \\ &= \overline{A}B \bullet C + A\overline{B} \bullet C + \overline{A}B \bullet \overline{C} + A\overline{B} \bullet \overline{C} = (A + \overline{B}) \bullet (\overline{A} + B) \bullet C + \overline{A}B \bullet \overline{C} + A\overline{B} \bullet \overline{C} \\ &= A\overline{A}C + A\overline{B}C + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} \\ &= ABC + \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}\overline{C} \end{aligned}$$

即：

$$L = ABC + \overline{A}BC + \overline{A}B\overline{C} + A\overline{B}\overline{C} \quad (3-29)$$

写出数据选择器 CC4512 的逻辑函数式：

$$Y = \overline{A}\overline{B}\overline{C}D_0 + \overline{A}\overline{B}CD_1 + \overline{A}B\overline{C}D_2 + \overline{A}BCD_3 + A\overline{B}\overline{C}D_4 + A\overline{B}CD_5 + AB\overline{C}D_6 + ABCD_7 \quad (3-30)$$

比较式(3-29)和式(3-30)知，要使 $L=Y$ ，则必须 $D_0=D_3=D_5=D_6=0$ ， $D_1=D_2=D_4=D_7=1$ ，即可得到由 CC4512 组成的 $L = A \oplus B \oplus C$ 逻辑电路，如图 3.82 所示。

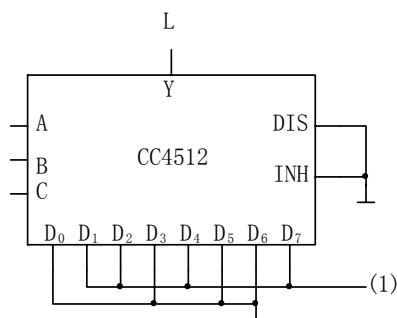


图 3.82 用 CC4512 设计 $L = A \oplus B \oplus C$ 的逻辑电路连线图

5. 数字比较器

在例 3.8 中已经设计过两个一位二进制数值比较器，如果被比较的二进制数是多位时，需要用多位数值比较器，图 3.83 是两个四位二进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 的数值比较器

54/74LS85 的逻辑电路框图，其中 $A>B$ 、 $A=B$ 、 $A<B$ 是低四位比较结果输入， $L_{A>B}$ 、 $L_{A=B}$ 、 $L_{A<B}$ 是两个四位二进制数及包括低四位结果的最终比较结果。表 3.41 是 54/74LS85 的功能表。

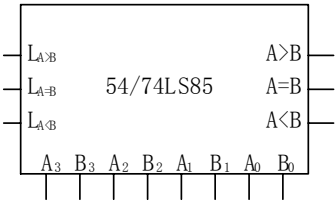


图 3.83 54/74LS85 逻辑电路框图

表 3.41 54/74LS85 功能表

两个四位二进制数值输入				低四位比较结果输入			比较结果输出		
A_3B_3	A_2B_2	A_1B_1	A_0B_0	$A>B$	$A=B$	$A<B$	$L_{A>B}$	$L_{A=B}$	$L_{A<B}$
$A_3>B_3$	×	×	×	×	×	×	1	0	0
$A_3<B_3$	×	×	×	×	×	×	0	0	1
$A_3=B_3$	$A_2>B_2$	×	×	×	×	×	1	0	0
$A_3=B_3$	$A_2<B_2$	×	×	×	×	×	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1>B_1$	×	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1<B_1$	×	×	×	×	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0>B_0$	×	×	×	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0<B_0$	×	×	×	0	0	1
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	1	0	0	1	0	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	1	0	0	1	0
$A_3=B_3$	$A_2=B_2$	$A_1=B_1$	$A_0=B_0$	0	0	1	0	0	1

根据功能表和逻辑电路框图，当只有两个四位二进制数进行数值比较时，相当于低四位的比较结果相等。因此 $A>B$ 、 $A=B$ 、 $A<B$ 三个低四位比较结果输入中，应把 $A>B$ 、 $A<B$ 接 0，把 $A=B$ 接 1，如果是两个八位二进制数进行数值比较时，高四位数值比较器的 $A>B$ 、 $A=B$ 、 $A<B$ 分别和低四位数值比较器的 $L_{A>B}$ 、 $L_{A=B}$ 、 $L_{A<B}$ 相连即可，图 3.84 是两个八位二进制数进行数值比较时，用两块四位数值比较器级联时的连接图。

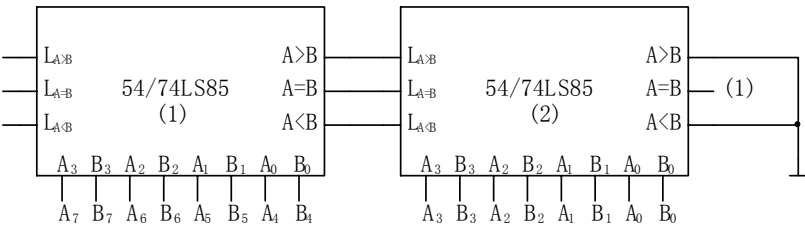


图 3.84 两块 54/74LS85 组成八位数值比较器的连接图

目前生产的数值比较器集成电路产品中，也有采用其它电路结构的，因为电路结构不同，对 $A>B$ 、 $A=B$ 、 $A<B$ 三个输入的连线是不同的，例如四位数值比较器 CC14585 就和 74LS85 不同，使用时应仔细阅读功能表，在完全理解的前提下使用。

6. 加法器

在介绍组合逻辑电路的分析方法和设计方法时，对半加器和全加器已经作了分析和设计，即只考虑两个一位二进制数相加面不考虑来自低位进位数的加法器称半加器；不仅考虑两个一位二进制数的相加，同时也考虑来自低位进位数的加法器称为全加器；当要实现两个多位二进制数相加时，要用多位加法器，即能实现两个多位二进制数相加的加法称多位加法器。

最简单的多位加法器是用四个全加器构成的四位串行进位的加法器，例如 TTL 电路中的 T692，用四位加法器可以实现两个四位二进制数 $A_3A_2A_1A_0$ 和 $B_3B_2B_1B_0$ 相加，这种四位

串行进位的加法器的电路结构和逻辑电路框图如图 3.85 所示。

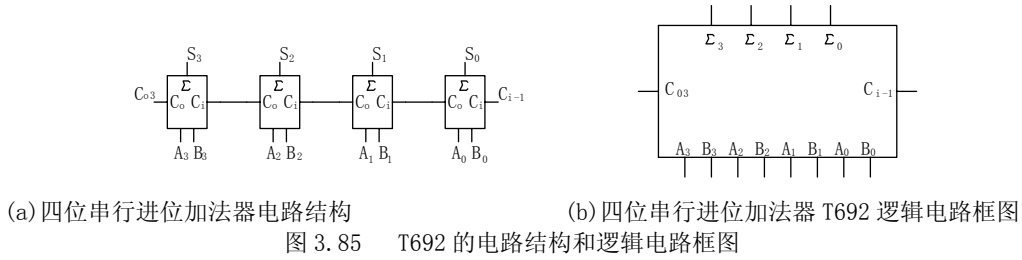


图 3.85 所示的串行进位的多位加法器的工作速度较慢，市售的多数多位加法器是超前进位加法器，超前进位加法器的速度要比串行进位加法速度快 1 倍以上，但不管是串行进位还是超前进位加法器，其逻辑电路框图是一致的，例如超前进位四位加法器 CC4008 的逻辑框图和图 3.85(b)完全一样。

在使用多位加法器时，连线比较简单，图 3.86 是用两块四位加法器实现两个八位二进制数相加时的连接图，由于低四位没有进位，低四位的 C_{i-1} 接 0，高四位的 C_{i-1} 接低四位的 C_{03} 即可。

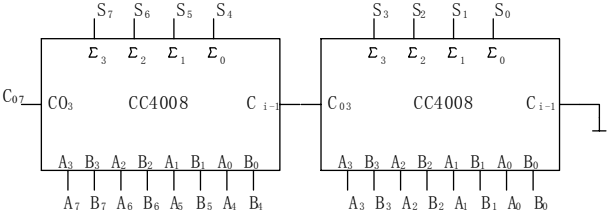


图 3.86 用两块四位加法器实现两个八位二进制数相加的连接图

用四位加法器实现由 8421BCD 码转换成余 3BCD 码十分简单，图 3.87 是实现 8421BCD 码转换成余 3BCD 码的逻辑电路框图，其中 $A_3A_2A_1A_0$ 是 8421BCD 码， $S_3S_2S_1S_0$ 是余 3BCD 码。

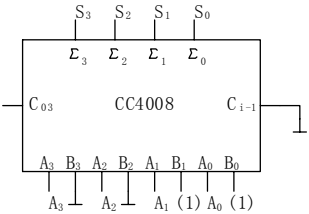
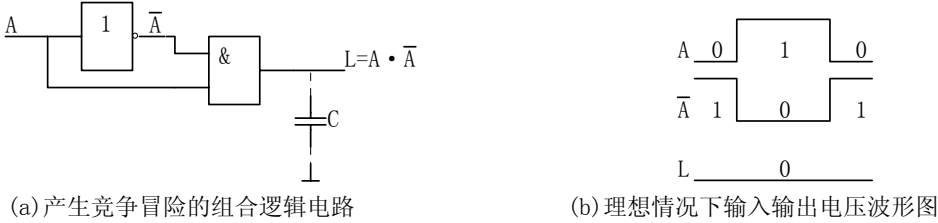


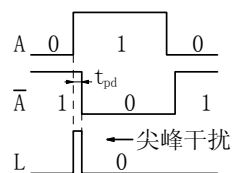
图 3.87 用四位加法器实现 8421BCD 码转换成余 3BCD 码的逻辑电路框图

3.5.4 组合逻辑电路的竞争与冒险及消除方法

所谓竞争是指同一输入信号经过不同途径到达同一门的输入端时，由于不同途径的延迟时间不一致，使得到达同一门的输入端时有先有后的现象。

所谓冒险是指由于竞争的存在，导致在输出端产生尖峰干扰脉冲的现象，图 3.88 示意地表示了上述内容。





(c) 由竞争冒险产生的尖峰干扰的输入输出电压波形图

图 3.88 组合逻辑电路产生竞争与冒险的示意图

在实际应用中，如果组合逻辑电路的逻辑关系是正确的，但是电路的工作却不正常，这时应想到电路是否存在干扰，其中包含由竞争冒险产生的尖峰干扰。

消除尖峰干扰的方法很多，其中最简单的方法是在产生尖峰干扰的输出端到电路地之间接一个数百皮法的小电容。如图 3.88(a)中虚线所接的电容 C，至于其它方法如加封锁脉冲法、加选通脉冲法和修改逻辑设计法等，读者在应用时，若确实已深入到这一步，可参阅其他相关资料。

3.5.5 四路数显抢答器电路的分析与设计

四路数显抢答器电路的组成包含了门电路、触发器、波形产生与整形和组合逻辑电路，是前面所学基础知识的一个综合应用的实例。

1、四路数显抢答器的电原理图

四路数显抢答器的电原理图如图 3.89。

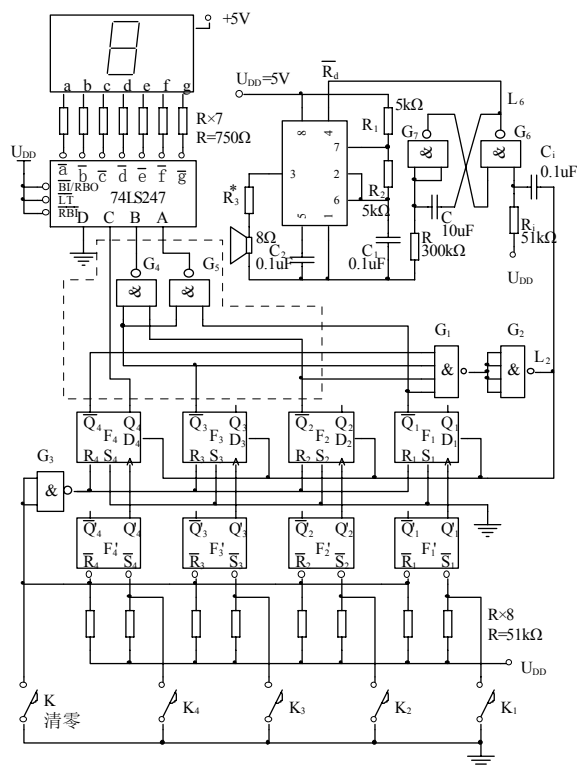


图 3.89 四路数显抢答器的电原理图

图中 $K_1 \sim K_4$ ， $F_1 \sim F_4$ ， $F_1 \sim F_4$ 及 $G_1 \sim G_3$ 是抢答器的主电路。虚线框内是码制转换组合逻辑电路，74LS247 和共阳数码管组成译码显示电路。由 G_6 、 G_7 组成的单稳态和 555 组成的多谐振荡器为抢答成功后的声响提示电路。

2、抢答器主电路工作过程分析

如图 3.89 所示, $K_1 \sim K_4$ 是四路抢答者操作的常开按钮开关。 $F_1 \sim F_4$, $F_1 \sim F_4$ 是与四个开关相呼应的四个基本 RS 触发器和四个 D 触发器。抢答前通过清零开关 K, 使 $F_1 \sim F_4$ 和 $F_1 \sim F_4$ 清零。此时 $\overline{Q_4}\overline{Q_3}\overline{Q_2}\overline{Q_1} = 1111$, 因而 G_2 的输出 $L_2 = 1$, 即 $D_4 = D_3 = D_2 = D_1 = 1$ 。当抢答时,

若 K_1 被首先按下, 则 F_1 被置 1, 其 Q_1 的上升边触发 F_1 , F_1 被触发后, $Q_1 = D_1 = 1$, 即 $\overline{Q_1} = 0$ 。

随即 $L_2 = 0$, 即 $D_4 = D_3 = D_2 = D_1 = 0$ 。如果此时再有其他抢答者按下按钮, 则相应的 F 不改变状态。因此只有首先按下按钮者, 相应的 D 触发器 Q 的状态才会由 0 变成 1。各路抢答成功后 $Q_4Q_3Q_2Q_1$ 的状态见表 3.42。

表 3.42 各路抢答成功后的状态表

抢答者情况	$Q_4Q_3Q_2Q_1$	$D_4D_3D_2D_1$
未抢答前	0000	1111
K_1 抢答成功	0001	0000
K_2 抢答成功	0010	0000
K_3 抢答成功	0100	0000
K_4 抢答成功	1000	0000

注意 $Q_4Q_3Q_2Q_1$ 只可能出现表中的五种状态, 其它状态不可能出现。

3、码制转换组合逻辑电路的设计

由原理可知, 74LS247 和共阳数码管组成了译码显示电路。而译码显示电路的输入 DCBA 应当是 8421BCD 码, 而 $Q_4Q_3Q_2Q_1$ 不是 8421BCD 码, 把 $Q_4Q_3Q_2Q_1$ 直接送给 DCBA 是不行的。例如, 当 K_3 按下时, 抢答器应显示“3”, 但此时 $Q_4Q_3Q_2Q_1 = 0100$, 直接送入将显示“4”, 这当然错了。因此, 在 $Q_4Q_3Q_2Q_1$ 和 DCBA 之间应加一个码制转换组合逻辑电路。根据组合逻辑电路的设计方法, 设计如下:

(1) 令 $Q_4Q_3Q_2Q_1$ 为输入, DCBA 为输出, 列出真值表如表 3.43。

表 3.43 码制转换电路真值表

Q_4	Q_3	Q_2	Q_1	D	C	B	A
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	×	×	×	×
0	1	0	0	0	0	1	1
0	1	0	1	×	×	×	×
0	1	1	0	×	×	×	×
0	1	1	1	×	×	×	×
1	0	0	0	0	1	0	0
1	0	0	1	×	×	×	×
1	0	1	0	×	×	×	×
1	0	1	1	×	×	×	×
1	1	0	0	×	×	×	×
1	1	0	1	×	×	×	×
1	1	1	0	×	×	×	×
1	1	1	1	×	×	×	×

(2) 根据真值表用卡诺图化简。

C

Q₄Q₃Q₂Q₁

	00	01	11	10
00	0	0	×	0
01	0	×	×	×
11	×	×	×	×
10	1	×	×	×

B

Q₄Q₃Q₂Q₁

	00	01	11	10
00	0	0	×	1
01	1	×	×	×
11	×	×	×	×
10	0	×	×	×

A

Q₄Q₃Q₂Q₁

	00	01	11	10
00	0	1	×	0
01	1	×	×	×
11	×	×	×	×
10	0	×	×	×

由真值表可以看出 $D=0$ ，由卡诺图可得 $C=Q_4$ ， $B=Q_3+Q_2=\overline{Q_3}\overline{Q_2}$ ， $A=Q_3+Q_1=\overline{Q_3}\overline{Q_1}$ 。

(3) 根据 DCBA 的最简逻辑函数表达式作出逻辑电路图

根据由卡诺图化简得到的 DCBA 的逻辑函数表达式作出的逻辑电路如原理图中的虚线部分。

4、声响电路的组成及元件参数的确定

在原理图中，由 G_6 、 G_7 组成的单稳态和由 555 组成的多谐振荡器是抢答成功时的声响提示电路。工作过程是这样的：当抢答成功时， L_2 由 1 变成 0，这个下降边通过 C_i 、 R_i 组成的微分电路产生的负脉冲，使单稳态由稳态进入暂稳态，即 L_6 由 0 变成 1。使由 555 组成的音频振荡器的 4 脚 $\overline{R_d}$ 由 0 变成 1，从而使振荡电路工作。若希望声响持续时间为 2 秒，音频振荡频率为 1KHz，则根据单稳态的暂稳时间 $t_w=0.7RC$ 知，取 $C=10\mu F$ 、 $R=300K\Omega$ ，则 $t_w\approx 2$ 秒。根据 555 组成的多谐振荡器的周期公式 $T=\ln 2 \times (R_1+2R_2) \times C \approx 0.7 \times (R_1+2R_2) \times C$ 知，当取 $R_1=R_2=5K\Omega$ 、 $C_1=0.1\mu F$ 时， $T\approx 1mS$ ， $f\approx 1KHz$ 。图中 R_3^* 是用来调节声响大小的分压电阻， R_3^* 一般取 20Ω ($\frac{1}{4}W$) 即可。

3.6 时序逻辑电路

在数字系统中，在结构上是由门电路和触发器组成的，其中触发器是必不可少的；在输出和输入的关系上，电路在 CP 到达时刻的输出状态，不仅取决于电路在 CP 到达时刻的输入信号，同时还取决于 CP 到达前电路的输出状态，具有这样结构和特点的这一类电路称为时序逻辑电路，本节主要介绍时序逻辑电路计数器和寄存器。

3.6.1 用 T' 触发器组成二分频电路和模 2^n 异步计数器

1. 计数器的有关概念

计数器是对 CP 脉冲进行计数的时序逻辑电路。如果组成计数器中的各个触发器的 CP 不是同一信号，这样的计数器称异步计数器。显然组成计数器的各个触发器的 CP 信号均为同一个信号时，这样的计数器称为同步计数器。

一个计数器可以累加计数的数目称为计数器的“模”，用 M 表示， $M=7$ 计数器就是七进制计数器， n 个触发器组成的计数器可以累加计数的最大数目为 2^n 个，所以模 2^n 计数器是指用 n 个触发器组成最大数目的计数器，例如用三个触发器组成 $M=8$ 计数器，用四个触发器组成 $M=16$ 计数器均称为模 2^n 计数器。显然用三个触发器组成 $M=6$ 计数器或 $M=5$

计数器均称为非模 2^n 计数器。

2. 模 2^n 异步加法计数器

组成模 2^n 加法计数器的一般方法是：

(1) 用 T' 触发器组成，如果不是 T' 触发器，可以把它转换成 T' 触发器，前面已经介绍过，可以把 JK、T、D 触发器转换成 T' 触发器。

(2) 若所用触发器要求用下降边触发，则用前级（即低位触发器）的 Q^n 作为后级（即高一位触发器）的 CP，若所用触发器要求用上升边触发，则用前级的 \overline{Q}^n 作为后级的 CP。

根据上述方法，可以用各种触发器构成各种模 2^n 异步加法计数器。例如图 3.90 所示，是用三个下降边触发的 JK 触发器组成的模 8 异步加法计数器，其中三个 JK 触发器的 J 和 K 均为 1，实际上已转换成 T' 触发器了， \overline{R}_d 是负脉冲清零输入。

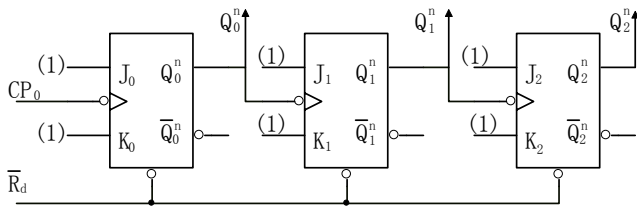
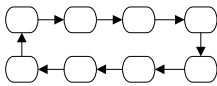


图 3.90 用三个下降边触发的 JK 触发器组成的模 8 异步加法计数器

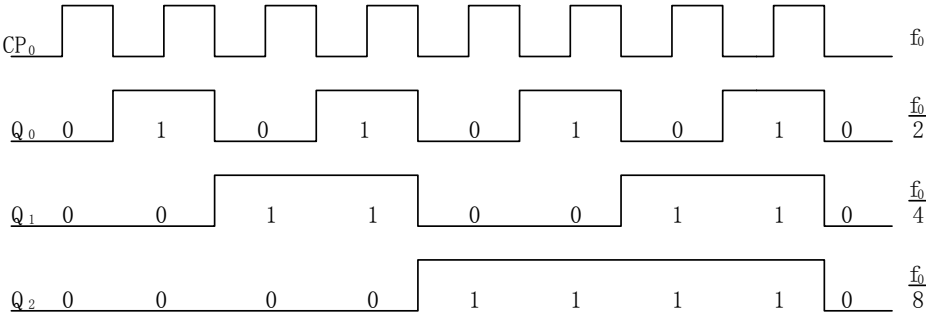
根据 T' 触发器的逻辑功能，可以看出，电路在 CP_0 的作用下，各个触发器的状态转换

图和时序图即 $Q_2^n Q_1^n Q_0^n$ 的工作波形图如图 3.91 所示。

$$Q_2^n Q_1^n Q_0^n$$



(a) 图 3.90 所示电路的状态转换图



(b) 图 3.90 所示电路的时序图

图 3.91 模 8 异步加法计数器的状态转换图和时序图

状态转换图和时序图形象直观地反映了电路的工作过程和时序关系，另外从时序图中可

以看出，如果 CP_0 的频率为 f_0 ，则 $f_{Q_0^n} = \frac{1}{2} f_0$ ， $f_{Q_1^n} = \frac{1}{4} f_0$ ， $f_{Q_2^n} = \frac{1}{8} f_0$ 。因此用 T' 触发

器也可组成逐级二分频电路。

3. 模 2^n 异步减法计数器

组成模 2^n 异步减法计数器的一般方法和组成模 2^n 异步加法计数器的一般方法基本相同，只是组成模 2^n 异步减法计数器时，若触发器要求用下降边触发时，要用 \overline{Q}^n 作为后级 CP，上升边触发时，要用 Q^n 作为后级的 CP，用 JK 触发器转换成 T' 触发器后组成的模 8 异步减法计数器的逻辑电路图、状态转换图、时序图如图 3.92 所示。

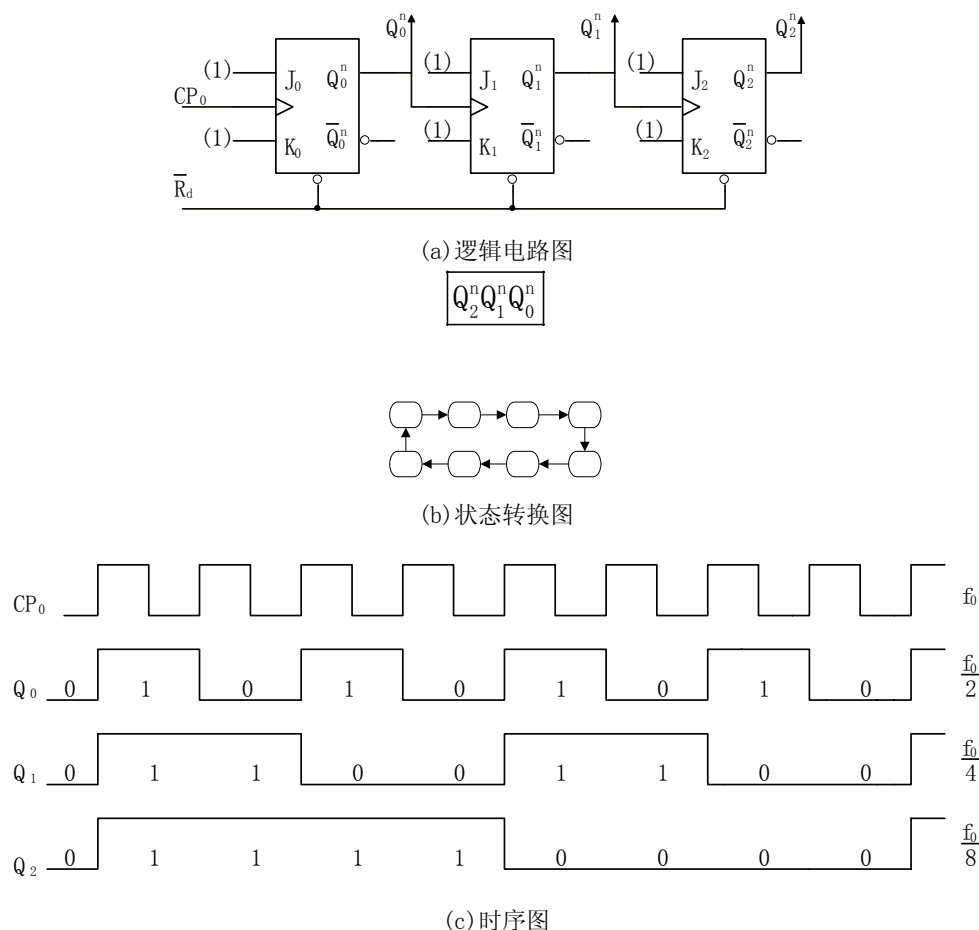


图 3.92 模 8 异步减法计数器

3.6.2 用 T 触发器组成模 2^n 同步计数器

1. 模 2^n 同步加法计数器

组成模 2^n 同步加法计数器的一般方法是：

- (1) 用 T 触发器和有关门电路组成。
- (2) 不管触发器是用上升边触发还是用下降边触发，只要令组成计数器的各个触发器由低位到高位输入逻辑函数式为：

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0^n \\ T_2 = Q_0^n Q_1^n \\ T_3 = Q_0^n Q_1^n Q_2^n \end{cases} \quad (3-31)$$

即可组成模 2^n 同步加法计数器，触发器输入的逻辑函数表达式(3-31)在时序逻辑电路中称为“驱动方程”。

根据一般方法，用四个 JK 触发器组成的模 16 同步加法计数器如图 3.93 所示，由逻辑电路可以看出，电路中的 JK 触发器实际上已经转换成 T 触发器。根据电路图和 T 触发器的功能，不难分析出电路和工作过程。在电路图中，CP 是同时加到各个触发器上去的，但是 T 触发器只有在 T=1 时才会触发翻转，对 F₀，由于 T=1，因此每个 CP 都使 F₀ 触发翻转，而对于 F₁，其 T₁=Q₀ⁿ。因此，必须待 Q₀ⁿ=1 以后，才会在 CP 的作用下翻转，同理可以分析 F₂、F₃ 的翻转情况，从而得到时序图。根据时序图再画出状态转换图。

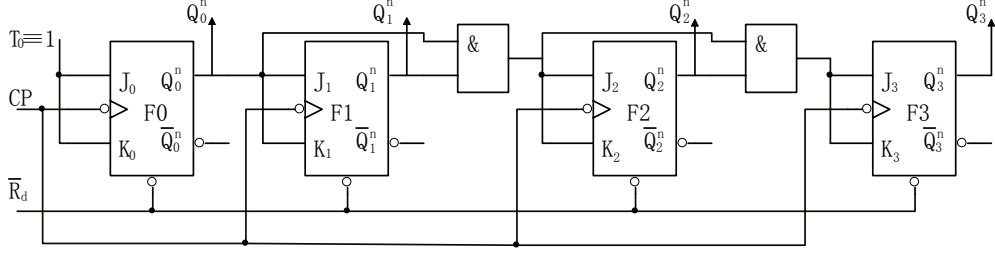


图 3.93 用四个 JK 触发器组成的模 16 同步加法计数器

另一种根据逻辑电路得到同步计数器状态转换图和时序图的方法是用同步时序电路的分析方法，这个方法是这样的，首先把驱动方程代入触发器的特性方程，得到各个触发器的次态的关系式如下：

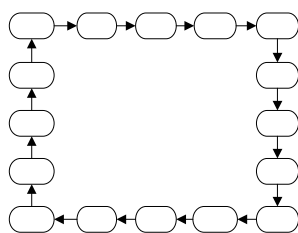
$$\begin{cases} Q_0^{n+1} = T_0 \overline{Q_0^n} + \overline{T_0} Q_0^n \Big|_{T_0=1} = \overline{Q_0^n} \\ Q_1^{n+1} = T_1 \overline{Q_1^n} + \overline{T_1} Q_1^n \Big|_{T_1=Q_0^n} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n \\ Q_2^{n+1} = T_2 \overline{Q_2^n} + \overline{T_2} Q_2^n \Big|_{T_2=Q_0^n Q_1^n} = Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_0^n Q_1^n} Q_2^n \\ Q_3^{n+1} = T_3 \overline{Q_3^n} + \overline{T_3} Q_3^n \Big|_{T_3=Q_0^n Q_1^n Q_2^n} = Q_0^n Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_0^n Q_1^n Q_2^n} Q_3^n \end{cases}$$

即：

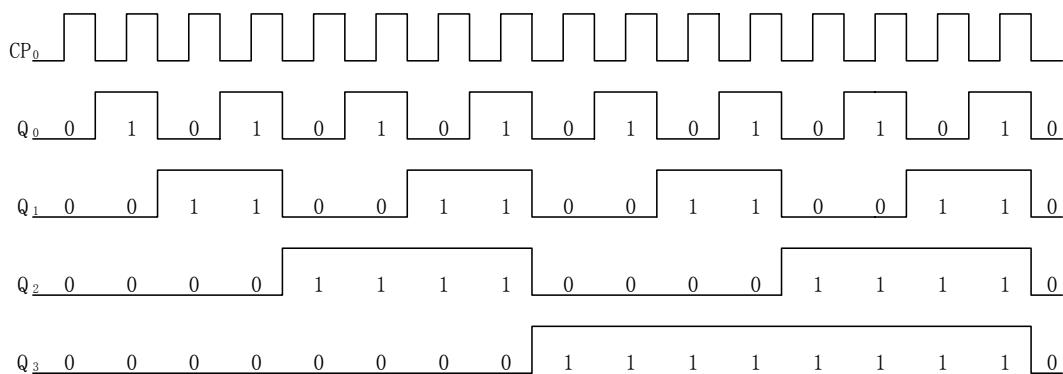
$$\begin{cases} Q_0^{n+1} = \overline{Q_0^n} \\ Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n \\ Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n} + \overline{Q_0^n Q_1^n} Q_2^n \\ Q_3^{n+1} = Q_0^n Q_1^n Q_2^n \overline{Q_3^n} + \overline{Q_0^n Q_1^n Q_2^n} Q_3^n \end{cases} \quad (3-32)$$

在时序逻辑电路中，式(3-32)称为“状态方程”，根据状态方程，在已知前态 $Q_3^n Q_2^n Q_1^n Q_0^n$ 的状态后，就可以得到 CP 到达后的次态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ 的状态。例如前态为 $Q_3^n Q_2^n Q_1^n Q_0^n$ 为 0000，则由式(3-32)可以算出 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1} Q_0^{n+1}$ 为 0001，逐个算下去，就可以得到图 3.93 所示电路的状态转换图和时序图，如图 3.94 所示。

$$\boxed{Q_3^n Q_2^n Q_1^n Q_0^n}$$



(a) 图 3.93 所示电路的状态转换图



(b) 图 3.93 所示电路的时序图

图 3.94 模 16 同步加法计数器的状态转换图和时序图

2. 模 2^n 同步减法计数器

组成模 2^n 同步减法计数器的一般方法:

- (1) 用 T 触发器和有关门电路组成。
- (2) 不管触发器是用上升边触发还是用下降边触发，只要令各个触发器的驱动方程为:

$$\begin{cases} T_0 = 1 \\ T_1 = \overline{Q_0^n} \\ T_2 = \overline{Q_0^n} \cdot \overline{Q_1^n} \\ T_3 = \overline{Q_0^n} \cdot \overline{Q_1^n} \cdot \overline{Q_2^n} \end{cases} \quad (3-33)$$

则构成的计数器为模 2^n 同步减法计数器。

图 3.95 是用四个 T 触发器组成的模 16 同步减法计数器的逻辑电路图。

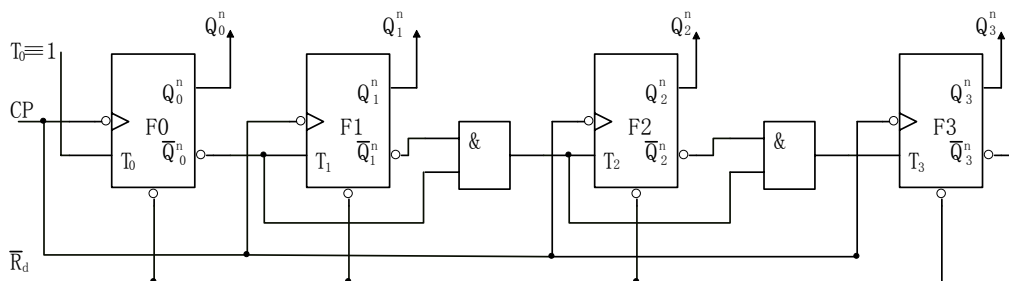


图 3.95 模 16 同步减法计数器的逻辑电路图

模 2^n 同步减法计数器的状态转换图和时序图和模 2^n 异步减法计数器完全相同。

在实际使用中，并不要求使用者用触发器去组成计数器，也不要求记住这些计数器的逻辑电路，之所以介绍上述内容，目的有两个，其一是通过介绍，了解计数器的结构，帮助理解后边将要介绍的集成计数器的功能。其二是通过介绍，引出逻辑电路中经常遇到的有关概

念，如驱动方程、状态方程、状态转换图、时序图等，以便读者在进一步学习中有一定的基础。

3.6.3 常用集成计数器

目前市售的集成计数器产品品种很多，不可能作全面介绍。因此学习这部分内容时，关键是通过 TTL 和 CMOS 几种集成计数器的介绍，学会根据手册提供的功能表，能正确选用和使用集成计数器。

1. TTL 集成计数器 74LS161

十六进制同步加法计数器在前面已经作了介绍，74LS161 就是一个集成十六进制同步加法计数器，考虑到使用的灵活与方便，74LS161 比前面介绍的在功能上有所增强，同时也附加了一些控制电路。74LS161 的逻辑电路框图如图 3.96 所示，功能表见表 3.44。

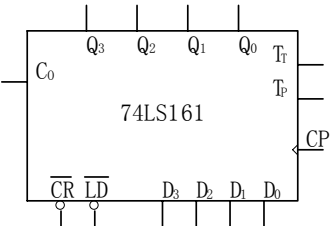


图 3.96 74LS161 的逻辑电路框图

表 3.44 74LS161 的功能表

输入										输出					
\overline{CR}	\overline{LD}	T ₁	T _P	CP	D ₃	D ₂	D ₁	D ₀		Q ₃	Q ₂	Q ₁	Q ₀	C ₀	
0	x	x	x	x	x	x	x	x		0	0	0	0	0	
1	0	x	x	\downarrow	d ₃	d ₂	d ₁	d ₀		d ₃	d ₂	d ₁	d ₀		
1	1	0	x	x	x	x	x	x		保持				0	
1	1	x	0	x	x	x	x	x		保持				0	
1	1	1	1	\downarrow	x	x	x	x		计数					
														当计数到 1111 时 C ₀ =1	

根据功能表，74LS161 的功能说明如下：

(1)异步清 0 功能。当 $\overline{CR}=0$ 时，不论其它输入如何，输出 $Q_3Q_2Q_1Q_0$ 为 0000，表中“x”表示任意。

(2)同步并行置数功能。 \overline{LD} 称预置数控制输入，在 $\overline{CR}=1$ 的条件下，当 $\overline{LD}=0$ 时，在 CP 脉冲上升边的作用下，预置好的数据 $d_3d_2d_1d_0$ 被并行地送到输出端，即此时的 $Q_3Q_2Q_1Q_0$ 为 $d_3d_2d_1d_0$ 。

(3)保持功能。在 $\overline{CR}=1$ 、 $\overline{LD}=1$ 的前提下，只要 $T_1T_2=0$ ，则计数器不工作，输出保持原来的状态不变。

(4)计数功能。正常计数时，必须使 $\overline{CR}=1$ 、 $\overline{LD}=1$ 、 $T_1T_2=1$ ，此时在 CP 的上升边的作用下，计数器对 CP 的个数进行加法计数。当计数到输出 $Q_3Q_2Q_1Q_0$ 为 1111 时， $C_0=1$ ， $C_0=1$ 的时间是从 $Q_3Q_2Q_1Q_0$ 为 1111 时起到 $Q_3Q_2Q_1Q_0$ 状态变化时止。

如何根据功能表正确使用 74LS161 呢？首先要明确使用 74LS161 时，要它执行什么功能，然后要对每一个输入端根据功能正确处置，例如用两块 74LS161 组成 8 位二进制计数器，即 2^8 进制计数器，正确的连接如图 3.97 所示。

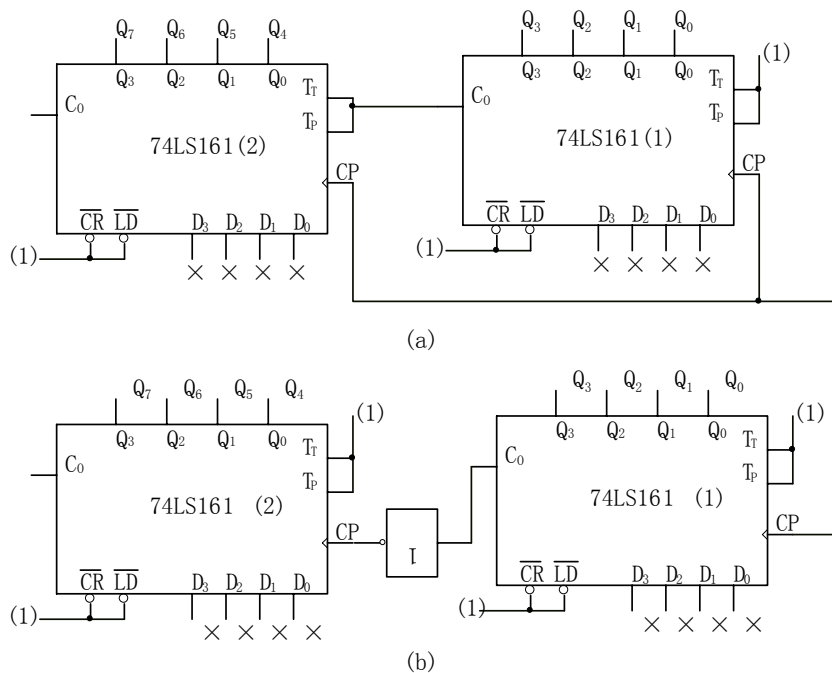


图 3.97 用两块 74LS161 组成 8 位二进制计数器连线图

图 3.97(a)两块片子用同一个 CP, CP 对 74LS161(1)每次都有效触发, 而 CP 对 74LS161(2)是受 $T_T \cdot T_P$ 控制, 只有当 C_0 为高电平时, 使得 $T_T \cdot T_P = 1$ 时, CP 才对第二块片子有效。

图 3.97(b)所示是用第一块片子的进位经过非门后作为第二块片子的 CP。注意: 根据功能表 C_0 不经过非门, 在时序上将会出错, 读者可以自行分析错在何处。综合图 3.97(a)、(b)所示的两种连接方法, 由于(b)是要增加一个非门且两片之间是异步计数, 速度比(a)慢, 因此图(a)连接方法较好。

2. TTL 集成计数器 74LS160

74LS160 是集成十进制同步加法计数器, 其逻辑电路框图、功能表和 74LS161 完全类同, 所不同的是 74LS160 是十进制计数器, 即 74LS160 的输出 $Q_3Q_2Q_1Q_0$ 只能从 0000~1001, 当 $Q_3Q_2Q_1Q_0$ 为 1001 时, $C_0 = 1$, 74LS160 的逻辑电路框图、功能表和用两块 74LS160 组成一百进制计数器的连线图如图 3.98、表 3.45 和图 3.99。

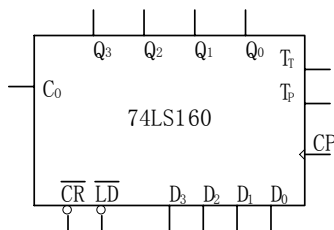


图 3.98 74LS160 的逻辑电路框图

表 3.45 74LS160 的功能表

输入										输出				
\overline{CR}	\overline{LD}	T_T	T_P	CP	D_3	D_2	D_1	D_0		Q_3	Q_2	Q_1	Q_0	C_0
0	x	x	x	x	x	x	x	x		0	0	0	0	0
1	0	x	x	\downarrow	d_3	d_2	d_1	d_0		d_3	d_2	d_1	d_0	
1	1	x	0	x	x	x	x	x		保持				
1	1	0	x	x	x	x	x	x		保持				
1	1	1	1	\downarrow	x	x	x	x		计数				
1	1	1	1	\downarrow	x	x	x	x		1	0	0	1	1

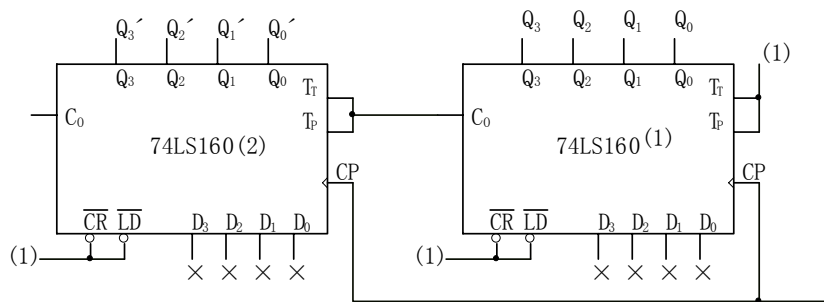


图 3.99 用两块 74LS160 组成一百进制计数器的连线图

3. 十进制同步加/减计数器 CC40192

CC40192 是双时钟同步计数器，它既可实现加法计数，又可实现减法计数，它的逻辑电路框图、功能表见图 3.100 和表 3.46，反映功能的时序图如图 3.101 所示。

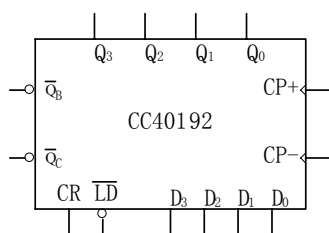


图 3.100 CC40192 的逻辑电路框图

表 3.46 CC40192 的功能表

输入								输出				$\overline{Q_c}$	$\overline{Q_b}$
CR	\overline{LD}	CP^+	CP^-	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0		
1	x	x	x	x	x	x	x	0	0	0	0	1	1
0	0	x	x	d_3	d_2	d_1	d_0	d_3	d_2	d_1	d_0		
0	1	1	1	x	x	x	x	保持					
0	1	↑	1	x	x	x	x	加计数				1	1
0	1	0	1	x	x	x	x	1	0	0	1	0	1
0	1	1	↓	x	x	x	x	减计数				1	1
0	1	1	0	x	x	x	x	0	0	0	0	1	0

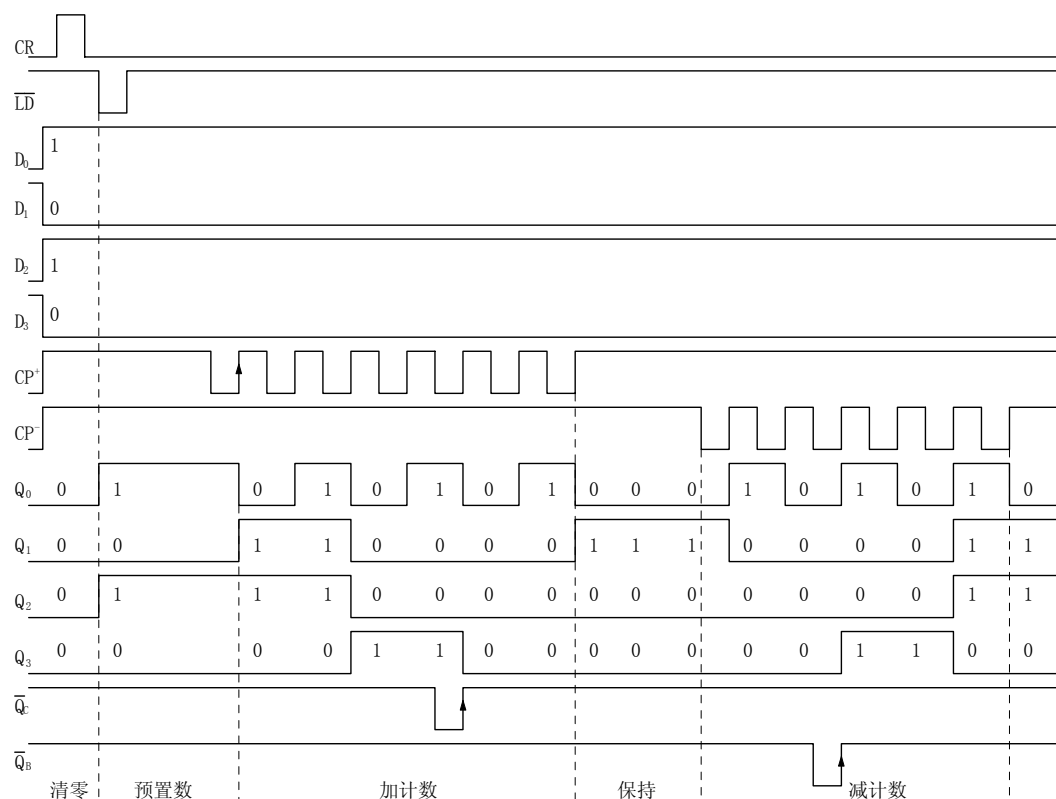


图 3.101 CC40192 的功能时序图

根据功能表和功能时序图，CC40192 的功能说明如下：

(1) 异步清 0 功能。当 $CR=1$ 时，不管其他输入如何， $Q_3Q_2Q_1Q_0$ 为 0000。

(2) 异步并行置数功能。在 $CR=0$ 的条件下，只要 $\overline{LD}=0$ ，预置好的数据被并行地送到输出端，即此时的 $Q_3Q_2Q_1Q_0=d_3d_2d_1d_0$ 。

(3) 保持功能。当 $CR=0$ 、 $\overline{LD}=1$ 、 $CP+=CP-=1$ 时，计数器不工作，输出保持原来的状态不变。

(4) 加计数功能。当 $CR=0$ 、 $\overline{LD}=1$ 、 $CP-=1$ 时，此时在 $CP+$ 上升边作用下计数器对 $CP+$ 进行加计数。

(5) 减计数功能。当 $CR=0$ 、 $\overline{LD}=1$ 、 $CP+=1$ 时，此时在 $CP-$ 上升边作用下计数器对 $CP-$ 进行减计数。

(6) 进位和借位功能。在进行加计数时，当计数器被计数到 $Q_3Q_2Q_1Q_0$ 为 1001 时， $CP+$ 还必须由高电平回到低电平， \overline{Q}_c 才输出进位负脉冲，从功能时序图中可以看出进位信号的时间，或者说进位负脉冲的宽度只有 $CP+$ 低电平的宽度。从时序图也可以看出进位负脉冲 \overline{Q}_c 的上升沿刚好和下一个 $CP+$ 的上升沿同步，为此进位负脉冲的上升沿可以作为高位集成计数器的 $CP+$ 信号；在进行减计数时，借位信号也具有和进位信号相同的特性，因此借位信号 \overline{Q}_b 的上升沿也可作为高位集成计数器的 $CP-$ 信号。

通常在集成电路手册中，对于某种集成电路，只给出功能表和集成电路的管脚图，但对

于有些集成电路，功能比较复杂，手册会同时提供功能表和功能时序图，读者只有结合功能表和功能时序图，才有可能真正理解集成电路功能的内涵，做到正确使用集成电路。

根据以上对 CC40192 功能说明，特别是根据功能时序图对 $\overline{Q_c}$ 和 $\overline{Q_B}$ 在时序上的说明，可以肯定，用两块 CC40192 接成一百进制加计数器时，应按图 3.102 连接。

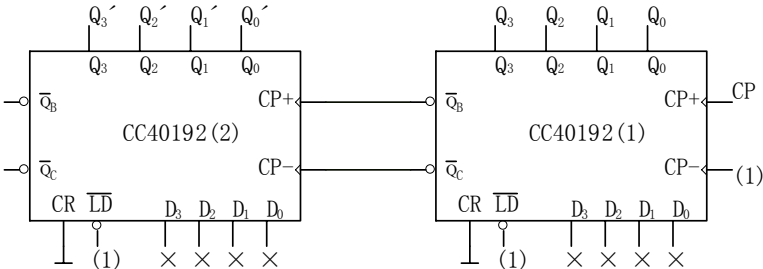


图 3.102 用两块 CC40192 接成一百进制加计数器连接图

4. 四位二进制同步加/减计数器 CC40193

CC40193 的功能及管脚引线和 CC40192 兼容，即完全一样，所不同的仅仅是计数进制。在用两块 CC40193 组成 8 位同步加/减计数器时，其连接图也和 CC40192 的一百进制连接图一样。

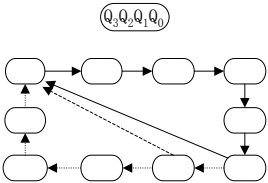
3.6.4 高进制计数器变成低进制计数器的方法

目前市售的集成计数器的进制只有应用最广泛的几种，如十进制、十六进制计数器等，在实用中需要其它进制计数器时，只能用已有的集成计数器产品，经过一定的处置来得到。例如在数字钟电路中，需要用到六十进制计数器，但是市场上买不到六十进制计数器，此时就需要把由两块十进制计数器级联成的一百进制计数器，变成六十进制计数器。这就是所谓的把高进制计数器变成低进制计数器。把高进制计数器变成低进制计数器通常有两种处理方法，其一是反馈清零法，其二是反馈置数法。

1. 反馈清零法

通常所有的集成计数器都有异步清零功能，利用集成计数器的异步清零功能，把高进制计数器变成低进制计数器的方法称为反馈清零法。

把高进制计数器变成低进制计数器，总是要把高进制计数器的全部输出状态中的一部分去掉。例如 74LS160 是同步十进制计数器，它的输出状态共有十个，要把 74LS160 变成六进制计数器，就需要把总共的十个状态中去掉四个，图 3.103(a)是根据 74LS160 的状态转换图，利用第七个状态 0110 的出现去清 0，从而去掉 0110、0111、1000、1001 四个状态而成为六进制计数器。利用 0110 这个状态的“出现”是指清零需要这个状态，但这个状态一出现电路就被清零，因此这个状态出现时间极短，因而 0110 这个状态不能成为计数的有效状态，计数器的有效状态为 0000~0101 共六个，由 74LS160 构成六进制计数器的连接图和作为六进制工作时的时序图如图 3.103(b)、(c)所示。



(a) 由十个状态去掉四个状态的状态转换图

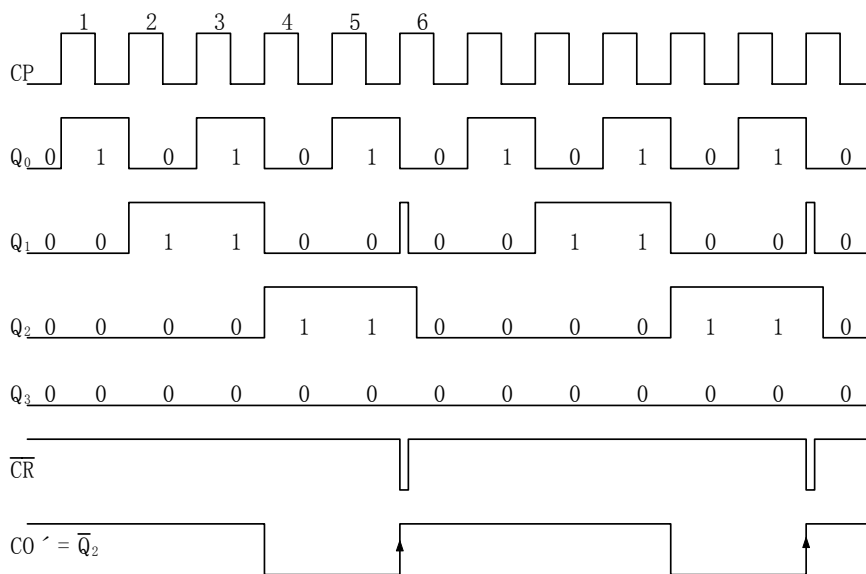
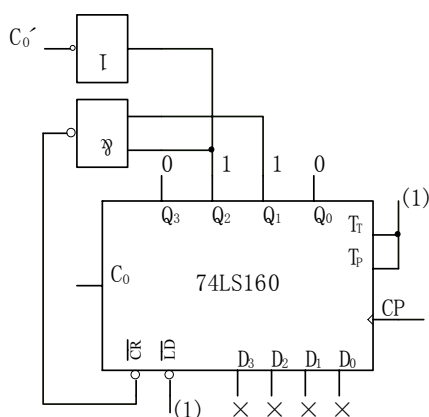
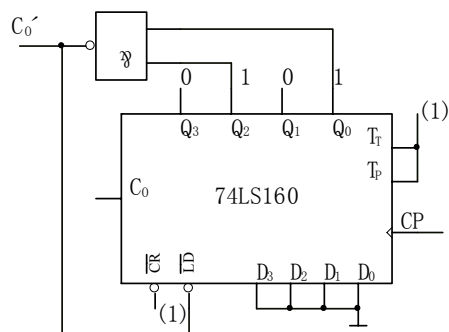


图 3.103 利用反馈清零法把 74LS160 接成六进制计数器

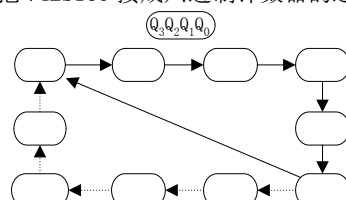
由于反馈清零信号 \overline{CR} 的负脉冲随着计数器被清零而消失,所以 \overline{CR} 负脉冲保持时间极短。如果组成集成计数器的各个触发器被清零所需的时间有差异,则有可能有些触发器没有真正清零,而此时清零信号已经消失而导致清零失败产生差错。又由于集成计数器变成六进制计数器后,1001状态被去掉,所以 C_0 总为低电平,即集成计数器本身不会送出进位信号。如果用 \overline{CR} 的负脉冲作为进位输出信号,由于该脉冲宽度非常窄,不能有效地触发后边的触发器,从时序图上可以看出 $\overline{Q_2}$ 的上升边,在时序上刚好是六进制计数器的进位时序,所以用 $\overline{Q_2} = C'_0$ 作为进位信号。

2. 反馈置数法

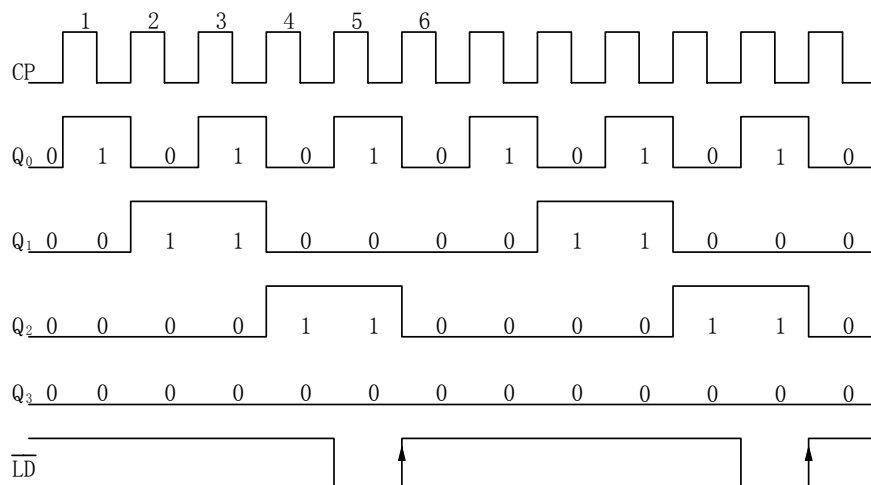
采用反馈置数法把高进制计数器变成低进制计数器，既方便又可靠，图 3.104(a)、(b)、(c) 分别是把具有同步并行置数功能的 74LS160 变成六进制计数器的连接图、状态转换图和时序图。



(a) 把 74LS160 接成六进制计数器的连接图



(b) 图(a)所示电路的状态转换图



(c) 图(a)所示电路的时序图

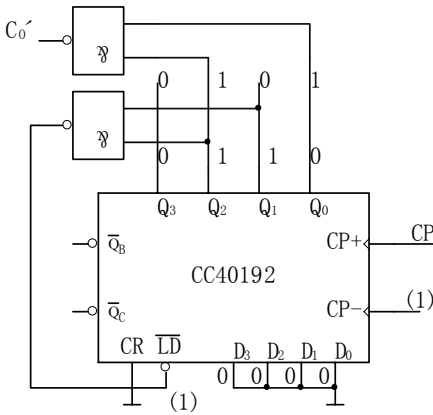
图 3.104 利用反馈置数法把 74LS160 接成六进制计数器

根据 74LS160 的功能说明， \overline{LD} 是同步并行置数控制输入，当 $Q_3Q_2Q_1Q_0$ 为 0101 时， $\overline{LD} = 0$ ，在下一个 CP 的作用下， $Q_3Q_2Q_1Q_0 = d_3d_2d_1d_0$ 且为 0000，由图 3.104(c) 所示时序图可以看出， \overline{LD} 的负脉冲是一个稳定的宽度为一个 CP 周期的信号，其上升边和第六个 CP 的上升边同步，因此 \overline{LD} 既是置数控制输入，也可作为进位输出。

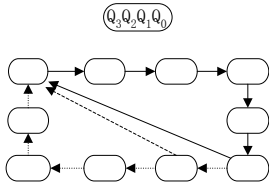
特别应注意的是，用 74LS160 按反馈置数法接成六进制计数器时，第七个状态 0110 不出现，这是和反馈清零法的一个区别，读者应掌握这个区别并了解区别的原因。

(2) 利用异步并行置数功能实现反馈置数。异步并行置数功能是指只要预置控制输入 $\overline{LD} = 0$ ，不管 CP 如何，计数器的输出 $Q_3Q_2Q_1Q_0$ 应立即等于预置数，即 $Q_3Q_2Q_1Q_0 = d_3d_2d_1d_0$ 。利用异步并行置数功能把高进制计数器变成低进制计数器，和反馈清零法类同，也要借助于第七个状态 0110 的出现，使 $\overline{LD} = 0$ ，从而立即使输出 $Q_3Q_2Q_1Q_0$ 等于预置数 $d_3d_2d_1d_0$ ，当预

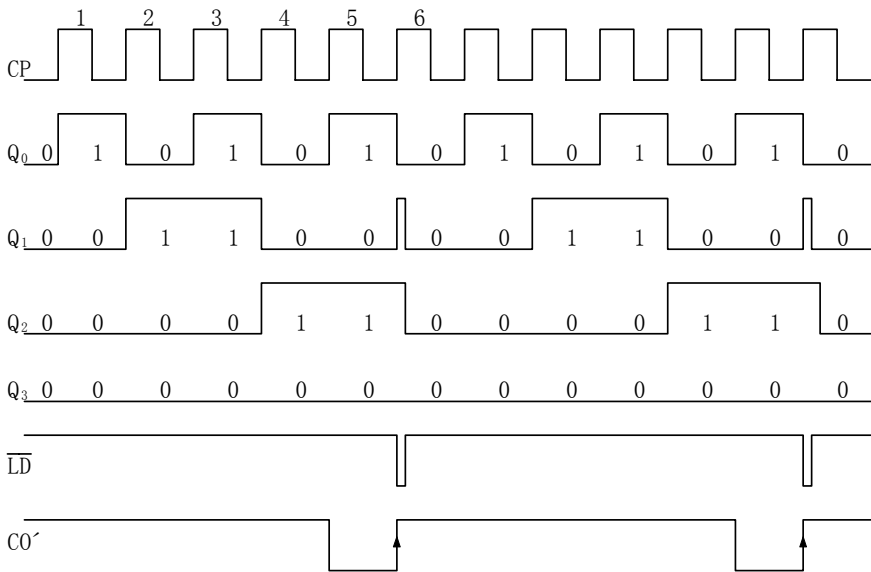
置数 $d_3d_2d_1d_0=0000$ 时，输出立即等于预置数 0000。 $\overline{LD}=0$ 的时间也极短暂，也不适合作为进位输出信号，但是置数的可靠性比异步清零的可靠性高，前面已介绍十进制的集成计数器 CC40192 是具有异步并行置数功能的，用异步置数功能把 CC40192 接成六进制加计数器时的连线图、状态转换图和时序图如图 3.105 所示。



(a)用 CC40192 接成的六进制计数器的连接图



(b) 图(a)所示电路的状态转换图



(c) 图(a)所示电路的时序图

图 3. 105 利用异步置数功能把 CC40192 接成六进制计数器

3. 60 进制计数器

(1)用两块 74LS160 接成的六十进制计数器。首先把两块 74LS160 接成一百进制计数器，再用同步并行置数功能把一百进制变成六十进制，其进位输出就取 \overline{LD} ，如图 3.106 所示。

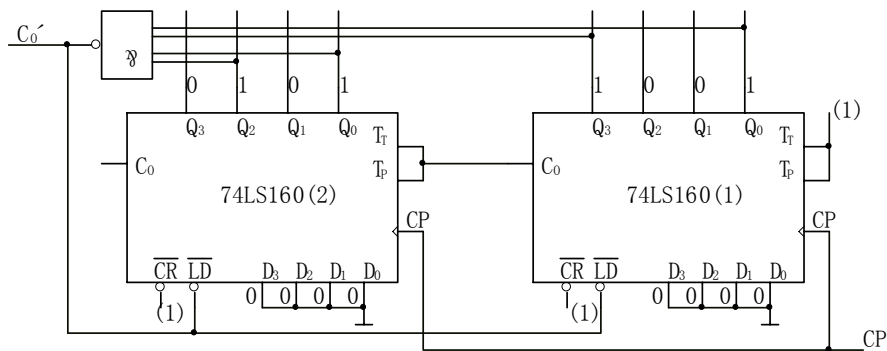


图 3.106 用两块 74LS160 接成的 60 进制计数器连线图

(2)用两块 CC40192 接成六十进制加计数器。首先把两块 CC40192 接成一百进制加计数器，再用异步并行置数功能，把一百进制变成六十进制，进位 C'_0 取高位的 $\overline{Q'_2}$ ，如图 3.107 所示。

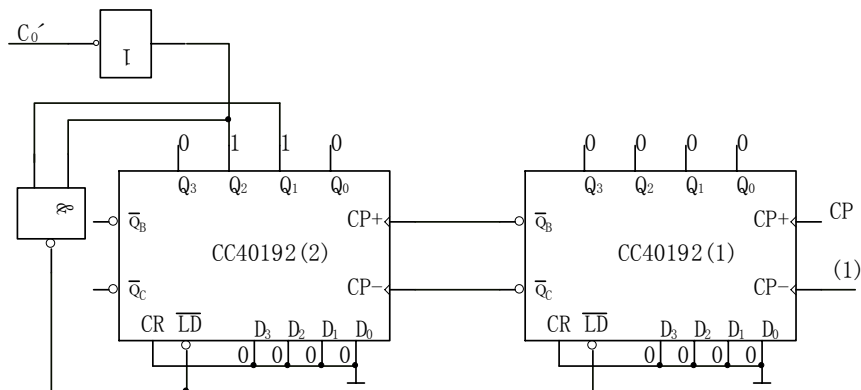


图 3.107 用两块 CC40192 接成的六十进制加计数器连线图

3.6.5 寄存器

用于寄存二值代码的时序逻辑电路称为寄存器。由于一个触发器可以储存一位二值代码，所以用 N 个触发器可组成一组 N 位代码的寄存器，寄存器的输入输出方式通常有并行输入、并行输出，串行输入、并行输出，串行输入、串行输出，并行输入、串行输出。寄存器在数字系统和数字计算机中有着广泛的应用。

用触发器组成寄存器的一般方法是：

(1)不管是什么类型的寄存器，均用 D 触发器组成，如果不是 D 触发器，把它转化成 D 触发器。

(2)根据寄存器的功能要求确定 D 触发器的驱动方程，根据驱动方程即可得到寄存器的逻辑电路。

(3)根据多功能的要求要附加一些控制电路和控制输入。虽然从应用的角度出发，对寄存器内部电路无需掌握，但是为了加强对寄存器功能的理解，下面首先对各种输入、输出方式的寄存器作介绍，最后给出常用的集成寄存器。

1. 并行输入、并行输出寄存器

图 3.108 是用四个触发器组成的四位并行输入、并行输出寄存器的逻辑电路，其中门 G_1 、 G_2 、 G_3 是为了减轻 CP 和 $\overline{R_d}$ 对前级电路的负载强度而附加上的，从原理上讲并不需要，

各个 D 触发器的驱动方程为：

$$\begin{cases} D_0 = D'_0 \\ D_1 = D'_1 \\ D_2 = D'_2 \\ D_3 = D'_3 \end{cases} \quad (3-34)$$

其中， D'_3 、 D'_2 、 D'_1 、 D'_0 是四位二值代码，当 CP 上升边到达时，由 D 触发器的特性知，此时 $Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1} = D_3D_2D_1D_0 = D'_3D'_2D'_1D'_0$ ，并行输入的二值代码 D'_3 、 D'_2 、 D'_1 、 D'_0 被寄存在各个触发器中，需要时所寄存的代码可以从输出端并行送出。

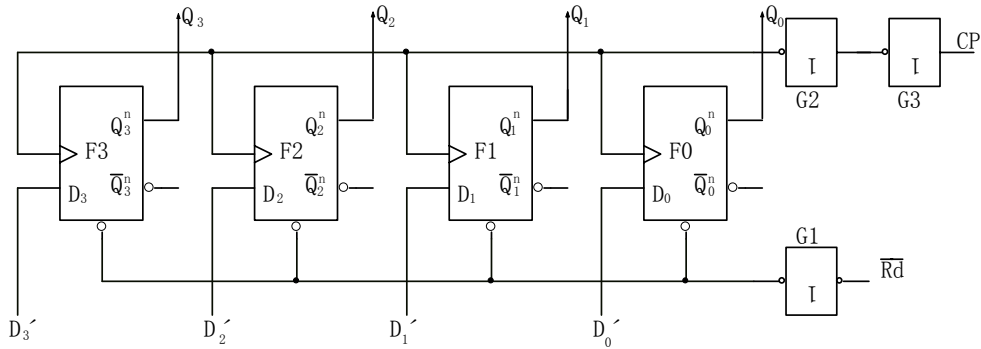


图 3.108 四位并行输入、并行输出寄存器的逻辑电路

2. 左移寄存器

组成左移寄存器的各个 D 触发器的驱动方程为：

$$\begin{cases} D_0 = D_{SL} \\ D_1 = Q_0 \\ D_2 = Q_1 \\ D_3 = Q_2 \end{cases} \quad (3-35)$$

由驱动方程可以画出左移寄存器的逻辑电路如图 3.109 所示。

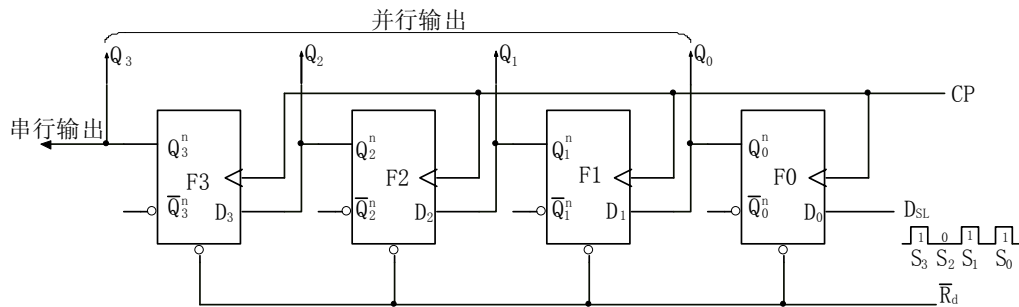


图 3.109 四位左移寄存器逻辑电路

由逻辑电路，并根据 D 触发器的特性知，在四个 CP 的作用下，左移输入信号 $S_3S_2S_1S_0$ 被串行自左至右送进寄存器的四个 D 触发器，即 $Q_3^nQ_2^nQ_1^nQ_0^n = S_3S_2S_1S_0$ ，寄存器寄存的信号可以从 $Q_3^nQ_2^nQ_1^nQ_0^n$ 输出端被并行送出，也可在四个 CP 作用下，从 Q_3 串行送出。

3. 右移寄存器

组成右移寄存器的四个 D 触发器的驱动方程为：

$$\begin{cases} D_3 = D_{SR} \\ D_2 = Q_3 \\ D_1 = Q_2 \\ D_0 = Q_1 \end{cases} \quad (3-36)$$

根据驱动方程画出的右移寄存器的逻辑电路如图 3.110 所示。

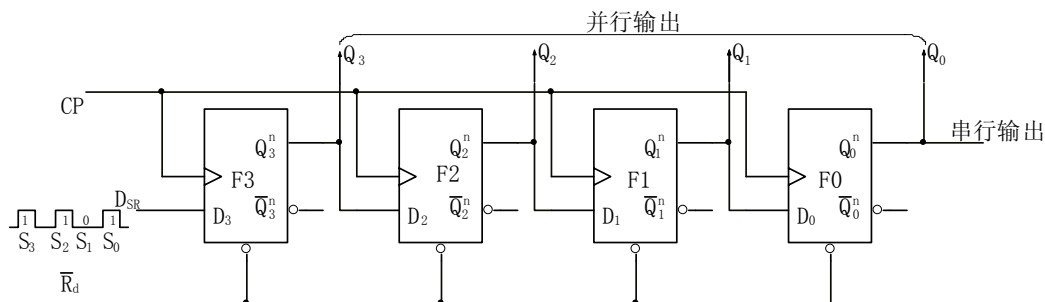


图 3.110 四位右移寄存器逻辑电路

右移寄存器和左移寄存器的工作方式类同，在四个 CP 的作用下，右移输入信号 D_{SR} 的四个信号 $S_3S_2S_1S_0$ 被自右至左地送进寄存器，寄存器的信号可以从 $Q_3^nQ_2^nQ_1^nQ_0^n$ 并行地被送出，也可在四个 CP 的作用下，从 Q_0^n 串行送出。

4. 双向移位寄存器和多功能移位寄存器

组成双向移动驱动方程为：

$$\begin{cases} D_3 = \bar{X}D_{SR} + XQ_2 \\ D_2 = \bar{X}Q_3 + XQ_1 \\ D_1 = \bar{X}Q_2 + XQ_0 \\ D_0 = \bar{X}Q_1 + XD_{SL} \end{cases} \quad (3-37)$$

由式(3-37)，当 $X=0$ 时得到：

$$\begin{cases} D_3 = D_{SR} \\ D_2 = Q_3 \\ D_1 = Q_2 \\ D_0 = Q_1 \end{cases} \quad (3-38)$$

式(3-38)和式(3-36)完全一样，所以 $X=0$ 时，双向移动寄存器实现右移功能，显然，当 $X=1$ 时，双向移动寄存器实现左移功能。 X 是为实现左还是右移的控制信号，根据式(3-37)，读者可自行画出双向移位的逻辑电路。

如果用 M_1M_0 作为寄存器的控制信号，令 M_1M_0 的四个状态 00、01、10、11 分别控制寄存器执行保持、左移、右移和并行置数功能，具有保持、右移、左移和并行置数功能的寄存器称为多功能移位寄存器，显然多功能移位寄存器的驱动方程为：

$$\begin{aligned}
D_0 &= \overline{M_1} \overline{M_0} Q_0 + \overline{M_1} M_0 Q_1 + M_1 \overline{M_0} D_{SR} + M_1 M_0 D'_0 \\
D_1 &= \overline{M_1} \overline{M_0} Q_1 + \overline{M_1} M_0 Q_2 + M_1 \overline{M_0} Q_0 + M_1 M_0 D'_1 \\
D_2 &= \overline{M_1} \overline{M_0} Q_2 + \overline{M_1} M_0 Q_3 + M_1 \overline{M_0} Q_1 + M_1 M_0 D'_2 \\
D_3 &= \overline{M_1} \overline{M_0} Q_3 + \overline{M_1} M_0 D_{SL} + M_1 \overline{M_0} Q_2 + M_1 M_0 D'_3
\end{aligned} \tag{3-39}$$

根据式(3-39):

当 $M_1 M_0 = 00$ 时, 得到寄存器保持的驱动方程;

当 $M_1 M_0 = 01$ 时, 得到寄存器左移的驱动方程;

当 $M_1 M_0 = 10$ 时, 得到寄存器右移的驱动方程;

当 $M_1 M_0 = 11$ 时, 得到寄存器并行置数的驱动方程。

可见按式(3-39)画出的逻辑电路, 通过控制 $M_1 M_0$ 的状态, 可分别执行上述的四种功能, 由于按式(3-39)画出的逻辑电路比较复杂, 这里只给出它的逻辑电路框图, 如图 3.111 所示。

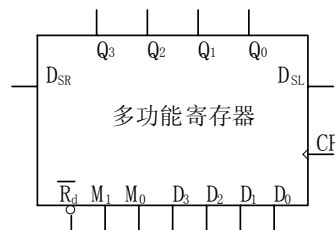


图 3.111 四位多功能移位寄存器逻辑电路框图

5. 集成多功能移位寄存器 54/74LS194 (CC40194)

集成多功能移位寄存器 54/74LS194(CC40194)的功能和前面介绍的多功能移位寄存器几乎是一样, 图 3.112 和表 3.47 是集成多功能移位寄存器 54/74LS194 (CC40194) 的管脚图和功能表。

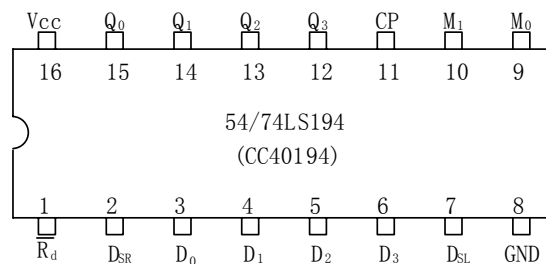


图 3.112 54/74LS194 管脚图

表 3.47 54/74LS194 功能表

输入										输出				说明
$\overline{R_d}$	M_1	M_0	CP	D_{SL}	D_{SR}	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	
0	×	×	×	×	×	×	×	×	×	0	0	0	0	异步清 0
1	×	×	0	×	×	×	×	×	×	Q_3	Q_2	Q_1	Q_0	保持
1	0	0	×	×	×	×	×	×	×	Q_3	Q_2	Q_1	Q_0	保持
1	0	1	↓	×	S_0	×	×	×	×	S_0	Q_3	Q_2	Q_1	右移
1	0	1	↓	×	S_1	×	×	×	×	S_1	S_0	Q_3	Q_2	
1	0	1	↓	×	S_2	×	×	×	×	S_2	S_1	S_0	Q_3	
1	0	1	↓	×	S_3	×	×	×	×	S_3	S_2	S_1	S_0	
1	1	0	↓	S_3	×	×	×	×	×	Q_2	Q_1	Q_0	S_3	左移
1	1	0	↓	S_2	×	×	×	×	×	Q_1	Q_0	S_3	S_2	
1	1	0	↓	S_2	×	×	×	×	×	Q_0	S_3	S_2	S_1	

1	1	0	\overline{f}	S_0	\times	\times	\times	\times	\times	S_3	S_2	S_1	S_0	
1	1	1	\overline{f}	\times	\times	D'_3	D'_2	D'_1	D'_0	D'_3	D'_2	D'_1	D'_0	并行输入

如果要增加寄存器位数时，可用两块级联，把两块 54/74LS194 接成 8 位多功能移位寄存器的连接十分简单，只要把第 (1) 块的 Q_3 和第 (2) 块的 D_{SL} 相连接，把第 (1) 块的 D_{SR} 和第 (2) 块的 Q_0 相连接，同时把两块的 CP 、 $\overline{R_d}$ 、 M_1 、 M_0 分别并接即可，如图 3.113 所示。

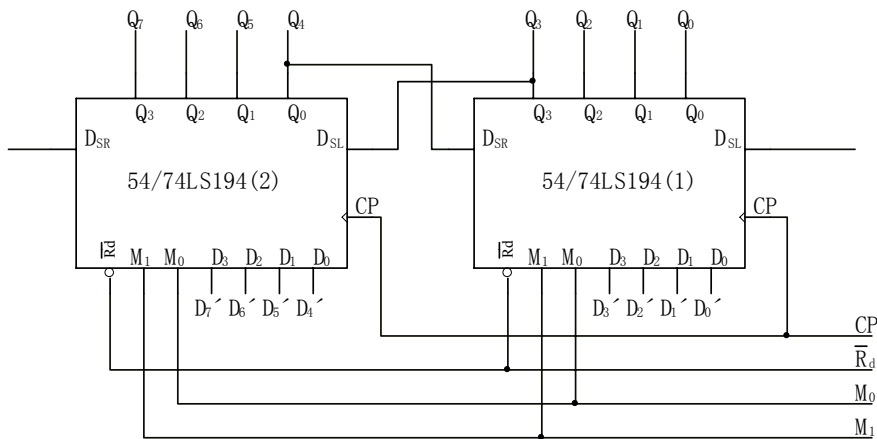


图 3.113 用两块 54/74LS194 级联成 8 位多功能移位寄存器

3.7 用标准集成电路组成的数字钟案例

3.7.1 案例教学的目的、要求和教学方法

1. 案例教学的目的

- (1) 适应高等职业教育教学培养应用型人才的需要，加强实践教学的力度，培养学生从电路原理图到印刷电路转换的读图能力，培养学生在理论知识指导下排除故障、解决实际问题的能力。
- (2) 检查学生对已学过的中小规模集成电路有关内容的掌握程度，巩固已学过的基础知识，补漏课堂教和学中的不足。
- (3) 激发学生的学习兴趣，为学生主动学习、创新学习、学以致用提供时间和条件。

2. 案例教学的要求

- (1) 熟练掌握案例中所涉及各个集成电路的功能和使用，真正理解案例提供的电原理图。
- (2) 一人一套器材，完全由学生自己独立完成案例电路的安装、焊接、调试，并按要求调试成功。
- (3) 独立撰写一份规范的实训报告。

3. 案例教学的教学方法

由于案例教学是在讲完必需够用的基础知识后进行的，因此在教学过程中，应以案例为主体，先讲案例的整体组成，然后再围绕着案例的各个组成部分，特别是案例所涉及的集成电路，采用边讲边做，讲讲做做的理论与实践交叉互动的教学方式，让学生在案例教学中，做到既动手又动脑。因为有实在的东西，看得见摸得着，因此让学生真正理解掌握案例所涉及的内容是可能的。然后以此为突破口，结合扩展设计，扩充教学内容，提高教学效果。

在案例教学过程中,严格各个环节的考核是保证教学效果的重要措施,考核打分的内容包括:

- (1) 每个学生要在一个小时内,闭卷画出案例的电原理图,这样可以检验学生对案例电原理图是否真正理解了,没有理解的学生是肯定画不正确的,满分占 20 分。
- (2) 对学生安装焊接和调试进行考核,凡是没有安装焊接调试成功的,一律不得通过,教师要对每个学生的电路板进行验收,并做上记号,满分占 35 分。
- (3) 由学生给出一种扩展设计方案,并接受教师的面试,面试要逐个进行,满分占 25 分。
- (4) 每个学生要独立撰写一份案例实训报告,满分占 20 分。
- (5) 整个案例教学的时间以停课集中两周为宜,每个指导教师最多只能指导一个教学小班(≤ 40 名学生)。

3.7.2 数字钟的组成框图、电原理图

1. 数字钟电路的组成框图

数字钟电路的组成包括两个六十进制计数、数字显示译码驱动显示电路,一个 12 转 1 计数、数字显示译码驱动显示电路,校分电路,校时电路,晶体振荡秒信号产生电路和 5V 供电电源电路。数字钟电路的组成框图如图 3.114 所示。

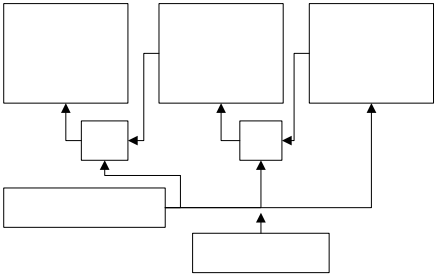


图 3.114 数字钟电路组成框图

2. 数字钟组成框图中各个组成部分的电原理图

(1)晶体振荡秒信号产生电路。晶体振荡秒信号产生电路由晶体振荡器和 15 级 2 分频电路组成,其电路原理图如图 3.115 所示,在实际电路中可用一块 CD4060 和一块 CD4013 构成。CD4060 和 CD4013 的管脚图如图 3.116 所示。

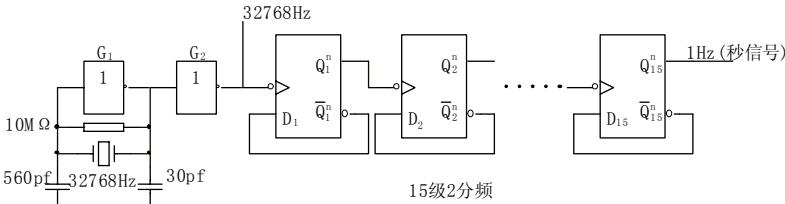
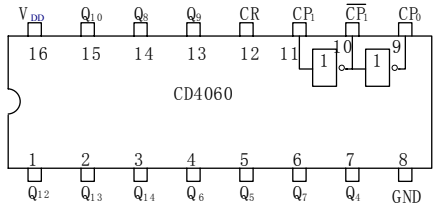
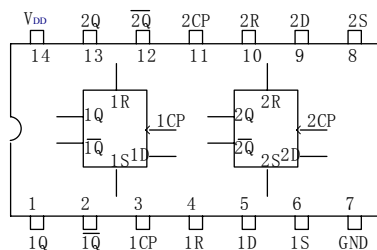


图 3.115 晶体振荡秒信号产生电路



(a) CD4060 管脚图



(b)CD4013 管脚图

图 3.116 CD4060 和 CD4013 管脚图

CD4060 内部包含两个非门和 14 级 2 分频电路，CD4013 是一个双 D 触发器，由此可知用 CD4060 中的两个非门加外部元件可构成晶体振荡器，采用 32768Hz 晶振振荡产生的 32768Hz 信号可以从 G_2 输出，送出 32768Hz 信号经 CD4060 内部 14 级分频后从 Q_{14} 送出 2Hz 信号，其 2Hz 信号再送给由 CD4013 双 D 触发器中的一个触发器组成 T' 触发器 2 分频，从而得到 1Hz 的秒信号。读者可自行根据图 3.115 画出由 CD4060 和 CD4013 构成的实际电路连线图。

(2)六十进制计数译码驱动显示电路

六十进制计数译码驱动显示电路由于选用不同的集成电路而有不同的组成形式，图 3.117 是用十进制计数器 74LS160、反码输出的数字显示译码器 74LS247 和共阳数码管 SM4105 组成的六十进制计数译码驱动显示电路。

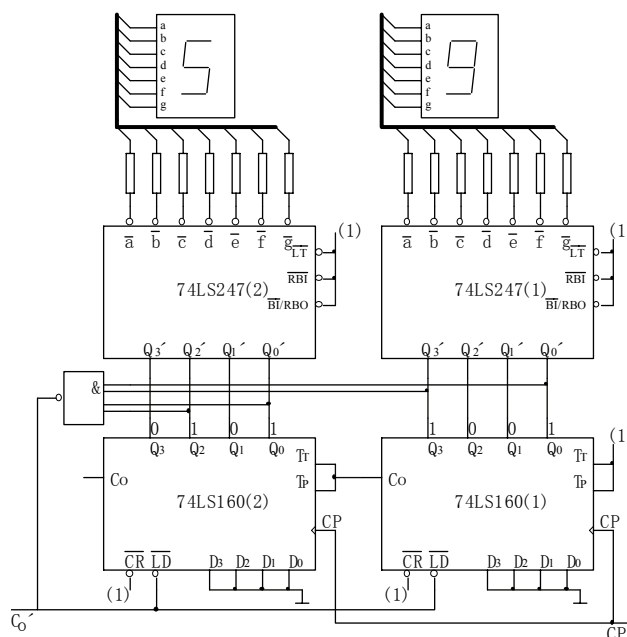
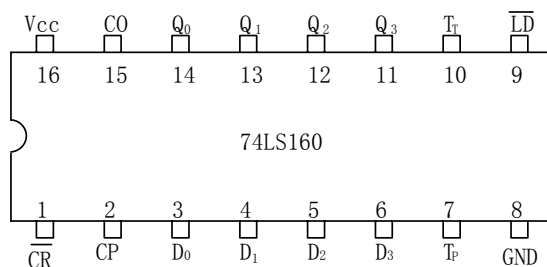
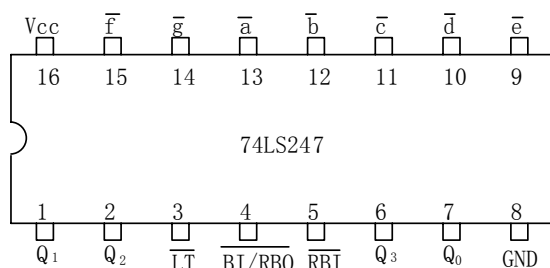


图 3.117 六十进制计数译码驱动显示电路

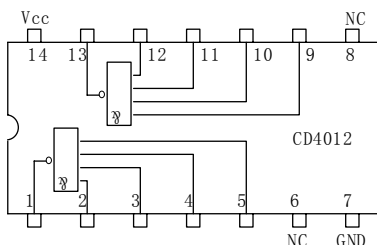
74LS160、74LS247、CD4012、SM4105 的管脚图如图 3.118 所示。



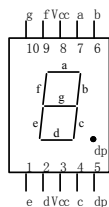
(a) 74LS160 管脚图



(b) 74LS247 管脚图



(c) CD4012 管脚图



(d) SM4105 管脚图

图 3.118 74LS160、74LS247、CD4012 和 SM4105 管脚图

(3)12 转 1 计数译码驱动显示电路。按照习惯，时钟的制式有两种，一种是 24 小时制，一种是 12 小时制，24 小时制小时位就是二十四进制计数译码驱动显示电路，对于 12 小时制，小时位应为 12 转 1 计数译码驱动显示电路，12 转 1 计数译码驱动显示电路和六十进制计数译码驱动显示电路基本相同。稍有不同的有两点：其一，12 转 1 的十位计数器的预置数为 $d_3d_2d_1d_0$ 为 0001；其二，当小时显示数在 9 时 59 分 59 秒之前，小时十位显示不应显示 0，而应借助于 \overline{RBI} 灭 0，12 转 1 计数译码驱动显示电路如图 3.119 所示。

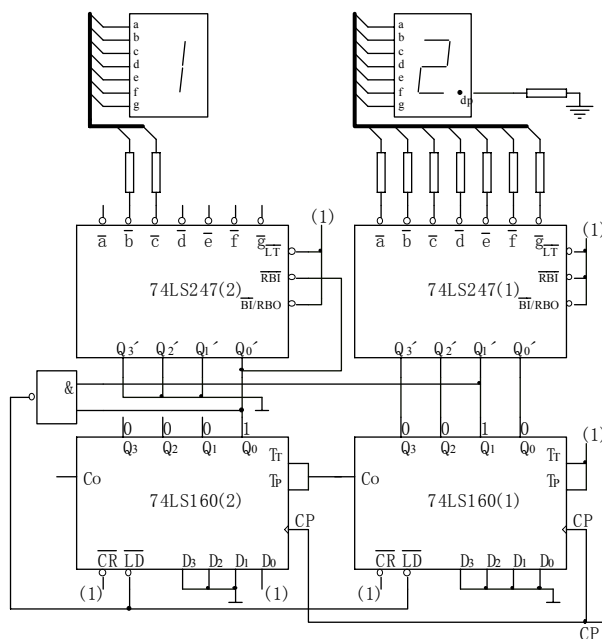


图 3.119 12 转 1 计数、译码、驱动、显示电路

(4)校时校分电路。校时校分是通过校时校分电路，用秒信号去代替分计数信号和时计数信号，使分或时计数快速进行，因此校时校分电路实际上是一个数字信号的转换开关，图

3.120 给出了三种校时校分电路。

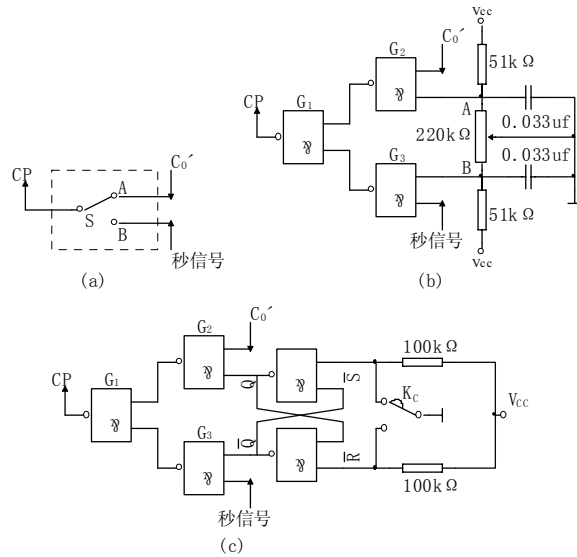


图 3.120 三种校时校分电原理图

图 3.120(a)是一种简单的手动开关电路，正常工作时 S 指向 A，需要校准时按下 S，使 S 指向 B，用秒信号作为分或时计数器的计数信号，这种电路十分简单，但是开关的通断产生随机的机械抖动信号，使校准不易控制，轻轻按动开关可消除或减少这种机械抖动。

图 3.120(b)是用三个与非门和一个可调电位器实现信号的转换，当正常工作时电位器动滑头指向 B，此时 $CP = C'_0$ 。当需要校准时，动滑头指向 A，此时 CP 等于秒信号，两个 0.033uf 的电容可滤去滑动中产生的干扰信号，偶尔也会有抖动干扰。

图 3.120(c)是由三个与非门和基本 RS 触发器组成的，基本 RS 触发器可完全消除开关的机械抖动，是最佳的一种校时校分电路，当然电路要比较复杂一些。

校时校分电路中的与非门可用 CD4011 二输入四与非门集成电路组成，CD4011 的管脚图如图 3.121 所示。

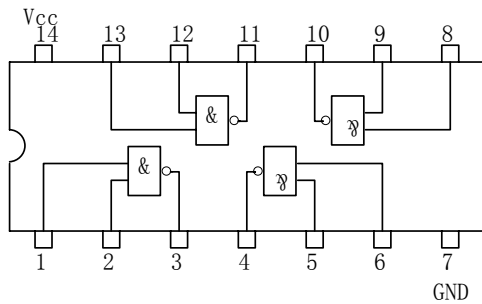


图 3.121 CD4011 的管脚图

3. 数字钟的电原理图

数字钟的电原理图如图 3.122 所示。

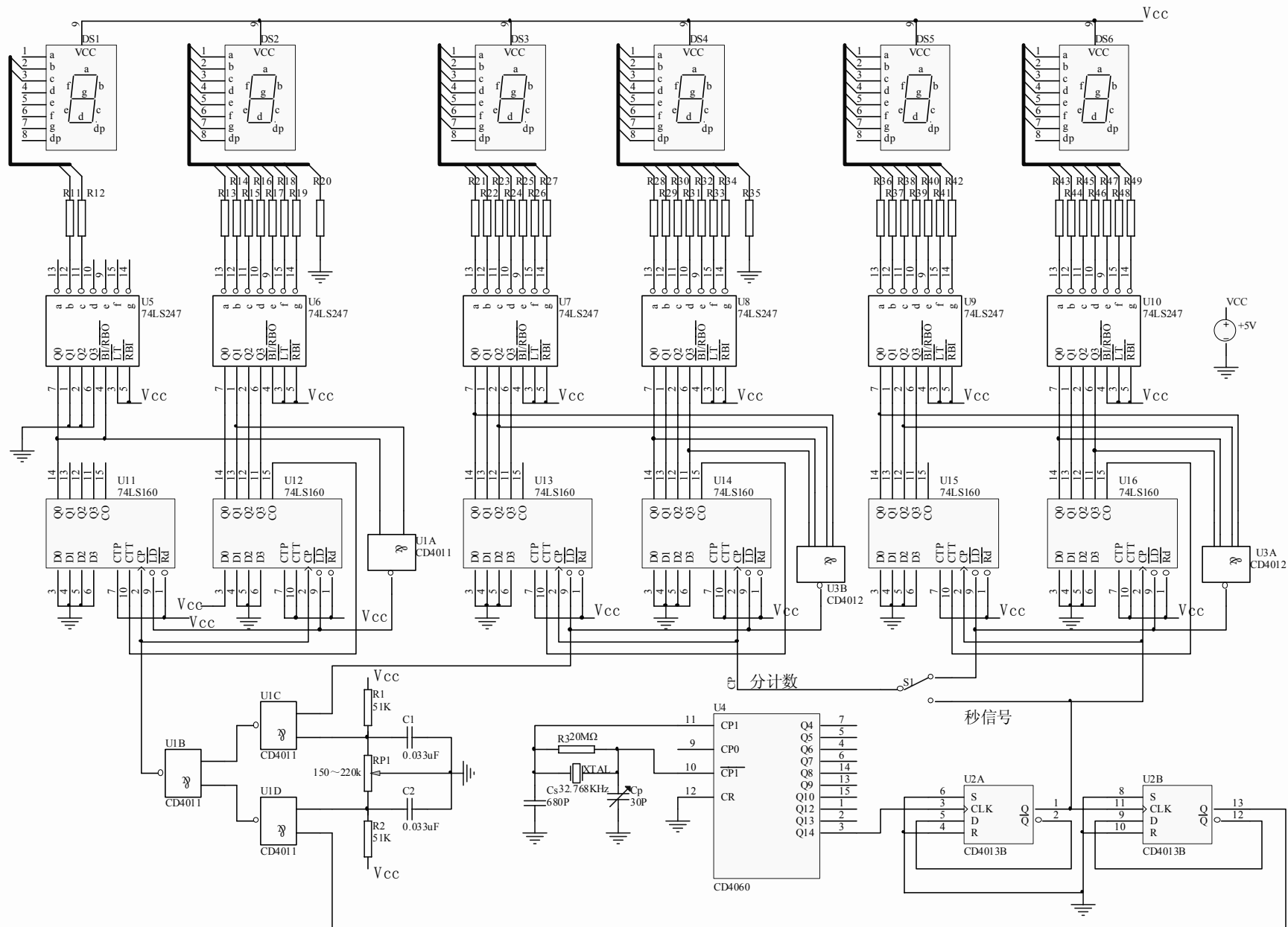


图 3.122 数字钟电原理图

3.7.3 案例思考题

1. 和案例直接相关的思考题

- (1) 把数字钟由 12 小时制改成 24 小时制如何改动? 画出改动部分的电原理图。
- (2) 12 转 1 计数、译码、驱动、显示电路中的十位 74LS160 输出的 Q_0 为什么要和对应的译码器 74LS247 的 \overline{RBI} 相连, 不相连会出现什么现象?
- (3) 如果 74LS160 的 \overline{LD} 改成 LD(即 LD=1 时有效), 其他都不变, 电原理图应作怎样的改动?
- (4) 在秒信号产生电路中, 双 D 触发器 CC4013 起什么作用, 用一个 CC4000 系列 JK 触发器替代 D 触发器 CC4013 行吗? 为什么?
- (5) 案例中给出三种校时校分电路, 你能否再设计出 1 或 2 种点动校时校分电路, 并画出具体电原理图。
- (6) 如果你手上有一块看不出型号的 LED 数码管, 如何确定它的管脚图? 即如何判断数码管是共阴还是共阳和如何确定 a、b、c、d、e、f、g 所对应的管脚。
- (7) 根据电原理图, 估算整个电路在工作时的最大功耗 $P_m = ?$, 为什么?
- (8) 如果晶体振荡器产生的信号频率 32768Hz 的稳定度为 10^{-7} , 则时钟走一年会产生多长时间的误差? 如果调试时 32768Hz 晶振只能调到 32767Hz, 则时钟一个月(30 天)将产生多长时间的误差?
- (9) 数字钟在调试中出现了故障, 故障现象是这样的: 当秒 60 进位计数器计到 59 秒时再来一个秒信号, 不变成 00 秒, 而是变成 04 秒, 那么, 一般情况下会是什么原因所致? 应如何找出这个故障?
- (10) 当电路安装焊接好调试时, 接上电源后, 电路不工作, 经检查电源的电压和极性均是正确的, 此时应如何进行检查?

2. 根据案例扩展设计方面的思考题

- (1) 把由数码管显示的数字钟改成由发光二极管组成的中型数字显示钟。
- (2) 通过查手册和有关资料, 设计一个全部数字集成电路用 CC4000 系列组成的数字钟, 数码管用共阳数码管。
- (3) 给数字钟增加整点报时功能。
- (4) 利用数字钟增加一个上午 8:00 上班, 11:30 下班, 14:00 上班, 17:30 下班的钟控打铃系统。
- (5) 设计数字显示倒计时交通自动指挥灯系统。
- (6) 设计其它实用的时控设备。

本章小结

逻辑代数基础是描述数字电路输入输出逻辑关系的基础知识, 同一逻辑关系可用逻辑符号、逻辑函数表达式、真值表、时序图和卡诺图表示, 各种表示方法之间可以互相转换, 逻辑函数表达式的卡诺图化简方法直观简单, 有固定的步骤和方法可循。

门电路从功能上分有与门、或门、非门、与非门、或非门、与或非门、异或门、同或门、三态门、OC 门等, 从组成的晶体管类型分有 TTL 门电路和 CMOS 门电路两大类, 学习门电路重点在于熟悉各种门的功能和特性参数的内涵。

触发器是具有记忆功能的数字单元电路, 触发器包括基本 RS 触发器、同步 RS 触发器、

同步 D 触发器、同步 JK 触发器、同步 T 触发器和同步 T' 触发器，描述触发器的功能用特性方程或功能表，目前市售的触发器通常都是上升边触发的或下降边触发的边沿触发方式，触发器是组成时序逻辑电路的主要单元电路。

波形产生整形电路主要指单稳态触发器、施密特触发器和多谐振荡器，读者应熟记几种常用的具体电路。

组合逻辑电路有两个特点，在结构上是由门电路组成，不含触发器；其输出状态只决定于输入状态，与前态无关。设计组合逻辑电路的方法是先根据逻辑问题列出真值表，然后化简，最后根据化简后的逻辑函数表达式画出逻辑电路图。常用的标准组合逻辑电路有编码器、译码器、数据选择器、数字比较器和加法器等。读者应理解并掌握这些组合逻辑电路输出和输入的关系或真值表，并了解其应用。

时序逻辑电路也有两个特点，其一是在结构上由门电路和触发器组成，且触发器是必不可少的；其二是这一时刻的输出不但决定于这一时刻的输入，同时也和前一时刻的输出有关。本教材主要介绍的时序电路是计数器和寄存器。

对于计数器是要掌握异步、同步模 2^n 计数器的组成和分频功能，掌握计数器功能的描述方式，即功能表和时序图，要熟记 74LS160、74LS161、CC40192、CC40193 等常用的集成计数器的功能及应用；掌握把高进制计数器变成低进制计数器的三种方法。对于寄存器通过熟记 CC40194 来掌握寄存器的功能和应用。

数字钟案例是中小规模标准集成电路具体应用的综合电路，数字钟由两个六十进制计数、译码、驱动、显示电路，一个 12 转 1 计数、译码、驱动、显示电路，以及秒信号产生电路和校时校分电路组成。

思考题和习题 3

3.1 把下列二进制数转换成值的十六进制数和等值的十进制数。

- (1) $(11000011)_2$
- (2) $(1010101)_2$
- (3) $(1101.0111)_2$
- (4) $(110.011)_2$

3.2 把下列十六进制数转换为等值的二进制数和等值的十进制数。

- (1) $(2A5)_{16}$
- (2) $(101)_{16}$
- (3) $(3F.1)_{16}$
- (4) $(10.01)_{16}$

3.3 把下列十进制数转换为对应的自然二进制码、8421BCD 码和余 3BCD 码。

- (1) $(7)_{10}$
- (2) $(13)_{10}$
- (3) $(256)_{10}$

3.4 画出十种门电路的逻辑符号图，写出它们的逻辑函数表达式，列出它们的真值表。

3.5 试用自己的语言说出：

- (1) 根据真值表写出逻辑函数表达式的方法。
- (2) 根据函数表达式列真值表的方法。
- (3) 根据逻辑电路图写逻辑函数表达式的方法。
- (4) 根据逻辑函数表达式画逻辑电路图的方法。

3.6 已知逻辑电路图如图 3.123 所示, 试写出它的输出逻辑函数表达式, 并通过转化写出逻辑函数的最小项表达式, 列出真值表。

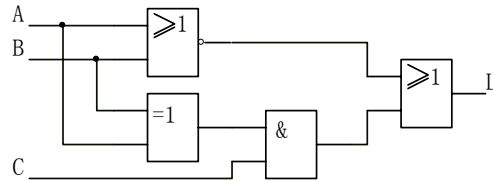


图 3.123

3.7 已知逻辑电路图如图 3.124 所示, 写出它的输出逻辑函数表达式, 并通过转化写出它的逻辑函数最小项表达式, 列出真值表。

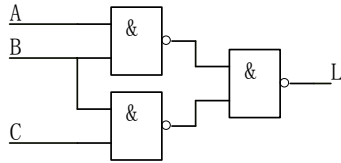


图 3.124

3.8 已知逻辑函数表达式 $L = AB + \overline{BC}(\overline{C} + \overline{D})$, 试列出真值表, 并作出逻辑电路图。

3.9 已知真值表如表 3.48, 试写出逻辑函数表达式, 作出逻辑电路图。

表 3.48

A	B	C	L
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

3.10 用卡诺图化简下列逻辑函数为最简与或表达式:

(1) $Y(ABC) = \overline{A}\overline{B} + AC + \overline{B}C$

(2) $Y(ABCD) = \overline{A}\overline{B} + A\overline{B}\overline{C} + \overline{B}\overline{C}D + \overline{A}\overline{B}D + C$

(3) $Y(ABCD) = \sum(m_0m_1m_2m_3m_4m_6m_8m_9m_{11}m_{14})$

(4) $Y(ABCD) = \sum_m(0, 6, 9, 10, 12, 15,) + \sum_d(2, 7, 8, 11, 13, 14)$

3.11 有两个完全相同的逻辑问题, 它们的逻辑函数表达式是否可以不一样? 它们的逻辑电路是否可以不一样? 它们的真值表是否可以不一样?

3.12 图 3.125 中的各个门电路是 TTL 门电路, 写出各个门的输出状态(0、1 或高阻)或逻辑函数表达式。

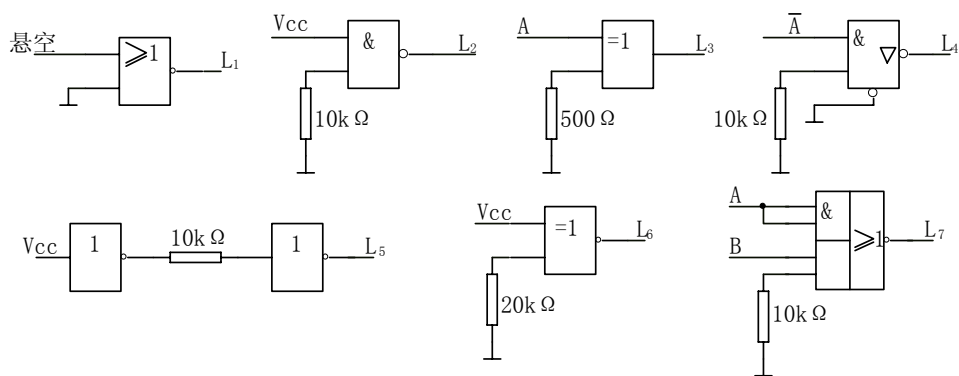


图 3.125

3.13 图 3.126 中的各个门电路是 CMOS 门电路，写出各个门的输出状态(0、1 或高阻)或逻辑函数表达式。

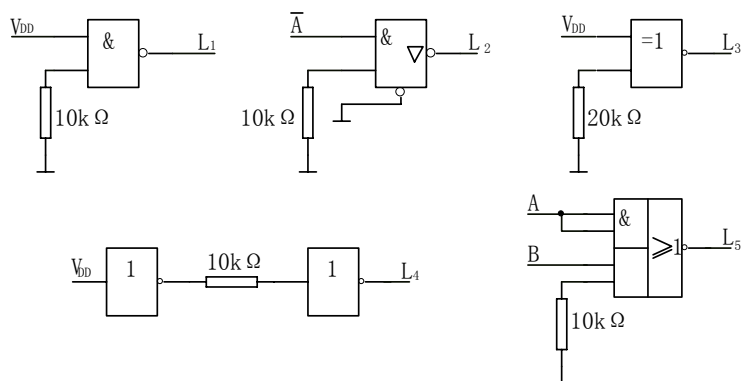


图 3.126

3.14 在图 3.127(a)所示的电路中，已知输入电压 u_i 如图(b)所示，试画出输出电压的波形，其中 G_1 为 TTL 与非门， G_2 为 CMOS 非门。

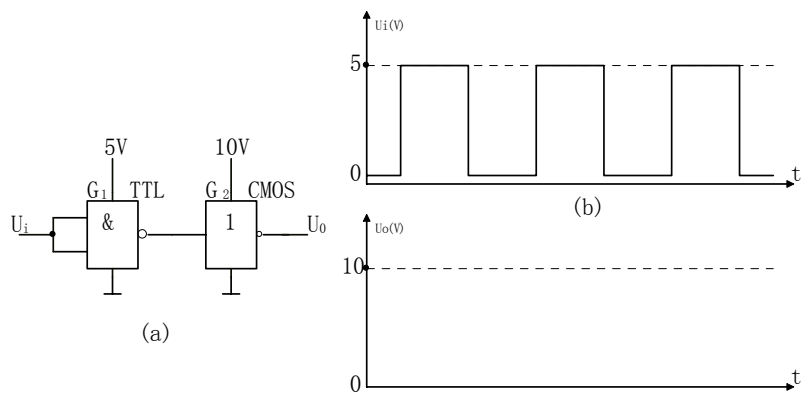


图 3.127

3.15 在图 3.128(a)所示的电路中，已知 u_i 的波形如图 3.128(b)，试画出 u_{o1} 、 u_{o2} 、 u_o 的波形，其中 G_1 为 TTL 与非门， G_2 为 TTL OC 门， G_3 为 CMOS 非门。

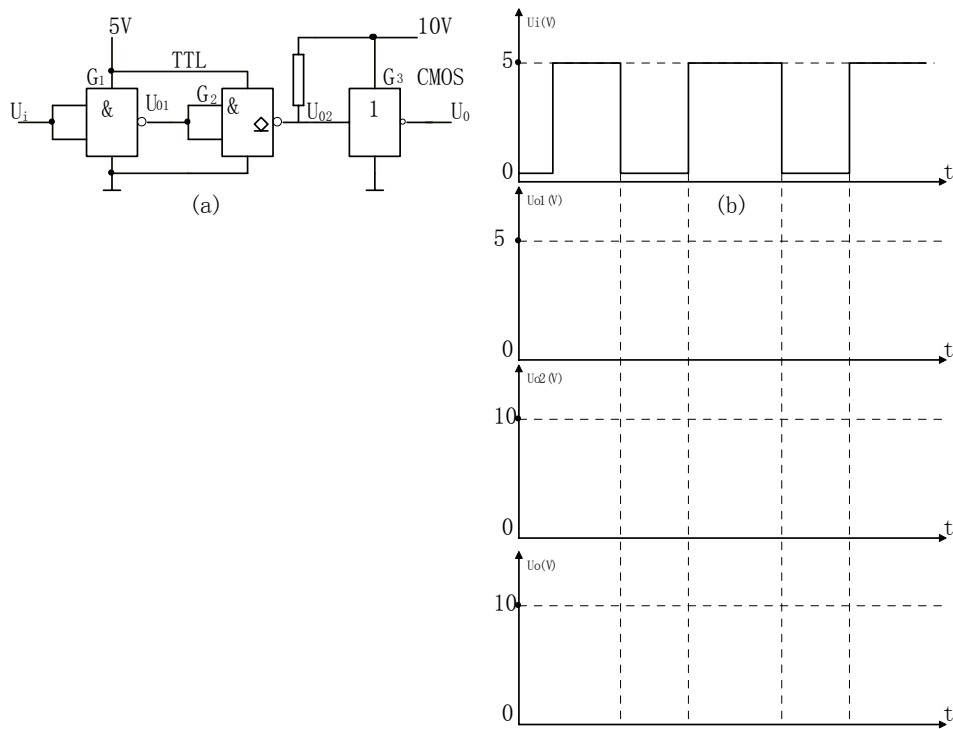


图 3.128

3.16 在图 3.129 所示的电路中，(a) 为 TTL 与非门，(b) 为 CMOS 与非门，试计算电源供给电路的电流 I_a 和 I_b 。

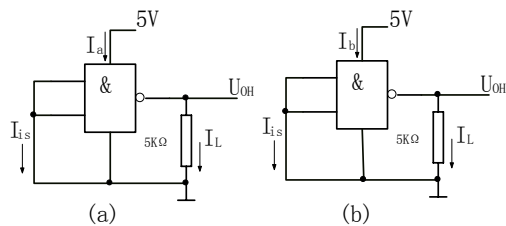


图 3.129

3.17 在图 3.130 中，非门是 CMOS 非门， u_i 和 u_o 是非门的输入和输出信号波形，当 u_i 信号频率增加时，非门器件的温升也随着升高，这种现象是否正常？试说明理由。

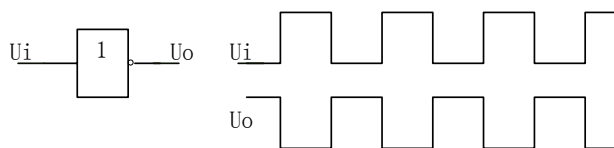


图 3.130

3.18 在图 3.131 中，一个非门是 TTL，一个非门是 CMOS，所加电源电压都是 5V，所加的输入信号也是一样的，试画出两个非门的输出信号的电压波形。

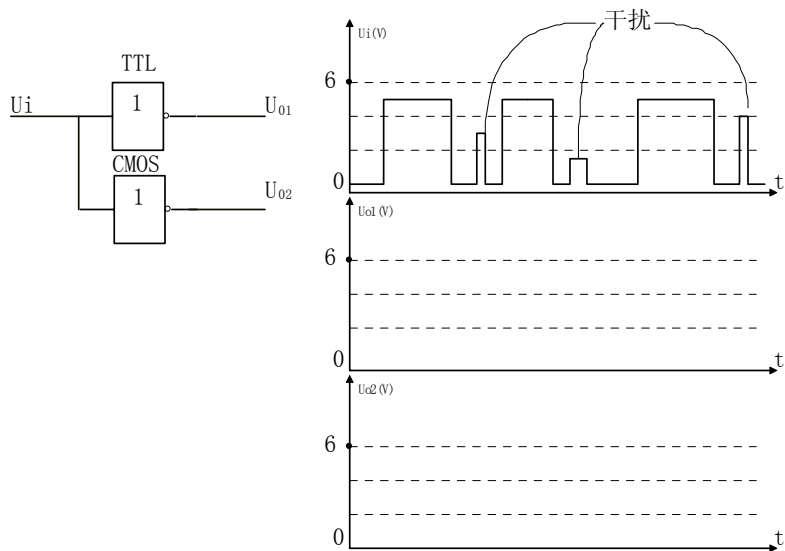


图 3.131

3.19 写出图 3.132 由 CMOS 与非门和或非门扩展后的输出逻辑函数表达式。

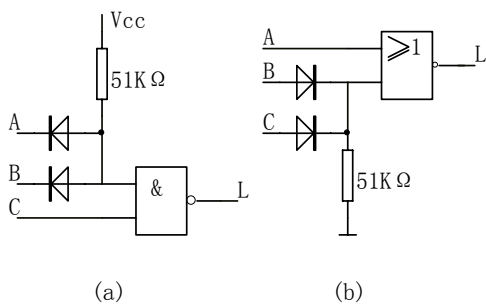


图 3.132

3.20 试画出上升边触发的 D 触发器的 Q 的电压波形，已知 D 触发器 CP 和 D 的输入波形如图 3.133 所示。

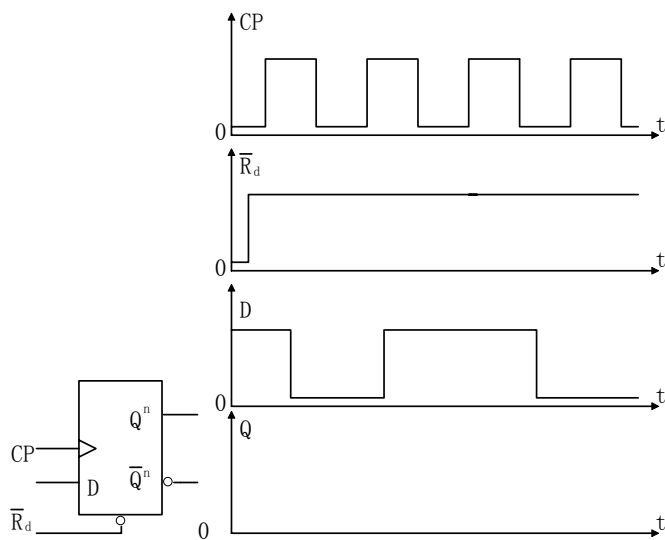


图 3.133

3.21 已知下降边触发的 JK 触发器的 $\overline{R_d}$ 、CP、JK 的输入波形如图 3.134 所示，试画出 JK 触发器 \overline{Q} 的波形图。

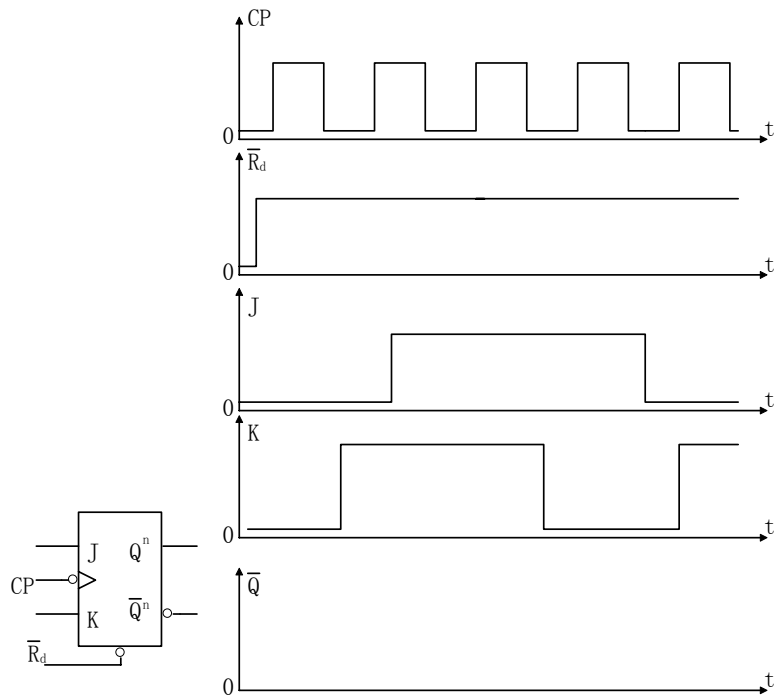
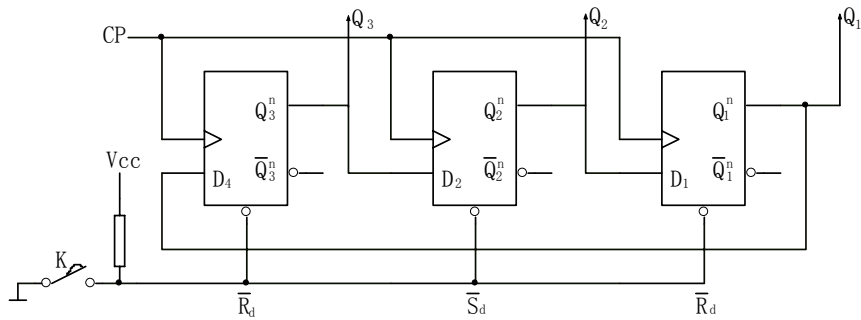


图 3.134

3.22 在图 3.135(a)所示电路中, 当 K 闭合一下又断开, 即给 A 一个负脉冲以后, 试画出 $Q_3Q_2Q_1$ 在 CP 作用下的波形。



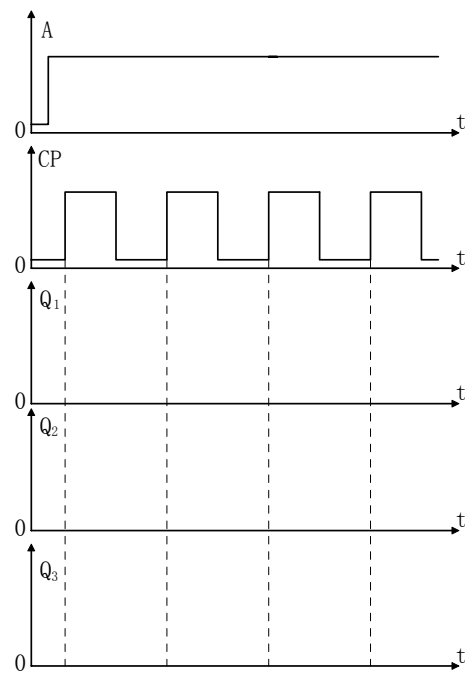


图 3. 135

3. 23 在图 3. 136 (a) 所示电路中, 设 Q_1Q_0 的初态为 00, 试画出在 CP 作用下 Q_1Q_0 的波形。

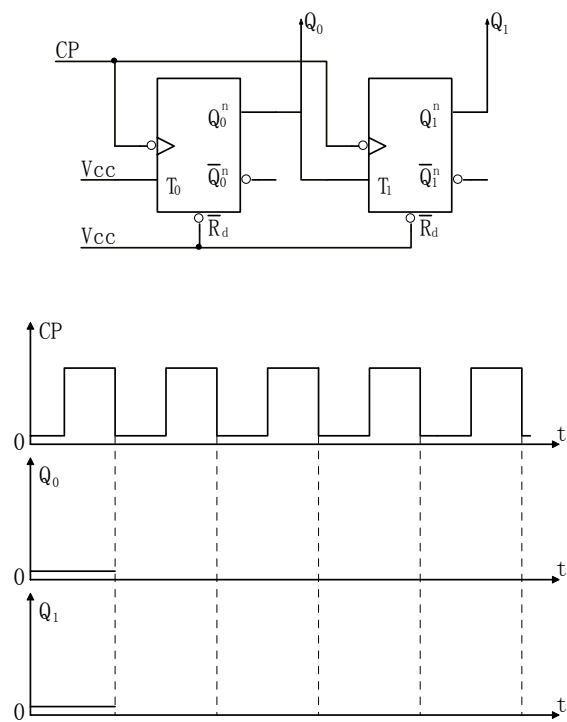


图 3. 136

3. 24 在图 3. 137 的 RC 微分电路中, 已知输入电压和输出电压波形, 试求当 $u_0(t) = u_0(t_{P0}) = 5V$ 时的 t_{P0} 的数值。

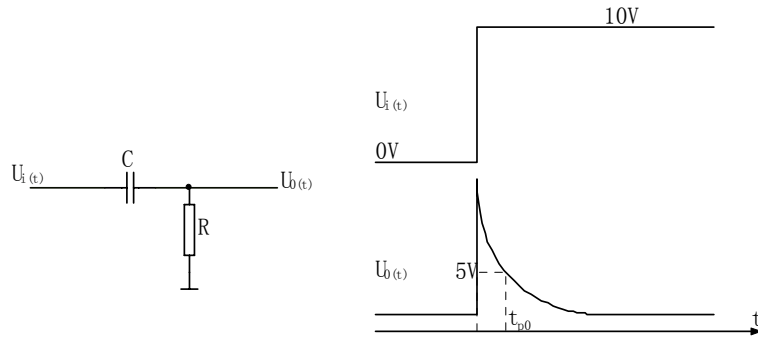


图 3.137

3.25 在图 3.138 中 $RC = (3 \sim 5) t_w$ ，已知输入电压 u_i 的波形，试画出输出电压 u_o 的波形。

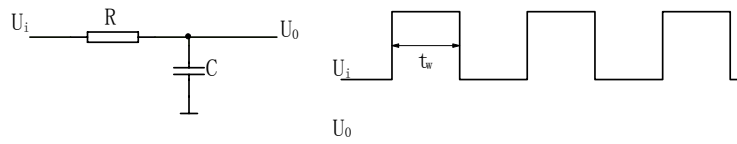


图 3.138

3.26 在图 3.139 中，电源电压 $V_{DD} = 5V$ ， $R_1 = 10K\Omega$ ， $R_2 = 50K\Omega$ ，已知输入电压波形，试画出输出电压波形，其中两个非门是 CMOS 非门。

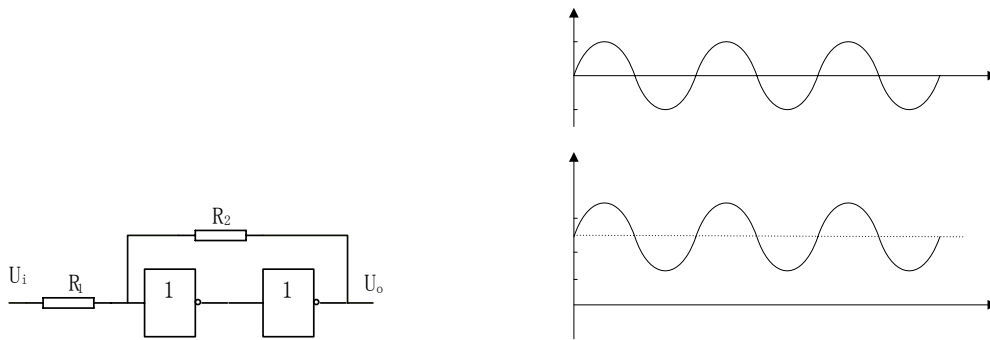


图 3.139

3.27 图 3.140 是由 RC 微分电路和施密特触发器组成的单稳态触发器，定性画出在输入波形下的 u_i 和 u_o 的波形，其中 RC 小于输入波形的低电平宽度。

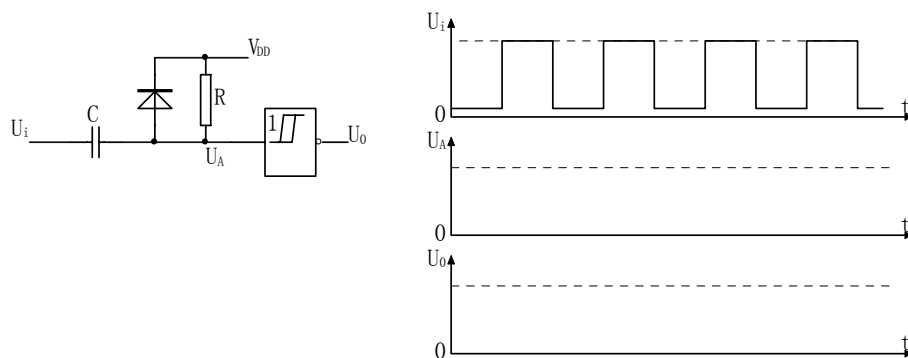


图 3.140

3.28 图 3.141 是由两个 CMOS 非门和电阻电容组成的单稳态触发器，已知输入电压 u_i 的波形，画出 u_{R1} 、 u_R 、 u_Q 、 u_Q^- 的波形。

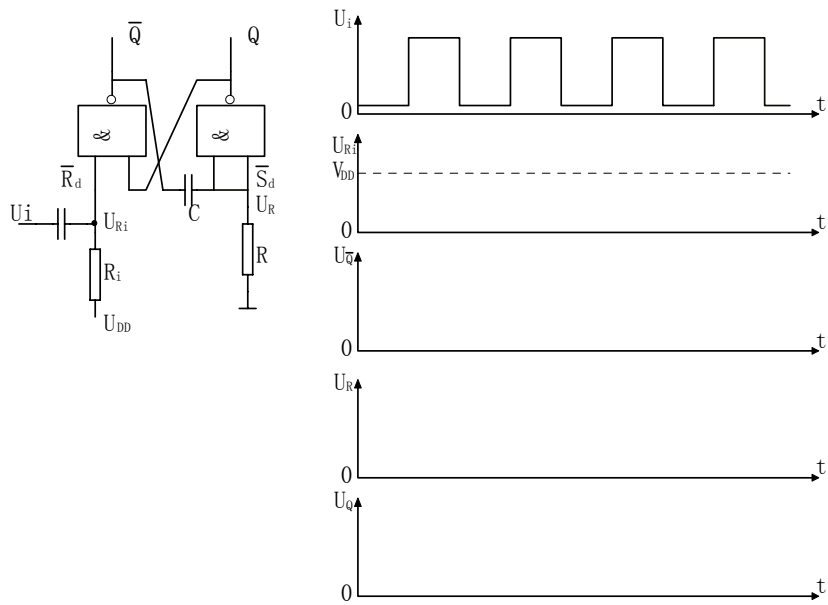


图 3.141

3.29 在图 3.142 中，三个非门的电源电压均为 5V，其中一个为施密特非门，其 $U_T^+ = 4V$ ， $U_T^- = 1V$ ，一个是 CMOS 非门，第三个是 TTL 与非门，接成非门，已知输入电压 u_i 的波形，试画出 u_{01} 、 u_{02} 、 u_{03} 的电压波形，并分析各个非门的抗干扰能力的强弱，并说明施密特电路抗干扰的能力与 $\Delta U = U_T^+ - U_T^-$ 的关系。

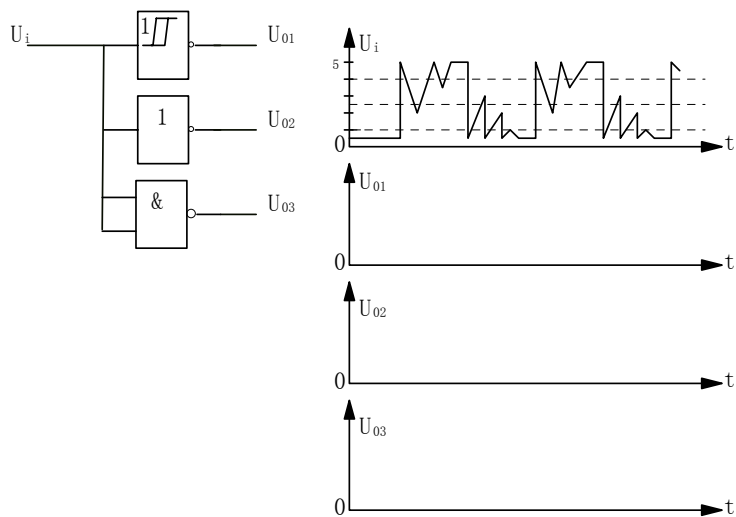


图 3.142

3.30 图 3.143(a)是一个压控振荡器，(b)是以压控振荡器为核心的简易电子琴，在设计电子琴时，关键是确定每个琴键所对应的电阻 $R_1 \sim R_n$ 的值，因此首先要了解 u_E 和振荡频率之间的关系。

- (1) 试按图 (a) 用实验的办法测出 u_E 和 f_{u0} 的关系曲线。
- (2) 在确定每个琴键按下时，振荡器应产生多大的频率以后，就要通过调整 $R_1 \sim R_n$ ，使 u_E 和要求的频率相对应，试通过计算并调试确定不同 u_E 下的 $R_1 \sim R_n$ 的值，其中 $u_5 = \frac{2}{3}V_{cc}$ 时， $f = \frac{1}{(R_1 + 2R_2)C \cdot \ln 2}$ ，其他元件参数已标在电路图中。

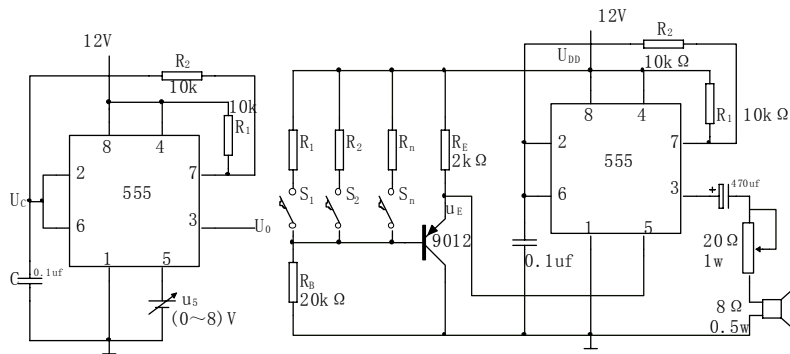


图 3.143

3.31 用与非门设计四变量的多数表决电路，当输入变量 A_3 、 A_2 、 A_1 、 A_0 有 3 个或 3 个以上为 1 时输出为 1，其余输入时输出为 0。

3.32 设计一个代码转换电路，输入为四位自然二进制码，输出为余 3BCD 码。

3.33 试写出图 3.144 所示四选一数据选择器的输出 L 的逻辑函数式。

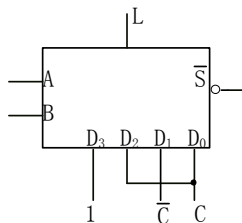


图 3.144

3.34 试写出图 3.145 3 线—8 线译码器输出 L_1 、 L_2 的逻辑函数式， A 为高位。

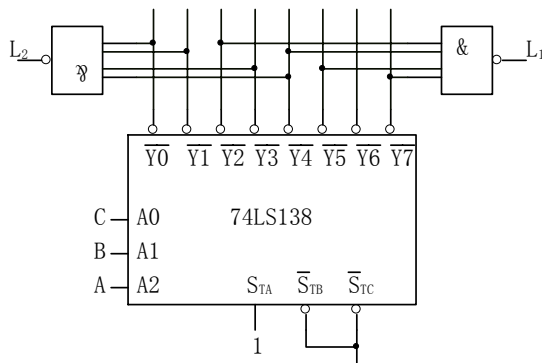


图 3.145

3.35 用图 3.145 所示的 3 线—8 线译码器和有关门电路，画出产生如下多输出逻辑函数的逻辑电路图。

$$\begin{cases} L_1 = AC + BC \\ L_2 = \bar{A}\bar{B}C + A\bar{B}\bar{C} + BC \\ L_3 = \bar{B}\bar{C} + ABC \end{cases}$$

3.36 用 8 选 1 数据选择器实现逻辑函数 $Y = \bar{A}BC + \bar{A}\bar{B} + BC$ ，画出逻辑电路图。

3.37 用 3 线—8 线译码器实现逻辑函数 $Y = A \oplus B \oplus C$ 。

3.38 已知同步非模 2^n 计数器的逻辑电路如图 3.146 所示，试分析该电路是几进制同步计数器？分析的步骤是：

(1) 根据逻辑电路写出各个 JK 触发器的驱动方程。

(2) 把驱动方程代入相应触发器的特性方程, 得到各个触发器的状态方程。

(3) 根据状态方程分别计算出前态 $Q_3^n Q_2^n Q_1^n$ 从 000~111 时相应次态 $Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$ 的状态, 从而得到状态转换真值表。

(4) 根据状态转换真值表画出状态转换图, 并由状态转换图给出结论。

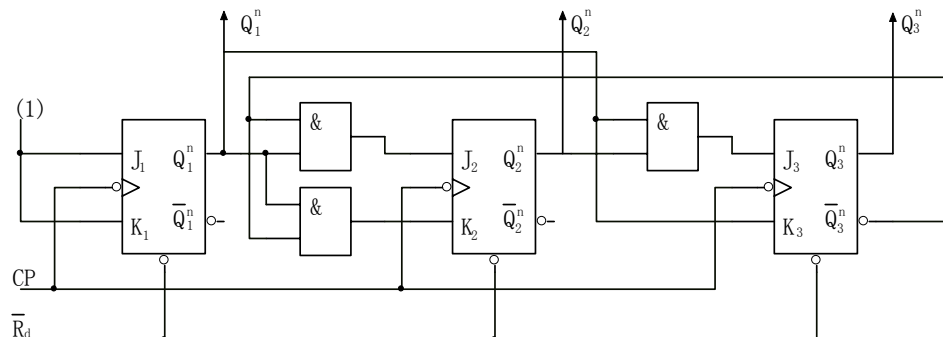


图 3.146

3.39 用三块上升边触发的 D 触发器设计一个异步八进制计数器, 要求画出逻辑电路图、状态转换图和时序图。

3.40 用三块下降边触发的 T 触发器, 设计一个异步八进制减法计数器, 要求画出逻辑电路图、状态转换图和时序图。

3.41 用三块下降边触发的 JK 触发器, 设计一个同步八进制加法计数器, 要求画出逻辑电路图。

3.42 用 74LS161 通过反馈清零法,使它变成十三进制计数器,用同步反馈置数法,把它转换成十三进制计数器,要求分别画出转换后的逻辑电路框图。

3.43 用两块 74LS160 通过同步反馈置数法, 把它接成二十四进制同步计数器, 画出连接后的逻辑电路框图。

3.44 用两块 CC40192 级连成一百进制减法计数器,画出连接后的逻辑电路框图。

3.45 用两块 CC40192 通过异步置数法, 把它转换成六十进制减法计数器, 画出连接后的逻辑电路框图。

3.46 图 3.147 是一个由 74LS161 和一个十六选一数据选择器构成的在 CP 作用下的可编序列信号产生电路,试画出在 17 个 CP 作用下, $Q_3Q_2Q_1Q_0$ 和 L 的波形图,设初态 $Q_3Q_2Q_1Q_0=0000$ 。

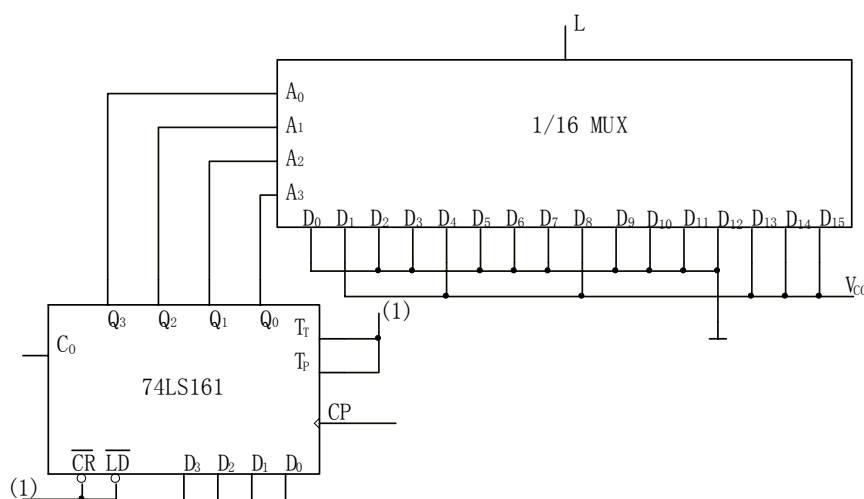


图 3.147

3.47 图 3.148 是由一个 74LS160 和一个 4 线-10 线译码器构成的顺序信号产生电路, 试画出在 11 个 CP 作用下 $Q_3Q_2Q_1Q_0$ 和 $Y_0 \sim Y_9$ 的波形图, 初态 $Q_3Q_2Q_1Q_0 = 0000$ 。

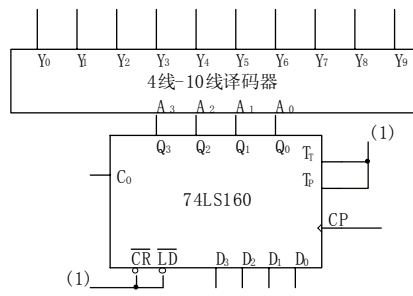


图 3. 148

第 4 章 用标准集成电路 A/D、RAM、E²PROM、D/A 组成的录音、存储、放音案例及相关基础知识

内容提要

本章主要介绍大规模集成电路 ROM、PROM、EPROM、E²PROM、SRAM、A/D、D/A 的组成及功能，并从应用的角度出发，比较详细地介绍了目前正在使用的这些大规模集成芯片的功能、引脚排列，介绍了这些芯片的应用案例。

4.1 半导体存储器

在计算机和数字系统中都需要对大量的数据进行存储，而且存储的容量一般均很大，因此一种称为存储器的大规模集成电路被设计出来并得到广泛应用。

存储器从存取功能上分，通常可分为两类，一类称只读存储器(Read Only Memory)，简称为 ROM；另一类称为随机存取存储器(Random Access Memory)，简称为 RAM。

只读存储器又包括：固定只读存储器或称掩膜 ROM，可编程只读存储器 PROM(Programmable ROM)，可擦除可编程只读存储器 EPROM(Erasable PROM)，电可擦除可编程只读存储器 E²PROM(Electrical EPROM)。

4.1.1 固定只读存储器 (ROM)

固定只读存储器所存放的是固定不变的信息，所存放的信息根据要求只能由芯片制造厂商完成，使用者只能按给定的地址读出信息，固定 ROM 中的信息可长期保存，即使断电也不会丢失，通常如常数、表格、计算机中的自检程序和初始化程序，都被固化在 ROM 中作为长期不变的信息。

固定只读存储器的组成如图 4.1 所示，图 4.1 是一个 2 个地址码共 4 个地址，每个地址中存储一个字长为 4 的小容量 ROM。

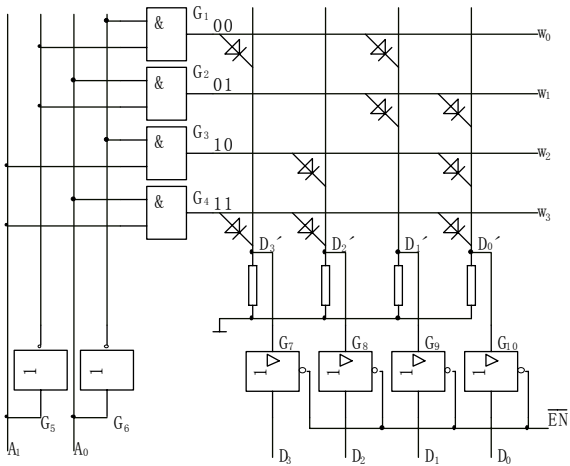


图 4.1 二极管 ROM 的电路结构

在图 4.1 中，A₁A₀ 称为地址码，n 个地址码共有 2ⁿ 个地址，图中只有 2 个地址码，所以只有 00、01、10、11 共 4 个地址。

G₁~G₆ 称为地址译码电路，它把由地址码所决定的地址信息送到相应的地址上，例如

当地址码 A_1A_0 为 00 时, 只有 00 号地址的字线 w_0 上为高电平, w_0 、 w_1 、 w_2 、 w_3 称为字线。地址和字线相对应, 一条字线上可存放 m 位二进制数, 因此, 一条字线又称为字存储单元, m 称为字长。

D'_3 、 D'_2 、 D'_1 、 D'_0 称为位线, 位线的条数就是字长, 字线到位线有二极管(或三极管)连接, 则该字该位存储的固定信息为 1, 因为当该字线上为高电平时, 有二极管相连的该位线上也是高电平(即 1), 没有接二极管的表示该字该位上存储的固定信息为 0, 因为当该字线上为高电平时, 没有二极管相连的该位线上仍然是低电平(即 0)。

$G_7 \sim G_{10}$ 是三态输出门, 又称输出缓冲器, 当 $\overline{EN} = 1$ 时, $D_3D_2D_1D_0$ 为高阻, 当 $\overline{EN} = 0$ 时, 某一地址内的一个字的信息被送到输出端, 此时称该字被读出。

ROM 中各个地址和各个地址中存储的数据信息列成的表称 ROM 中的数据表, 图 4.1 所示 ROM 电路的数据表如表 4.1 所示, 图 4.1 所示 ROM 电路的逻辑电路框图如图 4.2 所示, 其中字数(即地址数)乘字长称 ROM 的容量。

表 4.1 图 4.1ROM 中的数据表

地址		数据			
A_1	A_0	D_3	D_2	D_1	D_0
0	0	1	0	1	0
0	1	0	0	1	1
1	0	0	1	0	1
1	1	1	1	0	1

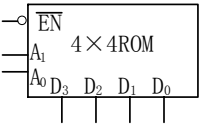


图 4.2 图 4.1 的逻辑电路框图

4.1.2 可编程只读存储器 (PROM)

可编程只读存储器 PROM 是一种用户自己可以直接向芯片写入信息的只读存储器。

PROM 的组成和 ROM 的组成几乎一样, 所不同的是 PROM 芯片在出厂时, 芯片中的所有字线和位线的交叉点处均接有熔丝的二极管或三极管, 图 4.3 和表 4.2 是一个 4×4 PROM 在出厂时的电路图和表。用户只要根据自己的需要列好数据表, 然后把对应于 0 的那些二极管的熔丝烧断即可。按要求烧断熔丝的过程称为编程。显然熔丝一旦烧断后就不可能恢复, 故这种编程只能进行一次, PROM 经编程后就相当于固定 ROM。

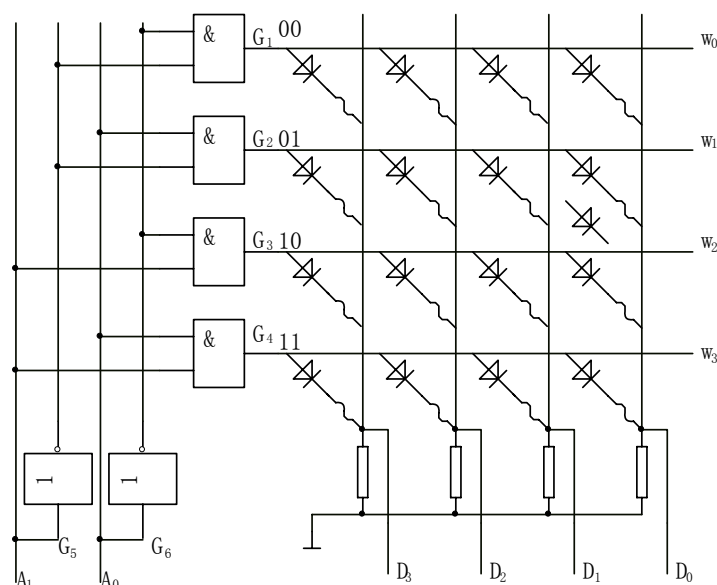


图 4.3 出厂芯片 4×4PROM 逻辑电路

表 4.2 图 4.3 的数据表

地址		数据			
A ₁	A ₀	D ₃	D ₂	D ₁	D ₀
0	0	1	1	1	1
0	1	1	1	1	1
1	0	1	1	1	1
1	1	1	1	1	1

4.1.3 用紫外线照射擦除的可编程只读存储器 (EPROM)

目前教材和资料上提到的 EPROM，一般不作特殊说明的就是指的用紫外线擦除的可编程 ROM(Ultra-Violet EPROM)，实际简称为 UVEPROM。

前面介绍的 PROM，由于只能进行一次编程，一旦出错，芯片就报废，EPROM 就可克服这个缺点，它既可以通过编程写入信息，又可以用紫外线把写入的信息擦除而重新写入信息。既可擦除又可编程的原因是在 EPROM 中，用一个特殊的浮栅 MOS 管替代 PROM 中带熔丝的二极管，这种浮栅 MOS 管有如 FAMOS 管、SiMOS 管，其中 FAMOS 管是单浮栅 MOS 管，SiMOS 管是叠浮栅 MOS 管。不管哪一种浮栅 MOS 管，一旦通过一定的方法使 MOS 管浮栅上注入正电荷，这个 MOS 管的漏源极就导通，导通时间可长达 10 年以上。如果用紫外线照射浮栅管 20~30 分钟，或者放在太阳下晒一个星期左右，浮栅上的正电荷就会完全消失，而使浮栅管成为永久截止。在向 EPROM 芯片写入信息前应用不透明的胶纸把石英窗口密封，以免透进光线(光线中含有紫外线)而破坏写入芯片内的信息。

FAMOS 管和 SiMOS 管的编程即写入的方式是不同的，一般应在专用的编程器上进行编程，图 4.4 是 SiMOS 管构成的 EPROM2716 的管脚图。下面就以 2716 为例，说明各个管脚的名称和功能，以及包括编程方法在内的工作方式。

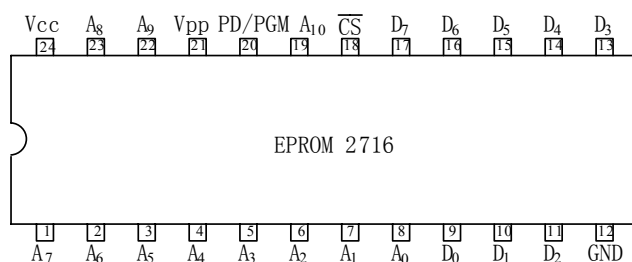


图 4.4 EPROM2716 外部引线图

EPROM2716 外部引线名称、功能及工作方式如下：

$A_0 \sim A_{10}$ 为地址码输入端。

$D_0 \sim D_7$ 为 8 位数据线，也可把它看做 I/O 口，在正常读出时，为读出数据输出端，在编程时为写入数据输入端。

V_{CC} 和 GND 为电路工作时的电源电压和电路地， $V_{CC}=5V$ 。

PD/PGM 为低功耗/编程控制输入，不用时 PD/PGM=0，使用时它有两种功能：其一，当希望 EPROM2716 暂时不工作时，可令 PD/PGM=1(即 TTL 的高电平)，此时电路处于维持状态，不管 \overline{CS} 是什么状态，输出为高阻，电路功耗从工作时的 525mW 下降到 132mW。其

二，在编程时，它又是编程的控制输入，编程时， $\overline{CS}=1$ ， $V_{PP}=25V$ ，编程输入数据以 8 位并行输入方式从 $D_0 \sim D_7$ 端输入，地址及数据电平均为 TTL 电平，当地址输入和写入数据输入稳定以后，在 PD/PGM 端加一个 50ms 宽的正脉冲，这样，输入的数据就被写入地址码所指定的存储单元中。

\overline{CS} 为片选控制输入，在 PD/PGM=0 的条件下， $\overline{CS}=0$ 时该片被选中，给出地址码后，由地址码所指定单元存储的数据被读出，即送到数据输出端。

V_{PP} 为编程电压，在编程和编程检验时， $V_{PP}=25V$ ，其余工作方式时， $V_{PP}=5V$ 。EPROM2716 的工作方式、条件及相关说明见表 4.3。

表 4.3 2716 工作方式条件及相关说明

工作方式	PD/PGM	\overline{CS}	V_{PP}	V_{CC}	输入及输出关系说明
该片未被选中	×	1	5V	5V	不管地址码如何，输出 $D_0 \sim D_7$ 为高阻状态
读操作	0	0	5V	5V	按输入的地址码所指定的存储单元中存储的数据 $D_0 \sim D_7$ 被送到输出端称读出
维持	1	×	5V	5V	不管地址码如何， $D_0 \sim D_7$ 输出为高阻状态，电路功耗从 525mW 下降到 125mW
编程	50ms 正脉冲	1	25V	5V	编程数据从 $D_0 \sim D_7$ 输入，并被写入地址码指定的存储单元中
编程检验	0	0	25V	5V	撤走编程数据输入，送入地址码，通过读出相应存储单元中的数据，以便检验
禁止编程	0	1	25V	5V	在编程时，如果 PD/PGM 不送入 50ms 正脉冲，则编程被禁止，输出 $D_0 \sim D_7$ 呈高阻状态

4.1.4 用电压信号擦除的可编程只读存储器 (E²PROM)

EPROM 的擦除需用紫外线照射近 30 分钟，速度慢，使用不方便，因此一种可在线擦除可编程只读存储器被设计并形成产品，这种电擦除的可编存储器简称 E²PROM。E²PROM 在编程后就和 ROM 一样，可在线读出所存储的数据，在断电后数据至少保持 10 年以上。

E²PROM 的读出方式可分为并行和串行两种，并行方式速度快，应用广。目前并行 E²PROM 的型号也很多，最常用的有 28 系列。28 系列的早期产品，它们的在线电擦除和编程需外接 21V 高压，目前被普遍采用的是 28 系列改进型产品，如 2817A、2864A、28256A 等，在这些型号的产品中，把 $V_{PP}=21V$ 的高电压做在芯片内部，在线擦除和编程时不用专门加高电压，均用单一的+5V 电源即可。下面就 2817A、2864A、28256 等芯片逐一加以介绍，供读者在需要时选用。

1. 2K×8 位 E²PROM2817A

(1)2817A 引脚名称及功能说明。2K×8 位 E²PROM2817A 是较为流行的一种 E²PROM，引脚排列如图 4.5 所示。

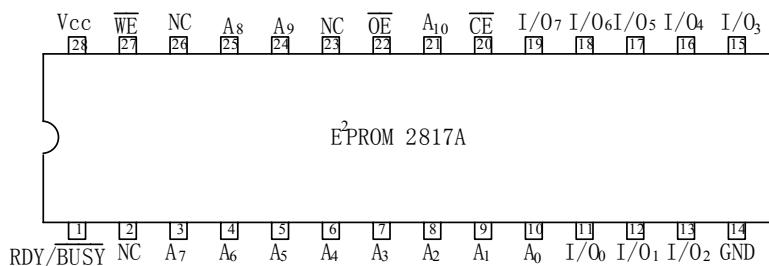


图 4.5 E²PROM2817 外部引线图

引脚名称及功能说明如下：

V_{CC} 、GND：芯片工作电源和电路地， $V_{CC}=5V$ 。

$A_0 \sim A_{10}$ ：11 根地址输入线。

$I/O_0 \sim I/O_7$ ：输入输出端口(输出时有三态)。

\overline{CE} ：芯片片选控制输入，低电平有效。

\overline{OE} ：读操作控制输入，低电平有效。

\overline{WE} ：写操作控制输入，低电平有效。

$\overline{RDY}/\overline{BUSY}$ ：准备/忙信号输出线，漏极开路形式输出，该输出信号指示 2817A 处于准备写入状态还是处于写入状态。

NC：为空引脚。

(2)2817A 芯片的特点。2817A 和早期型号相比，有如下几个特点：

其一，编程电压由芯片内部电路自动产生，芯片工作时，只需要外加单一的电源电压 $V_{CC}=5V$ ，编程时，在一定的条件下，只受写操作的控制。

其二，芯片内部具有数据保护电路，即如果 V_{CC} 因故突然消失时，或 V_{CC} 不能满足正常编程要求时，编程操作自行停止，避免编入错误数据。

其三，2817A 在写入数据时，写入单元原先存储的数据自动清除，不必单独进行擦除操作。

其四，EPROM 编程时，地址输入和数据输入不能变化，要等到一个字节编程完成后才能改变，而 2817A 则不然，芯片内有地址和编程数据锁存器，只有锁存信号到达时，地址输入和数据输入才是正确的，以后不管地址输入和数据输入有何变化，对这一字节的编程不产生影响，这样可以提高编程的可靠性。

(3)2817A 编程过程及过程时序图。2817A 的编程时序图如图 4.6 所示。

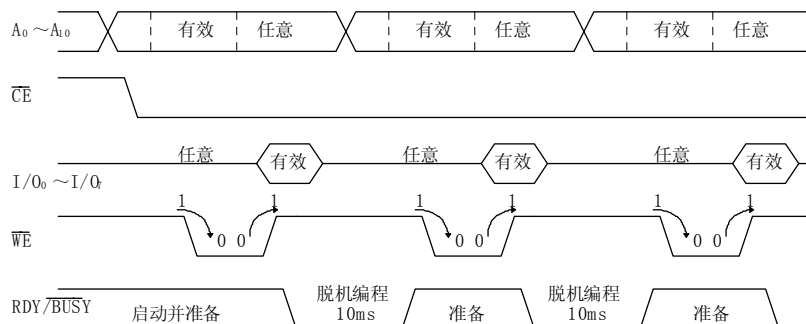


图 4.6 2817A 编程时序图

由时序图可以看出 2817A 的编程过程：开始启动时，给出首个地址码，使片选 $\overline{CE}=0$ (此

时读操作控制输入 \overline{OE} 保持 1), 再在 $I/O_0 \sim I/O_7$ 输入编程数据, 然后给 \overline{WE} 一个负脉冲, 当 \overline{WE} 负脉冲前沿即 1 变 0 时刻, 芯片把输入的地址码打入芯片内的地址码锁存器, 此时刻的地址码必须有效, 在 \overline{WE} 由 0 变 1 时刻, 芯片把编程输入数据打入编程数据锁存器, 此时编程数据输入必须有效。当 \overline{WE} 由 0 变 1 结束之后, 芯片自动地把数据锁存器内的数据写入到地址锁存器内的地址码所指定地址的存储单元中, 在写入之前, 芯片自动清除该存储单元中原来的数据。一旦 \overline{WE} 由 0 变 1 结束, 表示该字节的编程开始, 此时 RDY/\overline{BUSY} 从原来的高阻状态(若该端接一个 $R_{\text{外}}$ 到 V_{CC} , 则原来状态为高电平, 因为是 OC 门输出)变为"0"状态。"0"态表示芯片正在写入一个字节, 时间约为 10ms, 在此期间, 由于芯片只按打入到锁存器内的地址和数据编程, 在芯片输入端口的地址和数据已不起作用, 在时序图中用任意表示就是这个意思。待这一字节编程结束后, RDY/\overline{BUSY} 又回到高阻状态, 之后又可以进行下一个字节的编程。注意下一个字节编程控制 \overline{WE} 的下降边必须在 RDY/\overline{BUSY} 回到高阻状态以后, 否则芯片拒绝接收地址码进入锁存器。

(4)2817A 的操作方式。2817A 的操作方式见表 4.4。

表 4.4 2817 的操作方式

工作方式	\overline{CE}	\overline{OE}	\overline{WE}	RDY/\overline{BUSY}	$I/O_0 \sim I/O_7$
读操作	0	0	1	高阻	按地址码输出数据, 读出时间 250ns
写操作	0	1	0	0	按(3)所述写入数据
维持	1	×	×	高阻	输出呈高阻状态, 维持电流 50mA
字节擦除	0	1	0	0	字节写入之前自动擦除

2. 8K×8 位 E²PROM2864A

(1)2864A 引脚名称和功能说明。2864A 引脚排列图如图 4.7 所示。

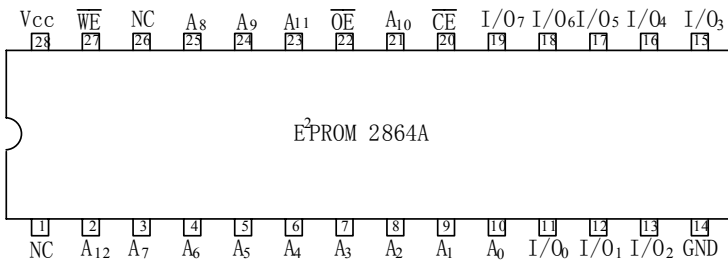


图 4.7 2864A 引脚排列图

引脚名称及功能说明如下:

V_{CC} 、GND: 芯片工作电源和电路地, $V_{CC}=5V$ 。

$A_0 \sim A_{12}$: 13 根地址输入线。

$I/O_0 \sim I/O_7$: 输入输出端口(输出时有三态)。

\overline{CE} : 芯片片选控制输入, 低电平有效。高电平时, 电路处于维持状态, 输出为高阻。

\overline{OE} : 读操作控制输入, 低电平有效。

\overline{WE} : 写操作控制输入, 低电平有效。

NC：为空引脚。

(2)2864A 的读写操作。2864A 的读操作和 SRAM 相同，即在 $\overline{CE} = 0$ ， $\overline{WE} = 1$ ， $\overline{OE} = 0$ 的条件下，由地址码指定的地址内的数据被送到 I/O₀~I/O₇ 输出端。

2864A 写操作有两种方式，即有字节写入和页面写入。字节写入方式一般不采用。页面写入方式是 2864A 的一个特点，可以提高写入速度，它的基本原理是这样的：2864A 内部有 16 字节的“页面缓冲器”，这样把整个 2864A 划成 512 页，每页有 16 个字节，由地址码的高 9 位(A₄~A₁₂)确定页面数，由地址码低四位(A₀~A₃)确定页面中的字节存储单元。

页面写入分页面加载和数据查询两步。

(3)页面加载。所谓页面加载，是指在控制信号的作用下，把 16 字节写入页面缓冲器，图 4.8 是页面加载过程的时序图。

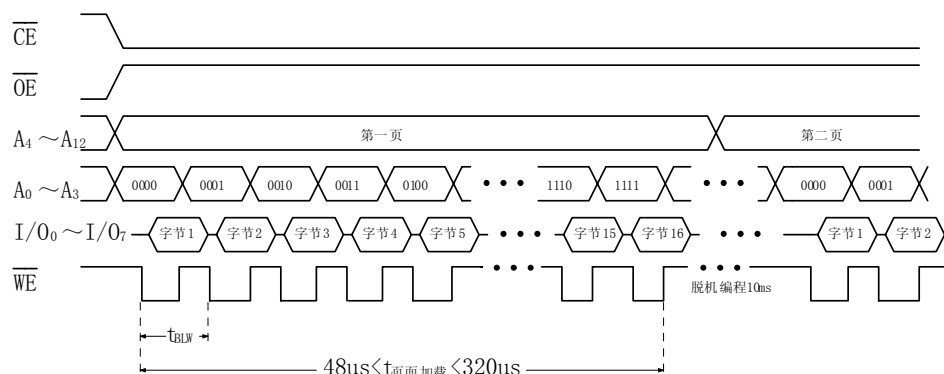


图 4.8 页面加载过程的时序图

从时序图可以看出，由高 9 位(A₄~A₁₂)地址码所确定的某一页面上， \overline{WE} 的下降边把低四位地址码打入页面缓冲器锁存起来， \overline{WE} 的上升边把一个字节的数据也打入这个页面缓冲器锁存起来，等到低位地址码由 0000 变到 1111 后，应停止输入地址码和字节数据，20us 后，芯片自动地转入页面存储工作状态，2864A 自动地把该页面的原有数据擦除，然后把刚刚打入缓冲器的字节数据，在由低四位地址码所决定的页面字节存储单元中固化，而在页面存储工作状态期间， \overline{WE} 无效，即芯片不再接收外部地址码和字节数据，页面存储工作状态

时间需 10ms，但在此期间，输入 \overline{OE} 控制有效，此时可以通过控制 \overline{OE} 读出 2864A 中的数据。

值得注意的是，在页面加载过程中，必须保证在 t_{BLW} 时间内完成一个字节的数据写入页面缓冲器， $20\mu s > t_{BLW} > 3\mu s$ ，如果在写完一个字节以后 20us，下一个字节的相关数据还没有送到，2864A 就认为这一页数据已经写完而提前自动进入存储工作状态。

(4)数据查询。在页面处于存储工作状态期间，用户可通过数据查询获知页面存储是否已经完成，如果已经完成，就可加载下一页了，前面介绍的 2817A 有 RDY/ \overline{BUSY} 提供存储已经完成的输出指示，但 2864A 没有这个输出端。对于 2864A，一般的数据查询可以在存储工作状态期间，通过控制 \overline{OE} 读出该页最后一个字节和输入给这个页面的最后一个字节进行比较，若完全相同，则表示该页面存储已经完成。

(5)2864A 的操作方式及功能说明。2864A 的操作方式及功能说明见表 4.5。

表 4.5 2864 的操作方式及功能说明

工作方式	\overline{CE}	\overline{OE}	\overline{WE}	功能说明
读操作	0	0	1	把地址码指定地址内的字节数据送到数据输出端，读出时间为 250ns，工作时电流为 150mA
写操作	0	1	负脉	把数据端一个字节的数据写入按地址码指定的地址内，写一页 16 字节的时间

			冲	约为 11ms, 工作电流 150mA
维持	1	×	×	电路处于通电维持状态, 维持电流 60mA, 输出呈高阻态
数据查询	0	1	1	字节写入之前自动擦除

4.1.5 随机存储器 (RAM)

随机存储器也叫做随机读写存储器(Random Access Memory), 简称 RAM。在 RAM 工作时, 可以随时从任何一个由地址码所决定的地址存储单元中读出数据, 也可以随时把数据写入任何一个由地址码决定的地址的存储单元中。在写入时, 原存储的数据自动清除。它和 ROM 相比, ROM 中存储的数据可以长期保存, 而 RAM 中存储的数据在断电后全部消失。RAM 又分为静态 RAM(用 SRAM 表示)和动态 RAM(用 DRAM 表示)。SRAM 的存储单元通常是触发器, 因此只要不断电, 数据不会消失。DRAM 的存储单元通常是一个电容器, 当电容器充上电荷而有电压时, 数据为 1, 放掉电荷而无电压时, 数据为 0。由于电容器的漏电是不可避免的, 所以 DRAM 中存储的信息, 即使不断电也会逐渐消失, 为此, 在 DRAM 保存数据信息期间要不断进行刷新。所谓刷新就是要定时向那些存储“1”信息的电容器充电。由于 DRAM 的读写控制和刷新电路较为复杂, 所以下面以 SRAM 为例介绍有关 RAM 的基础知识及应用。

1. SRAM 的结构

一个 16×1 的 SRAM 的电路框图如图 4.9 所示。

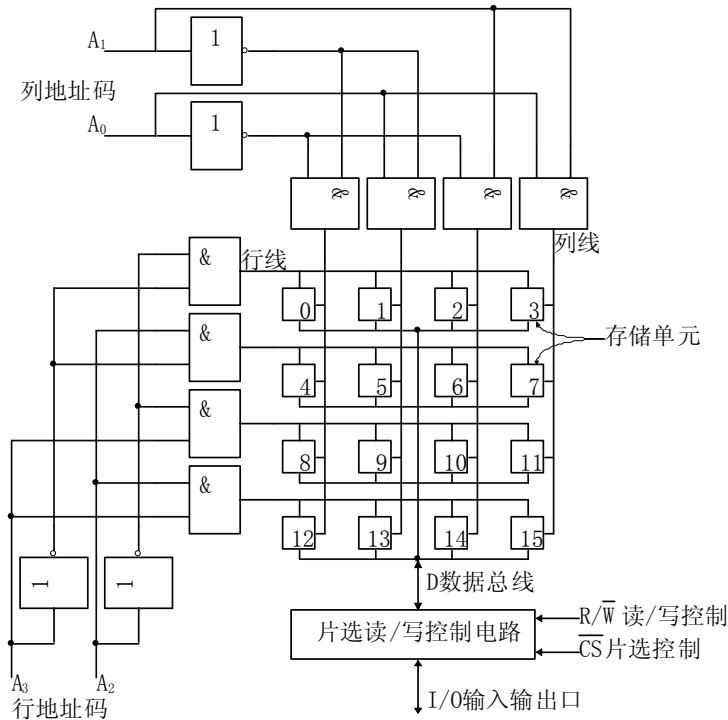


图 4.9 16×1 SRAM 电路框图

在图 4.9 中, A_3A_2 为行地址码, A_1A_0 为列地址码。电路上方的六个门电路是列地址译码器, 其中四个与门的输出线称为列线。电路左方的六个门称为行地址译码器, 其中四个与门的输出线称为行线, 0~15 个方框为存储单元, 它和由 4 个地址码组成的 2^4 个地址相对应。

电路下方的方框是片选和读/写控制电路。其中 \overline{CS} 为片选控制输入, $\overline{CS} = 1$ 时, 该片未选中,

$\overline{CS} = 0$ 时, 该片被选中。 R/\overline{W} 为读/写控制输入, $R/\overline{W} = 1$ 为读操作, $R/\overline{W} = 0$ 为写操作。

I/O 为写入和读出的输入输出, D 为数据总线, 每个存储单元和行线、列线及数据总线相

连。操作时，首先给出地址码信号，例如当 $A_3A_2A_1A_0$ 为 0000 时，0 号存储单元的行线和列线均为高电平，在 $\overline{CS}=0$ 的条件下，当 $R/\overline{W}=1$ 时，0 号存储单元中存储的数据通过数据总线被送到 I/O 口，称之为读出，当 $R/\overline{W}=0$ 时，I/O 的数据通过总线被写入到 0 号存储单元中，称之为写入。

2. 片选和读/写 控制电路

SRAM 的一种形式的片选和读写控制电路如图 4.10。所谓片选，是指一个容量较大的存储系统，通常是由多片 SRAM 组成的，每个单片的地址码输入都对应地并接在一起，因此给出地址码以后，首先要分清是向哪一片 SRAM 的这个地址中写入数据或读出数据。因此在操作时就有一个地址码输入在先，片选输入在后的片选操作。只有该片的 $\overline{CS}=0$ ，该片才处于工作状态。

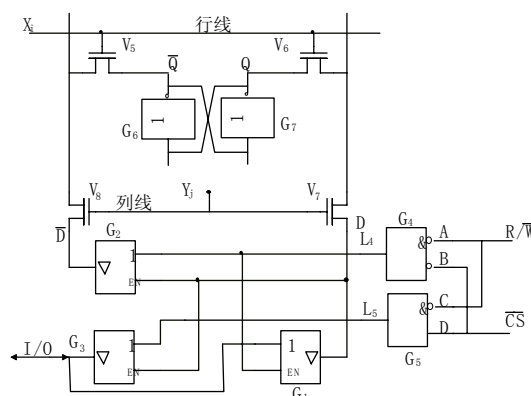


图 4.10 SRAM 的一种片选和读写控制电路

由图 4.10 知，存储单元是一个基本 RS 触发器，当该存储器被地址码选定后，即 $X_i=Y_j=1$ ，此时 V_5 、 V_6 、 V_7 、 V_8 均导通。在 $\overline{CS}=0$ 的条件下，若 $R/\overline{W}=1$ ，电路进行读操作，其工作过程为：由于 $\overline{CS}=0$ ，所以 G_4 的输入 B 和 G_5 的输入 D 为高电平， $R/\overline{W}=1$ ，则 G_4 的 A 为低电平， G_5 的 C 为高电平，此时 G_5 输出 L_5 为高电平， G_3 导通， G_4 的输出 L_4 为低电平， G_1 、 G_2 截止（不通），基本 RS 触发器中的 Q 状态（0 或 1）通过 V_6 、 V_7 、 G_3 被送到 I/O 口，即数据被读出，当 $R/\overline{W}=0$ 时， L_5 输出低电平， G_3 截止， L_4 输出高电平， G_1 、 G_2 导通，输入输出 I/O 处的数据（0 或 1）通过 G_1 、 V_7 、 V_6 被送到基本 RS 触发器的 G_6 的输入端，同时，输入数据通过 G_2 后，变成非信号通过 V_8 、 V_5 被送到 G_7 的输入端，使基本 RS 触发器的 Q 的值和 I/O 口值一致并被基本 RS 触发器存储，即 I/O 口的数据被写入。

3. SRAM 的扩展

当使用一片 SRAM 不能满足存储容量要求时，可把多片 SRAM 进行组合，扩展成大容量的存储器。SRAM 的扩展分位扩展和字扩展。

(1)SRAM 的位扩展。当所用的单片 SRAM 的位数(即字长)不够时，可以进行位扩展，把两片或两片以上的同型号 SRAM 连成位扩展的连接十分简单，即把每片的地址码输入端， \overline{CS} 片选控制输入端和 R/\overline{W} 读/写控制输入端一一对应地并接在一起即可。由 2 片 4 位 SRAM Intel 2114A 扩展成 8 位的扩展连线图如图 4.11 所示。

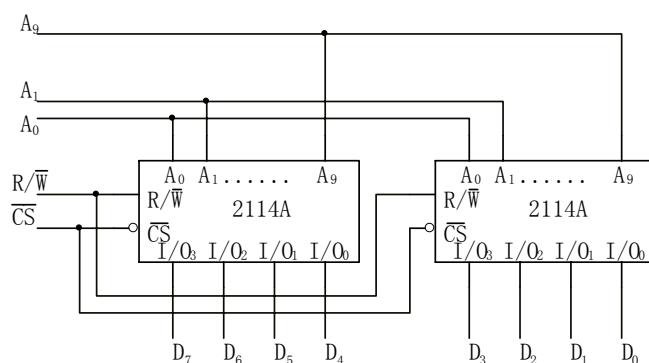


图 4.11 用两片 4 位 SRAM 扩展 8 位 SRAM 的连线图

(2)SRAM 的字扩展。字长不变，要增加字的数量可进行字扩展，在把两片或多片 SRAM 接成字扩展时，只要把各片的 I/O 线并接在一起，把读/写控制输入 R/\overline{W} 并接在一起，通过用增加的地址码去控制 \overline{CS} ，原有地址码也并接在一起，用两片 1024×4 的 2114A 扩展成 2048×4 的连接图如图 4.12 所示。

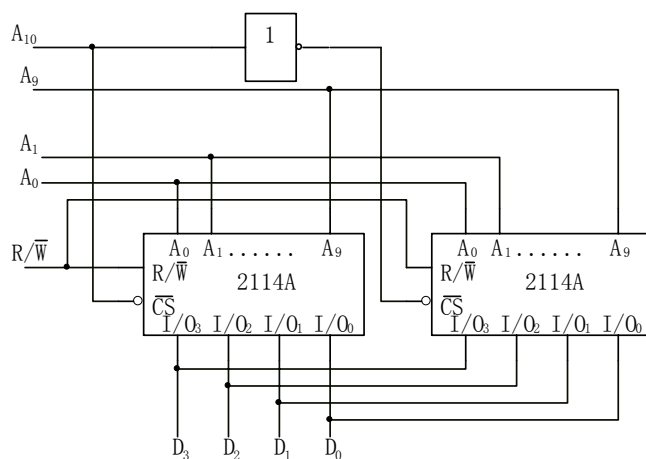


图 4.12 字扩展连线图

4. 常用 SRAM 芯片介绍

(1)SRAM62128 芯片。62128 是 8 位 16KB SRAM，它的引脚排列如图 4.13 所示。

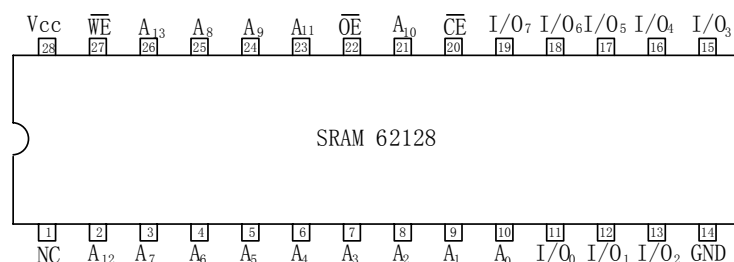


图 4.13 62128 引脚排列图

62128 各引脚功能说明如下：

V_{CC} 、GND：芯片工作电源和电路地， $V_{CC}=5V$ 。

$A_0 \sim A_{13}$ ：地址码输入端。

$I/O_0 \sim I/O_7$ ：输入输出端口(输出时有三态)。

\overline{CE} ：芯片片选控制输入， $\overline{CE}=1$ 时该片未被选中，输出为高阻； $\overline{CE}=0$ 时，该芯片被选中。

\overline{OE} ：读操作控制输入，低电平有效。当 $\overline{CE} = 0$ 、 $\overline{WE} = 1$ 、 $\overline{OE} = 0$ 时，为读操作。

\overline{WE} ：写操作控制输入，低电平有效。当 $\overline{CE} = 0$ 、 $\overline{OE} = 1$ 、 $\overline{WE} = 0$ 时，为写操作。

NC：为空引脚。

根据引脚功能说明，62128 工作方式及功能列表见表 4.6。

表 4.6 62128 的操作方式及功能说明

工作方式	\overline{CE}	\overline{OE}	\overline{WE}	功能说明
读操作	0	0	1	把地址码指定地址内的数据送到 I/O ₀ ~I/O ₇ 的输出端，谓之读出
写操作	0	1	0	I/O ₀ ~I/O ₇ 输入端的数据按地址码指定的地址写入数据
未选中	1	×	×	该片未选中，I/O ₀ ~I/O ₇ 呈高阻

(2)SRAM62256。62256 是 8 位 32KB 的 SRAM，它的引脚排列如图 4.14 所示。

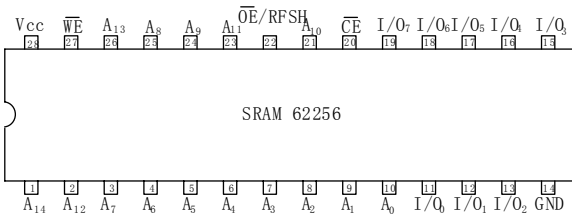


图 4.14 62256 引脚排列图

62256 各引脚功能说明如下：

V_{CC} 、GND：芯片工作电源和电路地， $V_{CC} = 5V$ 。

$A_0 \sim A_{14}$ ：地址码输入端。

$I/O_0 \sim I/O_7$ ：输入输出端口(输出时有三态)。

\overline{CE} ：芯片片选控制输入， $\overline{CE} = 1$ 时该片未被选中，输出为高阻； $\overline{CE} = 0$ 时，该芯片

被选中。同时，当 62256 的 $\overline{CE} = 1$ 时，芯片处于降耗保持状态，此时流过的电源电流为维持电流，只有微安(uA)数量级，且 V_{CC} 可以由 5V 降至 3V 左右，内部存储的数据可保持而不丢失。因此，62256 在掉电之后，如保持 \overline{CE} 为高电平，并保持 $V_{CC} > 3V$ ，非常小的功耗就可以保持 SRAM 中所存储的数据。这使得很方便地用一个大于 3V 的电池作为掉电保持电路的电源成为可能。

\overline{WE} ：写操作控制输入，低电平有效。当 $\overline{CE} = 0$ 、 $\overline{OE}/RFSH = 1$ 、 $\overline{WE} = 0$ 时，为写操作。

$\overline{OE}/RFSH$ ：读选通/刷新允许控制，当 $\overline{OE}/RFSH = 1$ 时，芯片内部电路自动刷新，当 $\overline{CE} = 0$ 、 $\overline{WE} = 1$ 、 $\overline{OE}/RFSH = 0$ 时为读操作。

根据引脚功能说明，62256 工作方式及功能列表见表 4.7。

表 4.7 62256 的操作方式及功能说明

工作方式	\overline{CE}	$\overline{OE}/RFSH$	\overline{WE}	功能说明
读操作	0	0	1	把由地址码指定地址内的数据送到 I/O ₀ ~I/O ₇ 的端口
写操作	0	1	0	I/O ₀ ~I/O ₇ 输入端的数据按地址码指定的地址写入数据，芯片内部电路自动刷新
未选中	1	×	×	该片未选中，芯片处于降耗保持状态，I/O ₀ ~I/O ₇ 呈高阻

(3) 非挥发性随机存储器(NVRAM) 2004。所谓非挥发性随机存储器是指这种存储器既包含

一个 SRAM，同时也包含一个和 SRAM 容量相同的 E²PROM，在正常工作时，起一个 SRAM 的作用，同时在一些控制信号作用下，可以把 SRAM 中的数据转存到 E²PROM 中去，而这个 E²PROM 又完全具有和普通 E²PROM 一样的作用。在掉电以后，数据至少能保持 10 年之久。当刚加上电源时，芯片又会自动地把 E²PROM 中的数据全部取回到 SRAM 中来。非挥发性随机存储器简称为 NVRAM。

Intel 公司目前生产的 NVRAM 的型号有 2001 和 2004 等。2001 的容量为 8 位 128 字节，2004 的容量为 8 位 256 字节。

2004 的引脚排列如图 4.15 所示。

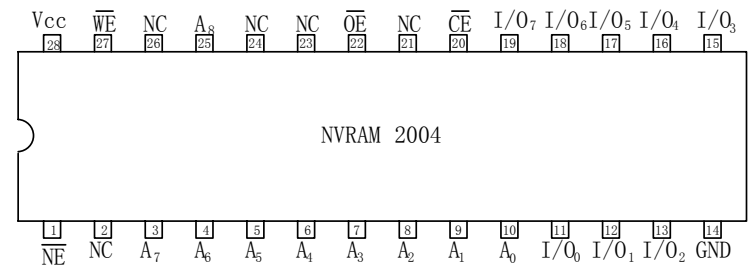


图 4.15 NVRAM2004 的引脚排列图

2004 各引脚功能说明如下：

V_{CC}、GND：芯片工作电源和电路地，V_{CC}=5V。

A₀~A₈：地址码输入端。

I/O₀~I/O₇：输入输出端口(输出时有三态)。

\overline{CE} ：芯片片选控制输入，低电平有效。

\overline{OE} ：读操作控制输入，低电平有效。当 $\overline{OE}=0$ 时，为读操作。

\overline{WE} ：写操作控制输入，低电平有效。当 $\overline{WE}=0$ 时，为写操作。

\overline{NE} ：转存取回控制输入，当 $\overline{NE}=0$ 时，芯片才能启动转存和取回， $\overline{NE}=1$ 时，芯片执行正常的读写操作。

NC：空引脚。

根据引脚功能说明，2004 工作方式及功能列表见表 4.8。

表 4.8 NVRAM2004 的工作方式及功能说明

工作方式	\overline{CE}	\overline{NE}	\overline{OE}	\overline{WE}	功能说明
维持	1	×	×	×	SRAM 中的数据处于保持状态，输出呈高阻
读操作	0	1	0	1	SRAM 中的数据在地址码的作用下，相应地址中的数据被送到 I/O ₀ ~I/O ₇ 输入输出接口即被读出
写操作	0	1	×	0	在地址码的作用下，I/O ₀ ~I/O ₇ 输入输出接口的数据被写入相应地址 SRAM 中
加电自动取回	×	×	×	×	当 NVRAM 被刚加上电源瞬间，原存储在 E ² PROM 中的数据自动被取回到 SRAM 中，此时输出呈高阻
工作时受控取回	0	0	0	1	在 NVRAM 工作过程中，把数据转存到 E ² PROM 中以后，又需要取回到 SRAM 中来时，在 $\overline{CE}=0$ 的条件下，给 \overline{NE} 输入低电平，并按读操作要求，对 2004 进行一次读操作，这样就可以把 E ² PROM 中的数据取回到 SRAM 中，此时输出呈高阻
转存操作	0	0	1	0	当需要把 SRAM 中的数据转存到 E ² PROM 中去时，在 $\overline{CE}=0$ 的条件下，给 \overline{NE} 输入低电平并按写操作要求，对 2004 进行一次写操作，即可把 SRAM 中的数据全部转存到 E ² PROM 中，此时输出呈高阻

4.2 数模转换器(D/A 或 DAC)

数模转换器(Digital to Analog Converter)简称 D/A 或 DAC，数模转换器是把数字量转换

成模拟量(电压或电流)并使转换后的模拟量与输入数字量成正比的一种集成电路器件, D/A 在计算机控制系统和数字视听设备中是一个必不可少的接口电路, 图 4.16 是 D/A 在控制系统中和在数字视听设备中的地位 and 作用的示意框图。

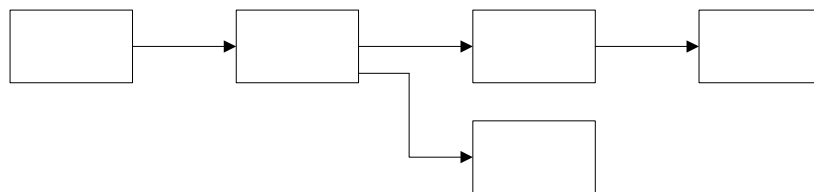


图 4.16 D/A 在控制系统中和在数字视听设备中的地位 and 作用

D/A 转换器的输出分单极性和双极性两种。所谓单极性输出是指由数字量转换后的模拟量是同一极性的, 如输出电压为 $0 \sim +V_m$ 或 $-V_m \sim 0$, 而 D/A 的双极性输出, 其输出电压近似为 $-\frac{1}{2}V_m \sim +\frac{1}{2}V_m$ 。

4.2.1 单极性输出 D/A 转换器

1. D/A 转换器的有关参数

单极性输出 D/A 转换电路输入和输出之间的关系如图 4.17 和式(4-1)所示。

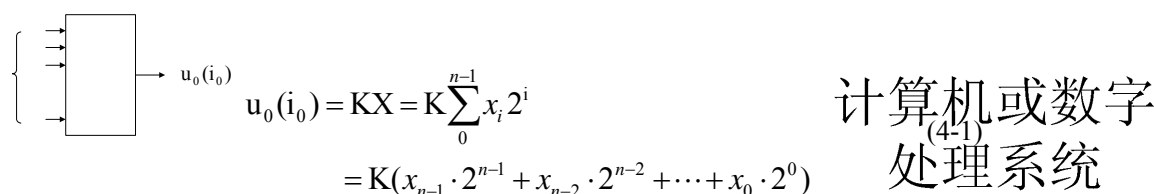


图 4.17 D/A 单极性输出时输入和输出之间的关系

其中, X 是 n 位二进制数, $u_o(i_o)$ 是转换后的模拟量输出(电压或电流), $u_o(i_o)$ 和二进制数 X 成正比, 比例系数为 K , 根据式(4-1):

当 $x_{n-1}x_{n-2} \dots x_0 = 00 \dots 0$ 时, $u_o = 0$;

当 $x_{n-1}x_{n-2} \dots x_0 = 11 \dots 1$ 时, $u_o = U_{FSK} = V_m$, U_{FSK} 称为满刻度输出, 也就是二进制数各位都为 1 时的最大输出电压 V_m 。

当 $x_{n-1}x_{n-2} \dots x_0 = 00 \dots 01$ 时, $u_o = K = U_{LSB}$, U_{LSB} 称为输出的最小量程, U_{LSB} 是输入二进制数最低位(LSB)为 1、其余所有位均为 0 时的输出电压, U_{LSB} 就是式(4-1)中的比例系数 K 。

$$\frac{U_{LSB}}{U_{FSK}} = \frac{K}{(2^n - 1)K} = \frac{1}{2^n - 1}$$

称为 D/A 转换器的分辨率, 二进制数的位数越多, 分辨率越高, 通常只要讲出二进制的位数, 实际就给出了分辨率, 有的资料上讲 D/A 的分辨率表达为 8Bit, 即 8 位二进制数, 就是这个意思。

D/A 转换器的转换精度也是一个主要参数, 所谓精度是指实际输出电压和理论输出电压之间的最大误差, 对于集成 D/A 转换器, 一般能保证电路本身的最大误差小于 $\frac{1}{2}U_{LSB}$ 。

2. R—2R T 型电阻网络 D/A 转换器

实现 D/A 转换的电路很多, 这里用比较典型的 R—2R T 型电阻网络 D/A 转换器来说明 D/A 转换器的原理, 以加深对集成 D/A 转换器各个输入输出引线的理解, 便于正确使用集

成 D/A 转换器。

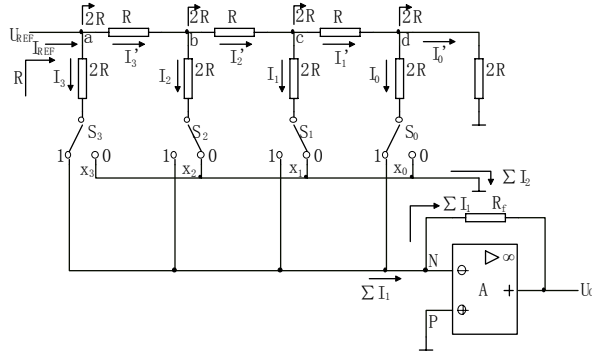


图 4.18 R—2R T 型电阻网络 D/A 转换器

4 位二进制数的 R—2R T 型电阻网络 D/A 转换器的具体电路如图 4.18 所示。根据电路图可以看出，R—2R T 型电阻网络 D/A 转换器有如下特点和关系：

(1) 根据运放 A “虚短”和“虚断”的概念， ΣI_1 流向运放的反向输入端 N，就相当于流向电路地 ($V_N = V_P$ ，N 点、P 点相当于短路)，流向 N 点的 ΣI_1 又全部流过 R_f (N 点和 P 点相当于断开，流进运放的电流为 0)。

(2) 不管开关 $S_0 \sim S_3$ 指向 1 或 0，所有 $2R$ 的电阻都相当于接地，所以从 d、c、b、a 向右看过去到地的等效电阻均为 $2R$ ，从 U_{REF} 向右看过去的 T 型网络到地的等效电阻为 R ； $S_0 \sim S_3$ 受二进制数 $x_0 \sim x_3$ 控制，即 $x_3 = 1$ ， S_3 指向 1； $x_3 = 0$ ， S_3 指向 0。对于 S_2 、 S_1 、 S_0 亦同理。

(3) 由于从 a 点向右看过去到地的电阻为 $2R$ ，所以 I_{REF} 流到 a 点分成的两个电流 $I_3 = I'_3 = \frac{1}{2} I_{REF}$ ，同理 $I_2 = I'_2 = \frac{1}{4} I_{REF}$ 、 $I_1 = I'_1 = \frac{1}{8} I_{REF}$ 、 $I_0 = I'_0 = \frac{1}{16} I_{REF}$ ，而 $I_{REF} = \frac{U_{REF}}{R}$ 。

(4) 若令 T 型电阻网络的标准电压 $U_{REF} = -U_{LSB} \times 2^n$ ，n 是二进制数的位数，当 $n = 4$ 时， $U_{REF} = -16U_{LSB}$ ，同时令 $R_f = R$ 。则 I_0 流过 R_f 时，在运放输出端的输出电压为 $U_{o0} = -I_0 R = -\frac{1}{16} I_{REF} R = -\frac{1}{16} \frac{U_{REF}}{R} R = -\frac{-16U_{LSB}}{16} = U_{LSB}$ ；同理 I_1 流过 R_f 时， $U_{o1} = 2U_{LSB}$ ； I_2 流过 R_f 时， $U_{o2} = 4U_{LSB}$ ； I_3 流过 R_f 时， $U_{o3} = 8U_{LSB}$ 。所以

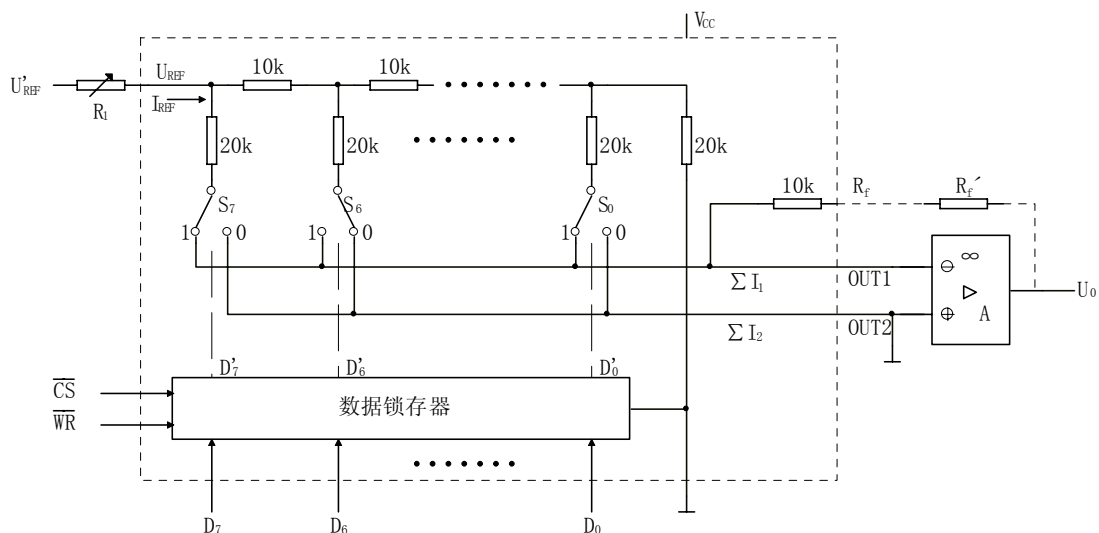
$$\begin{aligned} u_0 &= U_{LSB} \cdot x_3 \cdot 2^3 + U_{LSB} \cdot x_2 \cdot 2^2 + U_{LSB} \cdot x_1 \cdot 2^1 + U_{LSB} \cdot x_0 \cdot 2^0 \\ &= U_{LSB}(x_3 \cdot 2^3 + x_2 \cdot 2^2 + x_1 \cdot 2^1 + x_0 \cdot 2^0) \end{aligned} \quad (4-2)$$

式(4-2)和式(4-1)完全相同。

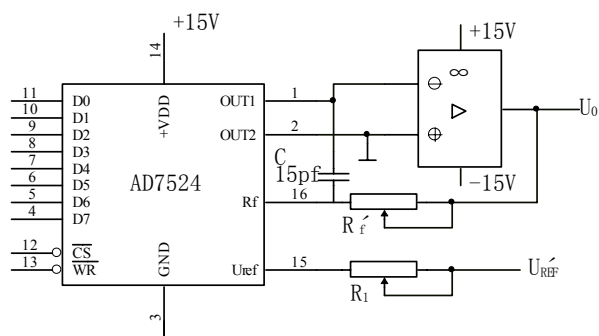
根据式(4-2)，当 $x_3 x_2 x_1 x_0$ 为 1111 时， $u_0 = U_{FSK} = V_M = 15U_{LSB}$ ，由此可知前面提及的令 $U_{REF} = -U_{LSB} \times 2^n$ ，和有些资料提及的 $U_{REF} = -(V_M + U_{LSB})$ 是一样的。

3. 集成 DAC7524

集成 DAC7524 是 R—2R T 型电阻网络型的集成电路，二进制位数为 8 位，DAC7524 的内部电路结构和它的单极性应用的逻辑电路框图如图 4.19 所示。



(a)内部电路结构



(b)单极性输出连线图

图 4.19 DAC7524 电路

图 4.19(a)虚线框内部分为 DAC 电路内部结构,其中 $D_0 \sim D_7$ 是 8 位二进制数输入端, \overline{CS} 为片选输入端, \overline{WR} 为二进制数输入控制, \overline{CS} 、 \overline{WR} 均为低电平有效。OUT₁ 相当于 ΣI_1 , 和外接运放反相输入端相连, OUT₂ 相当于 ΣI_2 , 应和运放的同相输入端相连并接地, R_1 是用来降压的, 当实际基准电源 U'_{REF} 大于 $(V_M + U_{LSB})$ 时, 可用 R_1 降压, 使得 U_{REF} 满足要求, 此时 R'_f 不要。当 $U'_{REF} < (V_M + U_{LSB})$ 时, R_1 不要, 在 R_f 上串连 R'_f 可使运放的放大倍数增大, 通过调试使得当 $D_7 \sim D_0$ 全部为 1 时, $u_o = V_M(U_{FSR})$ 。当 U_{REF} 为正电压时, u_o 输出为负电压, 当 U_{REF} 为负电压时, u_o 输出正电压, 外接运放的电源电压为 $\pm 15V$, 在 R_f 到 OUT₁ 之间接一个小电容 C , 是为了消除高频干扰或高频振荡。

4.2.2 D/A 转换器的双极性输出

1. DAC 实现双极性输出的方法

实现 D/A 转换器双极性输出的方法有好多种, 例如用数字量输入的最高位的状态去控制基准电压的极性, 这个方法适用于可以加正负极性基准电压的 D/A 转换器, 如 DAC7524、DAC0832 等。缺点是要用两个等值、极性相反的基准电压, 转换电路也比较复杂, 最简单

的方法是把单极性输出电压 $\times(-2)$ 和 $U_{REF}\times(-1)$ 相加，或者把单极性输出电压 $\times(-1)$ 和 $U_{REF}\times(-0.5)$ 相加，表 4.9 和表 4.10 是这两种方法的单极性输出转换成双极性输出和输入数字量的对应关系表，其中 D/A 是三位数字量输入， $U_{REF}=8V$ ，单极性输出时 $U_{LSB}=1V$ 。

表 4.9 $u_{o双}=u_{o单}\times(-2)+U_{REF}\times(-1)$ 时 $u_{o单}$ 与 $u_{o双}$ 与数字量对应关系表

输入数字量	$u_{o单}$	$u_{o单}\times(-2)$	$U_{REF}\times(-1)$	$u_{o双}=u_{o单}\times(-2)+U_{REF}\times(-1)$
000	0	0	-8V	-8V
001	-1V	+2V	-8V	-6V
010	-2V	+4V	-8V	-4V
011	-3V	+6V	-8V	-2V
100	-4V	+8V	-8V	0
101	-5V	+10V	-8V	+2V
110	-6V	+12V	-8V	+4V
111	-7V	+14V	-8V	+6V

表 4.10 $u_{o双}=u_{o单}\times(-1)+U_{REF}\times(-0.5)$ 时 $u_{o单}$ 与 $u_{o双}$ 与数字量对应关系表

输入数字量	$u_{o单}$	$u_{o单}\times(-1)$	$U_{REF}\times(-0.5)$	$u_{o双}=u_{o单}\times(-1)+U_{REF}\times(-0.5)$
000	0	0	-4V	-4V
001	-1V	-1V	-4V	-3V
010	-2V	-2V	-4V	-2V
011	-3V	-3V	-4V	-1V
100	-4V	-4V	-4V	0
101	-5V	-5V	-4V	+1V
110	-6V	-6V	-4V	+2V
111	-7V	-7V	-4V	+3V

由以上两个表可以看出，按表 4.9 转换，双极性输出时， U_{LSB} 比单极性输出时扩大了一倍，但双极性的正极性满刻度量程和负极性满刻度量程和单极性输出近似相等。而按表 4.10 转换，双极性输出时的 U_{LSB} 和单极性一样，但双极性输出时正、负满刻度量程是单极性的一半。两种方法，读者可根据实际需要选用。

2. DAC7524 的双极性输出

图 4.20 是 DAC7524 的双极性输出的连线图，图中的接法是 $u_{o双}=u_{o单}\times(-2)+U_{REF}\times(-1)$ 的转换方法，注意这里的 U_{REF} 是直接加到 15 脚上的电压，不是外加基准电压 U'_{REF} 。如果把图中 R_4 改成 $10K\Omega$ ，把 R_5 改成 $4K\Omega$ ，则转换方式即成为 $u_{o双}=u_{o单}\times(-1)+U_{REF}\times(-0.5)$ 方式。图中的电阻应用数值精确、温度系数小的精密金属膜电阻，外接运放应选带调零的运放。

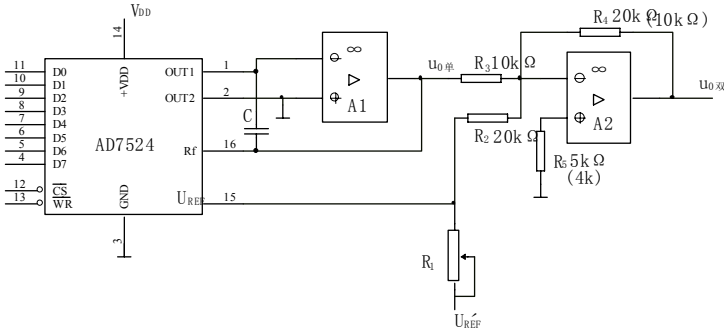


图 4.20 AD7524 双极性输出连接图

图 4.20 的部分数字量输入与 $u_{o单}$ 和 $u_{o双}$ 的对应关系表如表 4.11。

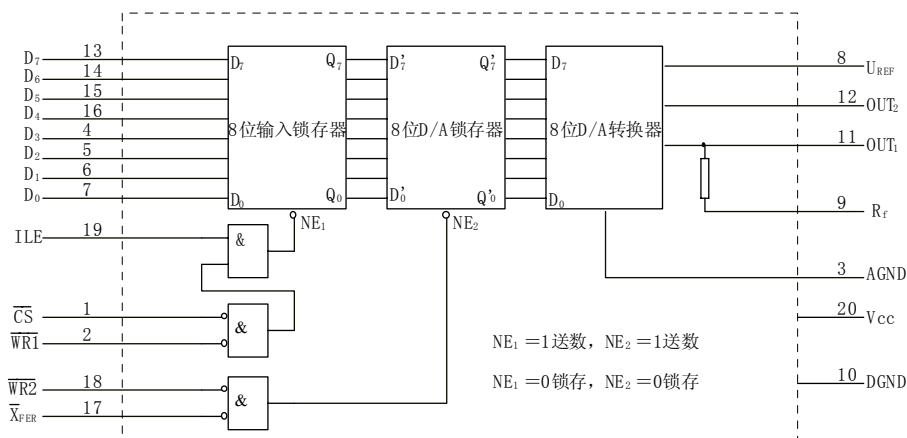
表 4.11 $u_{o单}$ 、 $u_{o双}$ 与数字量对应关系表

输入数字量	$u_{o单}$	$u_{o双}$
00000000	0	-256 U_{LSB}
00000001	-1 U_{LSB}	-255 U_{LSB}
01111111	-127 U_{LSB}	-2 U_{LSB}
10000000	-128 U_{LSB}	0
10000001	-129 U_{LSB}	+2 U_{LSB}
11111110	-254 U_{LSB}	+252 U_{LSB}

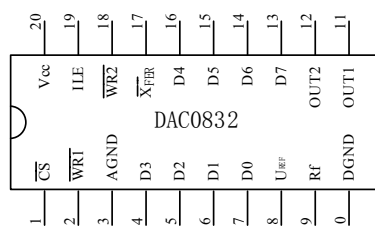
11111111	$-255U_{LSB}$	$+254U_{LSB}$
----------	---------------	---------------

3. DAC0832 转换器

(1) DAC0832 转换器的一般介绍。DAC0832 转换器和 DAC7524 一样，也是 8 位 R-2R T 型电阻网络型 D/A 转换器，基准电压 U_{REF} 也是为 $-10V \sim +10V$ ，功耗为 20mW，所不同的是 DAC0832 的电源电压 V_{CC} 为 $+5V \sim +10V$ ，最高为 $+15V$ ，具有双缓冲器，另外 DAC0832 的控制输入要比 DAC7524 多，其作用主要和微机 8051 或 8098 的输出兼容，即可直接和微机输出相连，中间无需增加外部电路。在使用时有三种使用方式，即直通式、单缓冲式和双缓冲式，DAC0832 的内部结构和引脚排列如图 4.21 所示。



(a) DAC0832 内部结构图



(b) DAC0832 引脚排列图

图 4.21 DAC0832 内部结构图和引脚排列图

DAC0832 引脚的名称及功能说明如下：

$D_0 \sim D_7$ 为 8 位二进制数字量输入端。

V_{CC} 为芯片工作电源， V_{CC} 的范围为 $+5V \sim +10V$ ，最大可达 $+15V$ 。

AGND 为模拟量地。

DGND 为数字量地，两个地线在外部应一点共地。

U_{REF} 为标准电压，根据 U_{LSB} 或 $U_{FSK}(V_M)$ 的要求确定， U_{REF} 可供选择的范围为 $-10V \sim +10V$ 。

OUT₁ 相当于 ΣI_1 ，应用时应和外接运放的反相输入 \ominus 相连接。

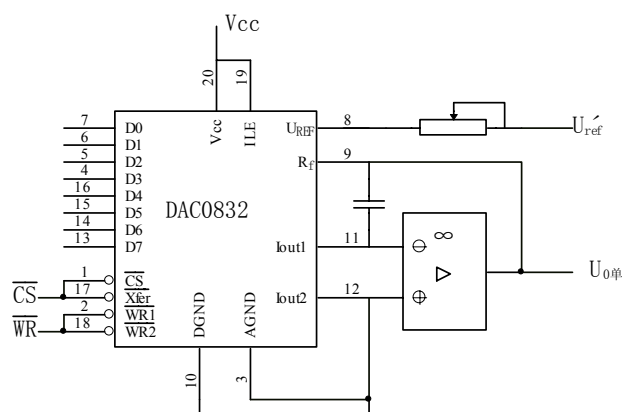
OUT₂ 相当于 ΣI_2 ，应用时应和外接运放的同相输入 \oplus 相连接。

R_f 为外接运放的负反馈电阻引线，应用时应和运放的输出端相连接。

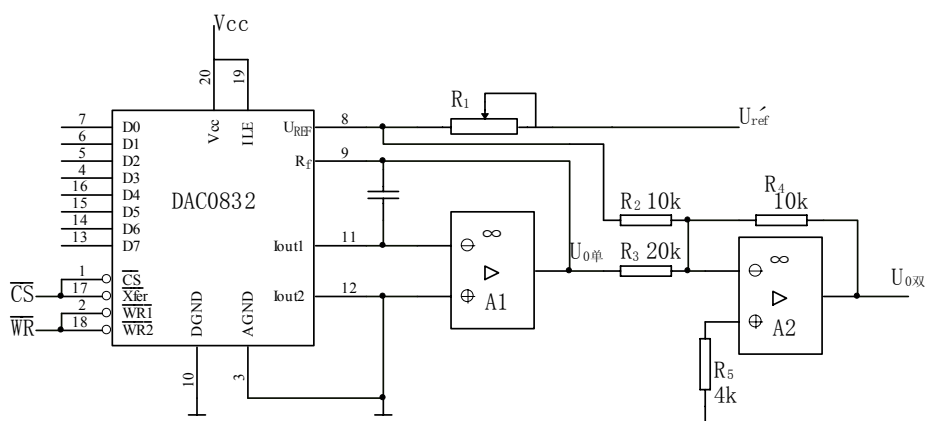
ILE、 \overline{CS} 、 $\overline{WR_1}$ 是 8 位输入锁存器的控制输入，当 ILE=1， $\overline{CS} = \overline{WR_1} = 0$ 时，内部的 NE₁=1，此时外部的数字量被送进 8 位输入锁存器；当 ILE=1， $\overline{CS} = \overline{WR_1} = 0$ 中有一个条件不满足时，内部 NE₁=0，8 位输入锁存器被封锁，外部输入数字量的变化对 8 位输入锁存器的输出没有影响。

\overline{WR}_2 、 \overline{X}_{FER} 是 8 位 D/A 锁存器的控制输入，当 $\overline{WR}_2 = \overline{X}_{FER} = 0$ 时，内部 $NE_2=1$ ，8 位输入锁存器输出的数据 $Q_0 \sim Q_7$ 被送进 8 位 D/A 锁存器，此时 8 位 D/A 锁存器的输出直接送给 8 位 D/A 转换器进行 D/A 转换；当 \overline{WR}_2 、 \overline{X}_{FER} 中有一个不为 0 时， $NE_2=0$ ，8 位 D/A 锁存器被封锁，8 位输入锁存器的输出信号的变化对 8 位 D/A 锁存器的输出没有影响。

(2) DAC0832 的单极性输出电路。DAC0832 的单极性输出电路如图 4.22(a) 所示，其中把 ILE 接高电平，把 \overline{CS} 和 \overline{X}_{FER} 连在一起，作为片选控制 \overline{CS} ，把 \overline{WR}_1 、 \overline{WR}_2 连在一起作为两个缓冲器的公共选通控制输入 \overline{WR} ，这种应用方式属于单缓冲式，这样连接以后 DAC0832 的功能几乎和 DAC7524 一样。



(a) DAC0832 单极性输出电路图



(b) DAC0832 双极性输出电路图

图 4.22 DAC0832 单、双极性输出电路图

当 $\overline{CS} = 1$ 时两个缓冲器均被封锁，相当于该芯片未被选中。

当 $\overline{CS} = 0$ 、 $\overline{WR} = 1$ 时，两个缓冲也均被封锁，当 $\overline{CS} = 0$ ，给 \overline{WR} 一个负脉冲，则外部数字量通过两个缓冲器被送到 8 位 D/A 转换器进行 D/A 转换，负脉冲结束后，外部数字量的变化不会对 8 位 D/A 转换器的输入产生影响。

(3) DAC0832 的双极性输出电路。DAC0832 的双极性输出电路几乎和 DAC7524 一样，

DAC0832 采用单缓冲工作方式时的双极性输出电路如图 4.22(b) 所示。

4.2.3 D/A 应用电路举例

DAC 电路的主要应用当然是作计算机或数字系统的接口电路,除此之外也可以应用在需要把数字量转换成模拟量的场合,本节以简易数控直流电源为例来介绍 DAC 电路的应用,这个例子是全国大学生电子设计竞赛题目。除 DAC 以外的电路,也都是课本中所介绍过的,是一个比较综合性的例子。题目的基本要求是:

- (1) 输出电压范围: $0 \sim +9.9\text{V}$, 步进 0.1V , 纹波不大于 10mV 。
- (2) 输出电流 $\geq 500\text{mA}$ 。
- (3) 输出电压由数码管显示。
- (4) 由两个键分别控制输出电压的步进增减。
- (5) 为了实现上述要求,自制一台直流稳压电源输出 $\pm 15\text{V}$, $+5\text{V}$ 。(第 5 点要求在本例中不作要求,而是直接提供)

按基本要求设计的简易数控直流电源的电原理图如图 4.23 所示。在图 4.23 所示电路中,所有数字电路的电源电压均为 $+5\text{V}$,运放的电源电压为 $\pm 15\text{V}$,DAC0832 的 U'_{REF} 由 -15V 经稳压管稳压产生, $|U'_{\text{REF}}| \leq 10\text{V}$ 。

图 4.23 电路由三个部分及一些外围电路组成:

其一是由两块同步十进制可逆计数器 CC40192、两块原码输出的数字显示译码器 CC14547 和两块共阴数码管 BU205 组成的一百进制可逆计数、译码、驱动、显示电路。它的功能是同步地显示数控电源输出电压的标称值。

其二是由两块同步十六进制可逆计数器 CC40193 和 DAC0832 及运放 A_1 组成数模转换电路。其中两块 CC40193 组成的 8 位二进制可逆计数器的输出作为数模转换器的数字量输入,DAC0832 和 A_1 组成 D/A 单极性输出。合适选择 U'_{REF} 和调节 R'_f 及 R_5 ,使 D/A 转换的 $U_{\text{LSB}} = 0.1\text{V}$ 。

其三是由 A_2 和 V_1 、 V_2 组成的串联型稳压电路,其中 A_2 是比较放大单元, V_1 、 V_2 组成的复合管为调整管, V_1 可用 9013, V_2 要求 $I_{\text{cm}} > 0.5\text{A}$,最好选 $I_{\text{cm}} > 1\text{A}$ 的管子,耐压应大于 20V ,并加一块散热片, C_4 可取 $1000\mu\text{f}/50\text{V}$, R_3 是 V_2 的 I_{CBO} 泄放电阻,取 $5 \sim 10\text{K}\Omega$ 即可, C_3 是高频滤波电容,可取 $0.1\mu\text{f}/16\text{V}$ 。

图 4.23 所示电路有三个信号对两组计数器进行预置控制,预置电压为 $0.1\text{V} \times 50 = 5\text{V}$,这三个预置数控制信号分别为 G_2 输入端的 A 、 $\overline{Q_C}$ 、 $\overline{Q_B}$,其中 A 是开机预置,由 R_1 、 R_2 、 V_{D1} 、 G_1 、 C_1 、 C_2 产生。当刚加电源时, 5V 电源对 C_1 充电,当 V_{C1} 上升到 2.5V 时, G_1 产生一个负跳变,通过 C_2 、 R_2 微分在 A 产生一个负尖顶脉冲,对两组计数器进行异步预置, $\overline{Q_C}$ 、 $\overline{Q_B}$ 是一百进制计数器的进位和借位负脉冲输出,当步进增电压增到 9.9V 时,再给一个步进增信号,则产生 $\overline{Q_C}$ 负脉冲的上升边把数控电源预置成 5.0V ,同理当步进减电压减到 0V 时,再给一个步进减信号, $\overline{Q_B}$ 送出负脉冲的上升边,同样把数控电源预置成 5.0V 。

步进增和步进减信号是基本 RS 触发器产生的点动负脉冲,点动负脉冲的上升边对两个计数器进行计数,其中 S_1 按键为步进增按键, S_2 为步进减按键。

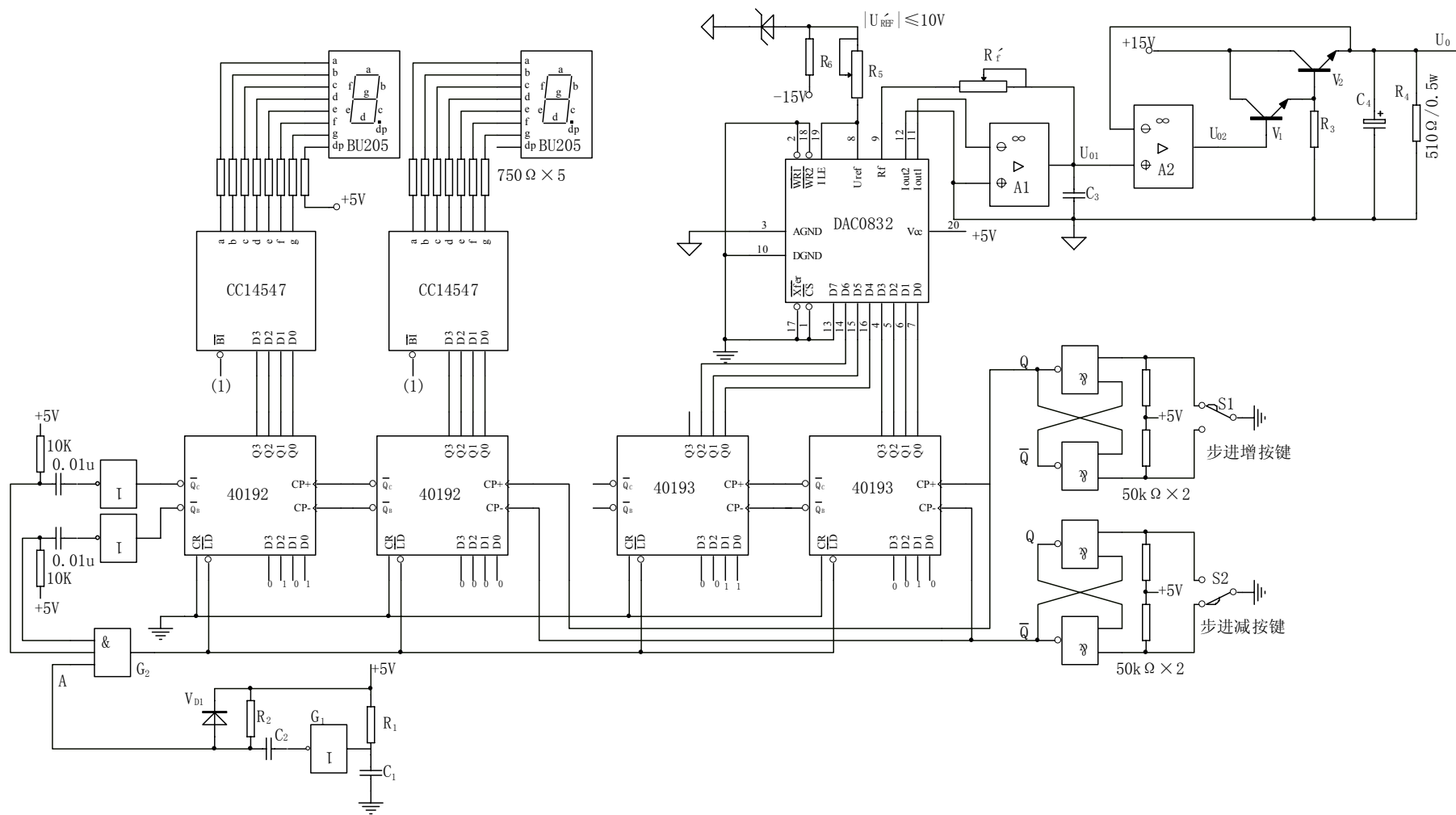


图 4.23 简易数控直流电源电路图

4.3 模数转换器(A/D 或 ADC)

模数转换器(Analog to Digital Converter)简称 A/D 或 ADC，模数转换器是把模拟量转换成数字量的电子器件，ADC 和 DAC 一样也是计算机控制系统中必不可少的接口电路，把模拟量转换成数字量的示意图如图 4.24 所示。

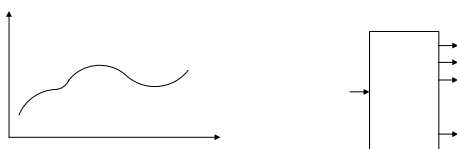


图 4.24 把模拟量转换成数字量的示意图

4.3.1 采样与保持、量化与编码的概念

1. 采样与保持

由于模拟量是一个在时间上连续的信号，因此把模拟量转换成数字量实际上只能是在模拟量上取出能表示这个模拟量的一系列时刻的幅值，然后把把这些一系列的模拟量的幅值转换成数字量，取出模拟量一系列时刻的幅值的过程称采样。

把采样到的某一时刻的模拟量的幅值转换成数字量需要有一定的时间，因此，在转换过程中，把采样幅值保持一段时间的环节称为保持。

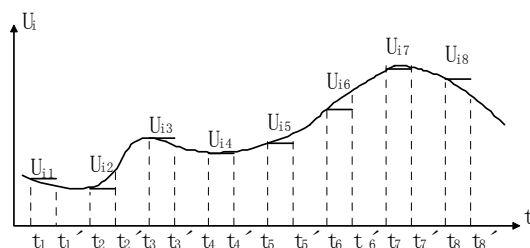


图 4.25 对模拟量进行采样保持的示意图

对模拟量采样并保持的示意图如图 4.25 所示。图中 $U_{i1} \sim U_{i8}$ 是一系列时刻 $t_1 \sim t_8$ 对模拟量采样到的幅值，其中， $t_2 - t_1 = t_3 - t_2 = \dots = t_8 - t_7 = T_{\text{采}}$ ， $T_{\text{采}}$ 称为采样周期，含采样时间

和保持时间，采样周期 $T_{\text{采}}$ 的倒数称为采样频率，即 $f_{\text{采}} = \frac{1}{T_{\text{采}}}$ ，决定 $f_{\text{采}}$ 应为多大的原则称

采样定理。所谓采样定理，是指为了保证采样信号能正确无误地表示原来模拟量。通过证明， $f_{\text{采}}$ 和模拟信号的最高频率 f_{imax} 必须满足的关系为：

$$f_{\text{采}} \geq 2f_{\text{imax}} \quad (4-3)$$

在实际操作中，一般取 $f_{\text{采}} = (5 \sim 10)f_{\text{imax}}$ ， $f_{\text{采}}$ 太高或太低会使转换电路容量造成浪费或使处理电路变得复杂。

在图 4.25 中， $t'_1 - t_1 = t'_2 - t_2 = \dots = t'_8 - t_8 = t_{\text{保}}$ ， $t_{\text{保}}$ 称为采样保持时间， $t_{\text{保}}$ 必须大于转换电路完成一次模拟量转换成数字量所必须的时间，显然 $t_{\text{保}} < T_{\text{采}}$ 。不同型号的 ADC 芯片完成一次转换的时间是不同的，读者在应用时，应根据手册提供的参数来确定 $t_{\text{保}}$ 和 $T_{\text{采}}(f_{\text{采}})$ 。

2. 量化与编码

所谓量化是指把取样到的模拟信号的幅值表示为某一最小单位电压整数倍的过程,显然最小单位电压就是数字量最低位(LSB)的1所代表的模拟量的大小,即 U_{LSB} 。

把各个采样到的模拟量幅值量化后的整数倍的数量,即量化的结果用代码(可以是二进制,也可以是其他进制)表示出来,这个过程称为编码,这些代码就是 A/D 转换的输出。

由于模拟量各个采样幅值不一定能被 U_{LSB} 整除,因此量化结果所代表的模拟量的值和实际值有差异,这个差异称为量化误差。量化误差和 U_{LSB} 的大小及量化方式有关,不难理解,舍尾取整的量化方式的量化误差 $\Delta U_M \leq |U_{LSB}|$, 且 ΔU_M 必大于等于零,四舍五入量化

方式的量化误差 $\Delta U_M \leq \left| \frac{1}{2} U_{LSB} \right|$, ΔU_M 可正可负。

和 DAC 有单极性输出和双极性输出相对应, ADC 有单极性输入和双极性输入两种方式,目前生产的 ADC 芯片都有两种输入方式可供选择。

4.3.2 采样保持电路

目前生产的较新的 ADC 芯片,内部带有采样保持电路,例如 ADC1674,但是常用芯片中,还有不少不带采样保持电路,例如 ADC574A、ADC674A、ADC674B、ADC774B 等。因此在使用这些不带采样保持电路的芯片时,必须外接采样保持电路。

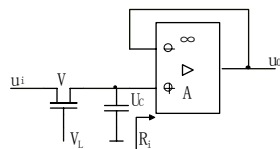


图 4.26 简单的采样保持电路图

最简单的采样保持电路如图 4.26 所示。在图中,当 V_L (采样选通信号)为高电平时, V 导通, u_i 向 C 充电,使 $U_c = U_{i采}$, A 是由运放接成的电压跟随器,所以 $u_o = U_c = U_{i采}$, 电容 C 是漏电很小的钽电容,当 V_L 变为低电平时,由于 V 截止,电压跟随器的输入电阻 R_i 又很大,所以电容上的电压 $U_c = U_{i采}$, 被保持,即 $u_o = U_c = U_{i采}$ 也被保持着。

通过对图 4.26 这样简单的采样保持电路的介绍,读者可以比较容易理解采样保持电路的工作过程,但是这样简单的电路是不足的,关键是充电(即采样)时,对被采样的模拟信号是有影响的,因此实用的集成采样保持电路都在图 4.26 的电路上作了改进。图 4.27 是集成采样保持电路 LF398 的逻辑框图的连线图, LF198 和 LF398 完全一致。

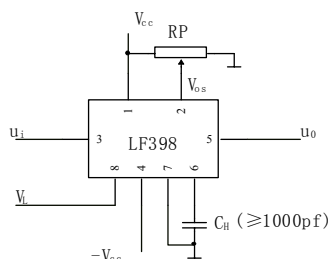


图 4.27 集成采样保持电路的引脚连线图

图 4.27 中 V_{CC} 、 $-V_{CC}$ 为内部电路运放的正负电源。

u_i 为模拟信号输入, u_o 是采样保持输出电压。

V_{os} 是调节输出零点的引脚。

RP 是外接电阻(几万欧姆)。

C_H 是外接保持电容。

V_L 是采样检测脉冲, TTL 电平即可。 V_L 为高电平时采样, V_L 为低电平时保持。

采样时间和 C_H 值有关, 当 $C_H=1000\text{pF}$ 时, $t_{\text{采}}\approx 10\mu\text{s}$; 当 $C_H=1\mu\text{f}$ 时, $t_{\text{采}}\approx 12\text{ms}$ 。

4.3.3 用逐次逼近 A/D 的框图说明 A/D 的工作过程和有关参数的物理意义

A/D 转换器的种类十分繁杂, 通常有并联比较型 A/D 转换器(转换速度最快)、反馈比较型中的逐次逼近 A/D 转换器(速度中等, 应用最广泛, 芯片型号最多)和间接转换型中的双积分型 A/D 转换器(速度最慢, 精度最高), 但是在控制系统中, 作为接口使用的 ADC, 大都是逐次逼近 A/D 转换器。本节以逐次逼近 A/D 转换器为例, 介绍它的组成结构和工作过程, 在此基础上, 再通过介绍几种常用的逐次比较型 A/D 转换器芯片, 使读者熟悉几种芯片, 学会使用方法。

1. 逐次逼近 A/D 转换器的结构和工作过程

所谓逐次逼近 A/D 转换器是指由 DAC 从高位到低位逐位增加位数而转换出来的电压 u_{02} , 和某个采样保持的电压值 u_{01} 进行比较, 从而确定采样保持电压所对应的数字量的一种 D/A 转换电路, 图 4.28 是一个逐次逼近 A/D 转换器电路结构示意图。

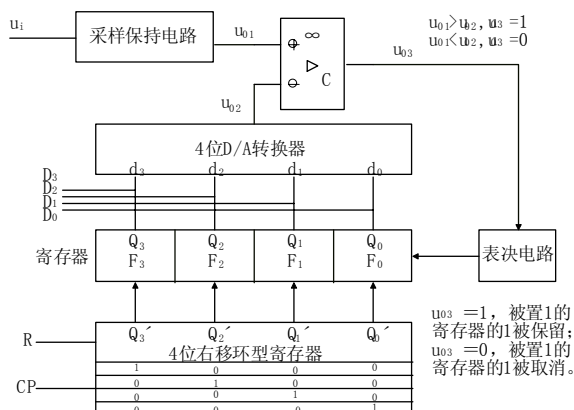


图 4.28 4 位逐次逼近 A/D 转换器电路结构示意图

在图 4.28 中, u_i 是模拟量, u_{01} 是采样保持电路输出的某个采样到的模拟量的值, u_{02} 是由 $d_3d_2d_1d_0$ 转换成的模拟量, 其工作过程是这样的:

首先使 4 位右移环型寄存器的输出 $Q'_3Q'_2Q'_1Q'_0$ 为 1000, R 为一次转换开始的信号, 在一次转换开始后, 在 CP 的作用下 $Q'_3Q'_2Q'_1Q'_0$ 为 1000 中的 1 向右移动, 1 每移过一位就使对应的寄存器被置 1。当第一位(最高位)寄存器被置 1 以后, $Q_3Q_2Q_1Q_0$ 为 1000, 则 D/A 转换器的输出 $u_{02}=u_{021000}$, 接着比较器 C 对 u_{01} 和 u_{021000} 进行比较, 若 $u_{01} > u_{021000}$, 则 F_3 的 $Q_3=1$ 被保留下来(如果 $u_{01} < u_{021000}$, 则 $Q_3=0$), 然后再在 CP 的作用下, F_2 被置 1, D/A 输出 $u_{02}=u_{021100}$, C 对 u_{01} 和 u_{021100} 再行比较, 如此一次一次比下去直到最低位比较结束, 此时的 $Q_3Q_2Q_1Q_0$ (即 $d_3d_2d_1d_0$) 为 A/D 转换器一次转换的数字量输出, 显然 A/D 转换器的 U_{LSB} 就是电路中的 D/A 转换器的 U_{LSB} 。

2. ADC 转换器 ADC574 系列简介

ADC574 系列均属逐次逼近 A/D 转换器, 目前还被广泛使用的主要有 ADC574A、ADC674A、ADC674B、ADC774B, 这一系列的各个型号的芯片的管脚引线是一样的, 除有一些性能指标外, 许多特点和性能是相同的。

ADC574 系列的共同特点和参数如下：

- (1) 12 位数字量输出，通过选择控制，既可工作在 12 位输出方式，也可工作在 8 位输出方式。
- (2) 具有可控三态输出缓冲器，数字量输入输出电平为 TTL 电平。
- (3) 12 位数字量可一次读出，也可分两次读出，便于作为 8 位微机或 16 位微机的接口。
- (4) 具有 +10.000V 的内部基准电压源，其最大误差为 +1.2%，输出电流可达 15mA。
- (5) 内部具有时钟产生电路，不需要外接脉冲源。
- (6) 通过改变外部接线，被转换的模拟量可以单极性输入，也可以双极性输入。单极性输入时，满量程输入电压有 0V~+10V 和 0V~+20V 两种，从不同引脚输入；同样，双极性输入时，满量程输入有 0V~±5V 和 0V~±10V 两种，从不同引脚输入。
- (7) 输出码制：单极性输入时，转换后输出的数字量为原码；双极性输入时，转换后输出的数字量为偏移二进制码。

ADC574 系列中各芯片不同的地方主要是最大转换时间上不同，ADC574A 转换时间为 35us，ADC674A 和 ADC674B 为 15us，ADC774B 为 8us。

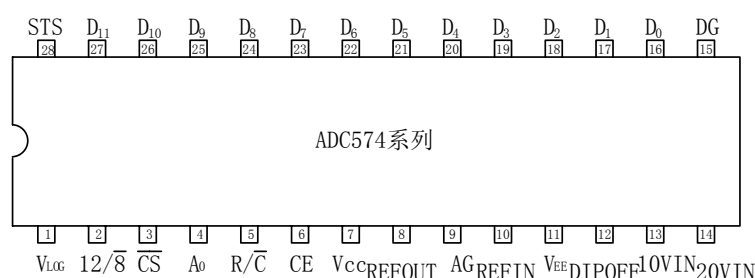


图 4.29 ADC574 系列芯片引脚排列图

ADC574 系列的引脚排列如图 4.29 所示。引脚名称及功能说明：

V_{LOG} 为逻辑电路供电输入，为 +5V。

$12/8$ 为数据模式选择输入，当此引脚为高电平(+5V)时，为 12 位数据并行输出(如果启动的是 8 位转换，则就是 8 位数据并行输出)；当此引脚为低电平时(即接 15 脚 DG)，与引脚 4 即 A_0 配合，把 12 位数据分两次输出，如何配合见表 4.12， $12/8$ 的高低电平不能与 TTL 电平兼容。

\overline{CS} 为片选输入， $\overline{CS}=0$ 该芯片被选中， $\overline{CS}=1$ 该芯片不工作。

A_0 为字节地址/短周期控制输入，其功能见表 4.12。

R/\overline{C} 为读/转换选择输入， $R/\overline{C}=1$ ，允许读出结果， $R/\overline{C}=0$ 允许 A/D 转换。

CE 为芯片启动输入，当 $CE=1$ 时，允许转换或读取结果，详见表 4.12。

V_{CC} 和 V_{EE} 为正负电源引脚， V_{CC} 为 +12V~+15V， V_{EE} 为 -12V~-15V。

REFOUT 为 +10V 基准电压输出，基准电压由电路内部产生。

REFIN 为基准电压输入脚，即经此脚把基准电压引入芯片内部的 12 位 DAC 电路，使 DAC 电路能正常工作。

AG 为模拟信号地及模拟电路(运放等)±15V 电源的地。

DG 为数字信号地及 +5V 电源地。

DIPOFF 为双极性补偿引脚，此引脚适当连接可实现单极性或双极性输入。

10VIN(10V 量程模拟信号输入端)，对单极性输入为 10V 量程的模拟信号输入端，对双极性输入为 ±5V 模拟信号输入端。

20VIN(20V 量程模拟信号输入端), 对单极性输入为 20V 量程的模拟信号输入端, 对双极性输入为 $\pm 10V$ 量程模拟信号输入端。

$D_0 \sim D_{11}$ 为 12 位数据输出线, 其中 D_{11} 为最高位, D_0 为最低位。

STS 为状态信号输出端, STS=1 表示正在进行 A/D 转换, STS=0, 表示转换已经完成。

ADC574 系列有关引脚配合使用功能表见表 4.12。

表 4.12 \overline{CE} 、 \overline{CS} 、 R/\overline{C} 、 $12/\overline{8}$ 、 A_0 引脚配合使用功能表

CE	\overline{CS}	R/\overline{C}	$12/\overline{8}$	A_0	功能
0	×	×	×	×	不起作用
×	1	×	×	×	不起作用
1	0	0	×	0	启动 12 位转换
1	0	0	×	1	启动 8 位转换
1	0	1	接 1 脚	×	12 位数据并行输出*
1	0	1	接 15 脚	0	高 8 位数据输出
1	0	1	接 15 脚	1	低 4 位数据尾接 4 位 0 输出

注: *如果启动的是 8 位转换, 则就是 8 位数据并行输出

3. ADC1674 简介

ADC1674 也是属于 ADC574 系列, 管脚引线排列和 ADC574 系列其它型号完全一样, 但是 ADC1674 是 574 系列中性能价格比最高的产品, 不但转换速度快(最大转换时间 10us), 同时内部电路增加了采样保持电路、被转换的模拟电压可直接加在 10VIN 或 20VIN 输入端。

4. 3. 4 ADC574 系列芯片在应用时外部接线举例

ADC574 系列芯片通过外部适当连接, 可以实现单极性输入, 也可实现双极性输入。现以 ADC574A 芯片实现双极性输入、8 位数字量输出为例, 给出外部连接图, 并说明使用时应当考虑的几个问题, ADC574A 双极性输入(电压为 $-5V \sim +5V$)、8 位数字量输出的连接图如图 4.30 所示, 有关控制信号的时序图如图 4.31 所示。

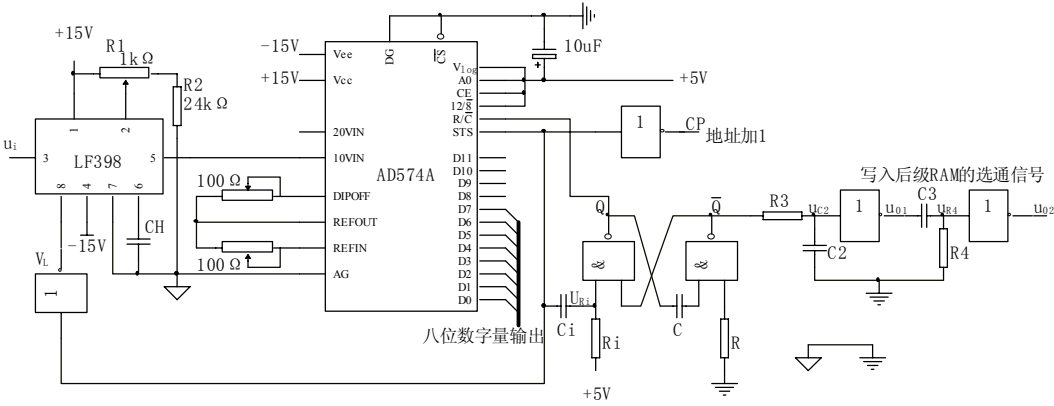


图 4.30 DAC574A 双极性输入、8 位数字量输出连接图

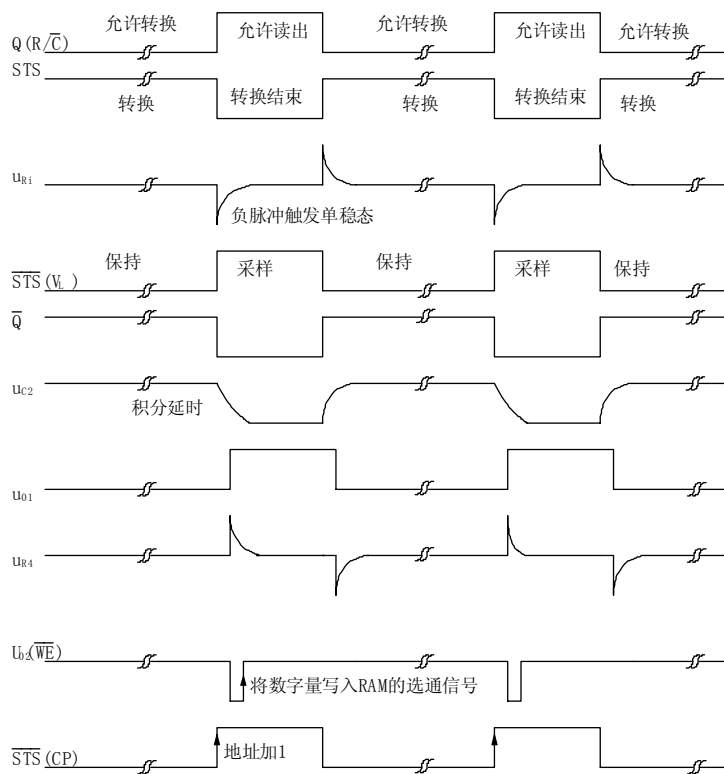


图 4.31 图 4.30 电路工作时有关信号的时序图

在应用中说明的几个问题：

(1)单极性输入时的连接。在单极性输入时，连接电路基本和图 4.30 相类似，所不同是 ADC574A 中的 REFOUT、REFIN 和 DIPOFF 和双极性输入有差别，单极性输入时，REFOUT、REFIN 和 DIPOFF 的连接如图 4.32 所示。

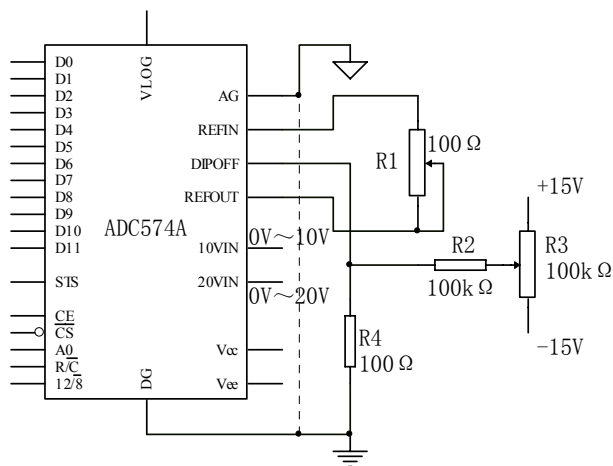


图 4.32 ADC574 单极性输入时和双极性输入外部连接区别示意图

(2) 对模拟信号的幅值和频率要求。模拟信号的最大幅值应接近 5V 而小于 5V，最大幅值太小了会影响精度，太大了超过 5V 的部分被限幅；模拟信号的频率 f_{imax} 应满足采样定

理，即 $f_{\text{采}} \geq 2f_{\text{imax}}$ ，在实际应用时一般取 $f_{\text{采}} \geq 5f_{\text{imax}}$ 。本例中 $f_{\text{采}} = \frac{1}{T_{w1} + T_{w2}}$ ，其中 T_{w1} 是单

稳态触发器的稳态时间, 显然 T_{w1} 近似等于 ADC574A 的转换时间, 约为 $35\mu\text{s}$, T_{w2} 是单稳态触发器的暂稳态时间, T_{w2} 应大于 LF398 的采样时间, 当 $C_H=1000\text{PF}$ 时, LF398 的采样时间约为 $10\mu\text{s}$, 取 $T_{w2}\approx 15\mu\text{s}$ 。在调整电路时应根据 $T_{w2}\approx 0.7RC$ 的关系调节 RC 的值, 使

$T_{w2}\approx 15\mu\text{s}$, 根据以上说明, 在本例中, $f_{\text{采}} = \frac{1}{T_{w1} + T_{w2}} = \frac{1}{35\mu\text{s} + 15\mu\text{s}} = 20\text{kHz}$, 所以本例

适用的模拟信号的频率应满足 $(f_{\text{imax}} \leq 20\text{kHz}) \div 5 = 4\text{kHz}$, 如果 f_{imax} 很低, 可以用增大单稳态触发器的暂稳态时间来减小 $f_{\text{采}}$ 。

(3)在图 4.30 中, 应把所有的数字电路“地”先连接到 A/D 转换器的 DG 引脚, 把所有模拟电路的“地”先连接到 A/D 转换器的 AG 引脚, 然后再把 DG 引脚和 AG 引脚连接起来, 否则会引入干扰。

4. 在图 4.30 中, 给出的 CP(地址加 1 信号)和 u_{02} (A/D 转换器允许读时产生的信号)是指把 A/D 转换器转换的数字量存储到 RAM 中去时而给出的, 地址加 1 是使 RAM 的地址加 1, u_{02} 实际是 RAM 写入的选通信号。

5. 在电路工作正常时, 应进行零点调整、增益调整和中点校验。即通过调节采样保持电路的“零点”和 A/D 转换器内部的基准电压, 使得当输入的模拟电压为 0V、满量程和中间值时, 与转换输出的数字量一一对应。

4.4 A/D→RAM→E²PROM→D/A 连用的案例

在 A/D→RAM→E²PROM→D/A 连用的电路前面部分加一个放筒及音频前置放大电路, 再在其后面部分加一个功放和扬声器, 即可成为一个完整的录音、存储、放音案例。由于音频前置放大电路和功放电路在模拟部分已经学过, 这里只讲 A/D→RAM→E²PROM→D/A 连用部分。

4.4.1 采用本案例教学的目的、要求和教学方法

1. 目的和要求

A/D、RAM、E²PROM、D/A 是大规模集成电路, 引脚多, 功能复杂。特别是有关控制输入的时序关系不能有任何差错, 初次使用比较困难, 但是这些大规模集成电路在数字系统、单片机控制系统、计算机控制系统中均要用到。然而根据传统的数字电子技术教材, 学过这一部分内容的人几乎都碰到在实际使用这些大规模集成电路时感觉难以下手, 分析其原因, 关键是偏重原理, 缺少实践。高等职业教育教材应强调应用性。为此在第 4 章的前半部分, 从应用的角度出发, 比较详细地介绍了目前常用芯片的功能。在此基础上, 再通过本案例的实践, 希望在数字电路的教学过程中, 能使读者学会这些大规模集成电路的应用。

在进行案例实训前, 读者应仔细全面地阅读所用芯片引脚的功能说明, 特别是一些控制引脚的组合功能的时序关系和时间参数, 不但要理解, 而且要熟记。

2. 教学方法

有条件时, 可以通过安装调试一个完整的连用案例, 也可以把案例分成几个部分, 只安装调试其中的一个部分, 或交叉进行各个部分, 这几个部分如下:

(1) A/D→D/A 连用, 即用一个 500HZ、幅度合适的正弦信号作为模拟量输入, 通过 A/D 转换器转换成数字量, 再实时地把数字量输送给 D/A 转换器, 还原成和输入一致的模拟量。

(2) A/D→RAM→E²PROM 连用, 即用一个 300HZ、幅度合适的正弦信号作为模拟量输入, 通过 A/D 转换成数字量, 并存在 SRAM 中。再把 SRAM 中的数字量转存到 E²PROM

中去，要求选用存储器容量较大且一致的 SRAM 和 E²PROM 芯片。

(3)E²PROM→D/A 连用，即把 E²POM 中的数字量按 A/D 转换器的采样速率送给 D/A 转换器转换成双极性输出的模拟量。

4. 4. 2 各部分连用案例

1. A/D→D/A 连用案例

(1) A/D→D/A 连用的组成框图和参考电路图如图 4.33 和图 4.34 所示。

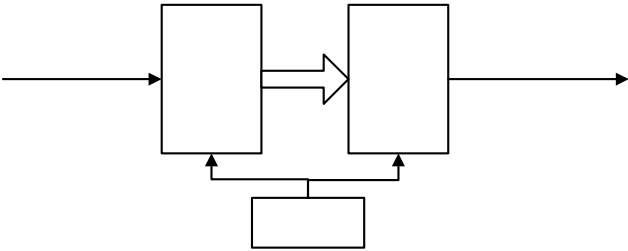


图 4. 33 A/D→D/A 连用的组成框图

双极性输

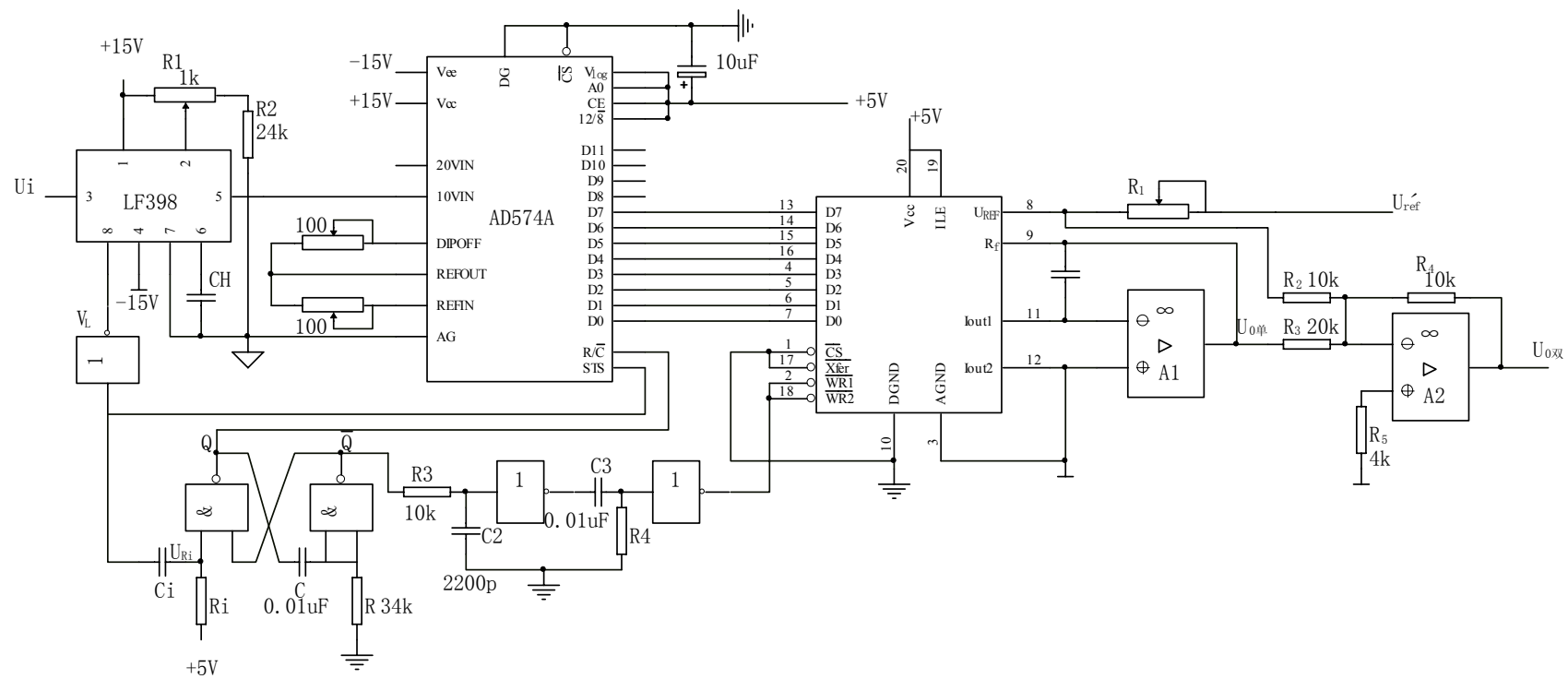


图 4.34 A/D→D/A 连用的参考电路图

(2)图 4.34 工作过程的简单说明。当加上电源后,由于单稳态触发器处于稳态 $Q=0$ 、 $\bar{Q}=1$,使 $R/\bar{C}=Q=0$,AD574A 允许转换,此时状态信号输出 $STS=1$,使 LF398 的 $V_L=0$ 而处于保持状态。AD574A 的转换时间 $T_{w1}\approx 35\mu s$,当转换结束后,STS 由 1 变为 0,STS 的下降边触发单稳态进入暂稳状态,实际上单稳态的稳态时间就是 T_{w1} 。进入暂稳态后 $Q=1$ 、 $\bar{Q}=0$,此时 LF398 的 $V_L=1$ 而进行采样,其采样时间约为 $10\mu s$ 。单稳态 \bar{Q} 的下降边经 R_3 、 C_2 延时约 $1.5\mu s$ 后,向 D/A 转换器 DAC0832 的 \overline{WR} 送入一个负脉冲,使 A/D 转换器转换后的数字量通过 DAC0832 转换成双极性模拟量输出。D/A 转换器 DAC0832 的转换时间极短,约为 $1000ns$ 。单稳态的暂稳时间 T_{w2} 一方面应大于采样时间,另一方面还应由转换的信号频率决定,由于 $f_{采} = \frac{1}{T_{w1} + T_{w2}} = f_{信} \times 10$,其中本案例要求 $f_{信}=500Hz$,所以 $f_{采}=500Hz \times 10=5kHz$, $T_{采}=1/5000s=0.2ms=T_{w1}+T_{w2}$,因此要求 $T_{w2}=0.165ms$ 。本电路中,单稳态的暂稳时间 $T_{w2}\approx 0.7RC=0.7 \times 24 \times 10^3 \Omega \times 0.01\mu \approx 0.168ms$,远大于 AD574A 的采样时间,同时又满足采样频率所要求的时间。当单稳态触发器又回到稳态以后,A/D 又进行下一次转换,并不断地进行下去,每转换一次时间约为 $0.2ms$ 。

2. A/D→RAM→E²PROM 连用案例

(1)A/D→RAM→E²PROM 连用的组成框图和参考电路图如图 4.35 和图 4.36 所示。

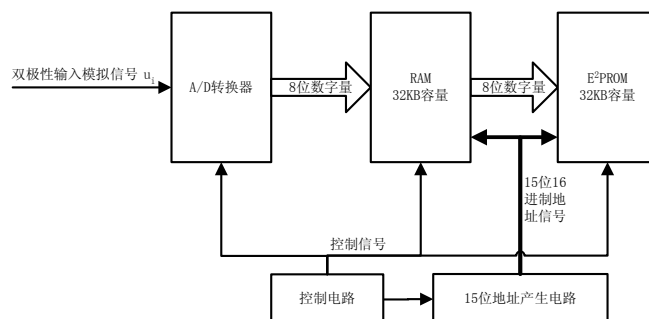


图 4.35 A/D→RAM→E²PROM 连用的组成框图

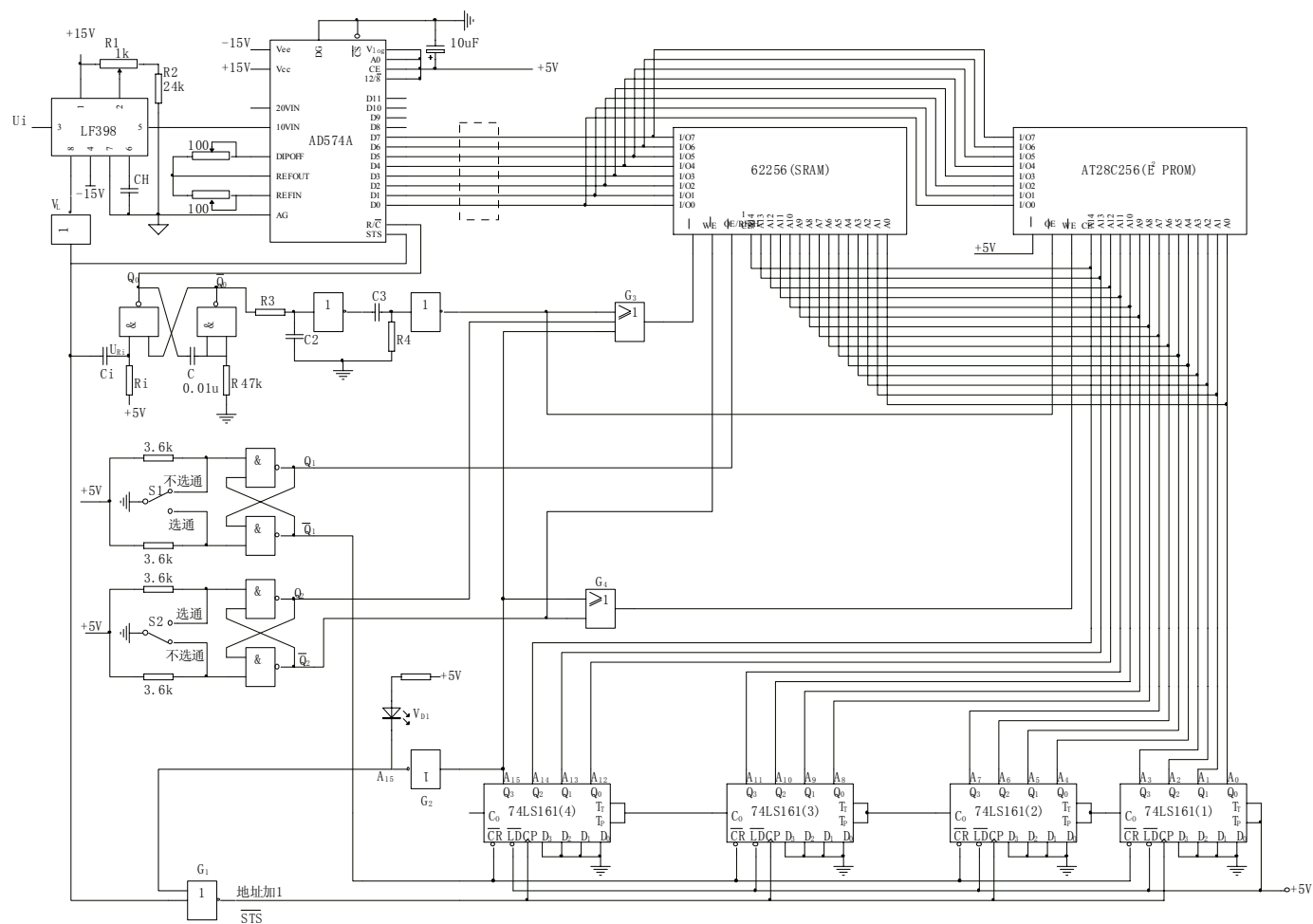


图 4.36 A/D→RAM→E²PROM 连用的参考电路图

(2) 本案例所用芯片介绍。本电路使用的 SRAM 芯片和 E²PROM 芯片分别为 HY62256 和 AT28C256。HY62256 在 4.1.5 节已作过介绍，其工作方式及功能列表可参阅表 4.7。AT28C256 芯片外形、引脚排列及功能与 E²PROM 2864A 完全兼容(参阅 4.1.4 节)，由于 AT28C256 的存储容量为 32KB，因此其地址线共需 15 根，即 A₀~A₁₄，如图 4.37 所示，对 AT28C256 的读写控制可参阅表 4.13。

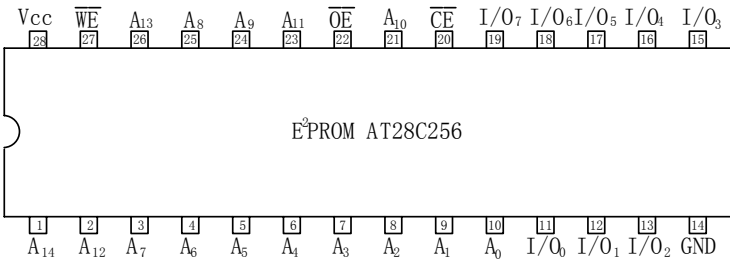


图 4.37 E²PROM AT28C256 外部引线图

表 4.13 AT28C256 控制线读写功能表

$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{WE}}$	功能描述
L	L	H	读
L	H	负脉冲	写
L	12V	L	擦除
H	×	×	数据线 I/O ₀ ~I/O ₇ 为高阻态

对 AT28C256 进行读操作时，只需保持 $\overline{\text{CE}}$ 为低电平， $\overline{\text{WE}}$ 为高电平，在 $\overline{\text{OE}}$ 引脚产生一个负脉冲，即可把地址线对应的存储单元的内容输出到数据线上。对 AT28C256 的写操作，在本案例中采用的是它的字节写入方式，保持 $\overline{\text{CE}}$ 为低电平、 $\overline{\text{OE}}$ 为高电平，在 $\overline{\text{WE}}$ 引脚上产生一个负脉冲，即可将数据写入到对应的地址单元，需要注意的是，由于采用的是字节写入方式，要保证 $\overline{\text{WE}}$ 脚出现负脉冲的低电平时间不低于 100ns(对不同型号该值有所不同)，低电平后的高电平持续时间不少于 50ns。

(3) 工作过程简单说明。本案例电路根据要求，其工作过程可分两步：

第一步，对 300Hz 的模拟信号进行 A/D 转换后的数字量存储到 SRAM 中去，当 32KB 容量被存满后自动中断。

第二步，把 SRAM 中的数字信号转存到容量和 SRAM 相同的 E²PROM 中去，转存完全部数据后自动中断。

第一步的操作步骤和电路的工作过程是这样的，在通电之前，使两个基本 RS 触发器的 S₁、S₂ 均指向不选通。当加上电源后，A/D 转换器开始转换，但因基本 RS 触发器的 Q₁=1， $\overline{\text{Q}}_1=0$ ，Q₂=0， $\overline{\text{Q}}_2=1$ ，使 SRAM 的 $\overline{\text{CE}}_1=Q_1=1$ 而未被选中，E²PROM 的 $\overline{\text{CE}}=\overline{\text{Q}}_2=1$ 也未被选中，由四块 74LS161 组成的 16 位二进制计数器，即地址加 1 电路因 $\overline{\text{CR}}=\overline{\text{Q}}_1=0$ 而被置零。

当把 S₁ 指向选通后(S₂ 保持不变)，Q₁=0， $\overline{\text{Q}}_1=1$ ，SRAM 的 $\overline{\text{CE}}_1=Q_1=0$ 、 $\overline{\text{OE}}=\overline{\text{Q}}_2=1$ 而进入写入工作状态，地址加 1 电路因 $\overline{\text{CR}}=\overline{\text{Q}}_1=1$ 而工作，工作时的时序图如图 4.38 所示。

当地址加 1 电路的地址由 0000H 增加到 8000H 时, $A_{15}=1$, 此时地址加 1 信号通过 G_1 被 $\overline{A_{15}}$ 封锁, 同时, SRAM 的写信号也被 A_{15} 封锁, 指示灯 V_{D1} 亮, 这表示 SRAM 的 32KB 容量被存满而中断。

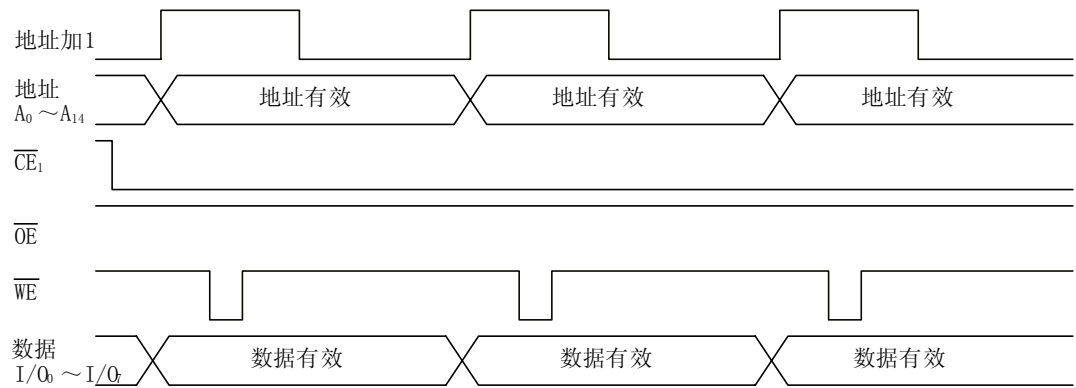


图 4.38 HY62256 写入数据时序图

第二的操作步骤和电路的工作过程是在第一步中断后, 先把 S_1 拨向不选通, 使 $\overline{Q_1}$ 对地址加 1 电路清零, 此时 V_{D1} 灭, 再把 S_2 拨向选通, 此时 SRAM 的 $\overline{WE}=1$ (因 $Q_2=1$)、 E^2 PROM 的 $\overline{CE}=0$, 再把 S_1 拨向选通。经过“三拨”后, SRAM 处在读工作状态, E^2 PROM 处在写工作状态, 地址加 1 电路仍借助于 A/D 转换电路产生的地址加 1 信号进行工作 (此时 A/D 转换电路虽不停地转换, 但转换结果不影响转存^①), 电路进入转存工作状态, 其 SRAM 和 E^2 PROM 转存时的时序图如图 4.39 和图 4.40 所示。当地址由 0000H 增加到 8000H 时 $A_{15}=1$, $A_{15}=1$ 的出现同时封锁 G_1 和 G_4 , 并使 V_{D1} 亮, 转存中断, 这表示 SRAM 中的 32KB 的数字量全部转存到了 E^2 PROM 中去, 至此时可关断电源。

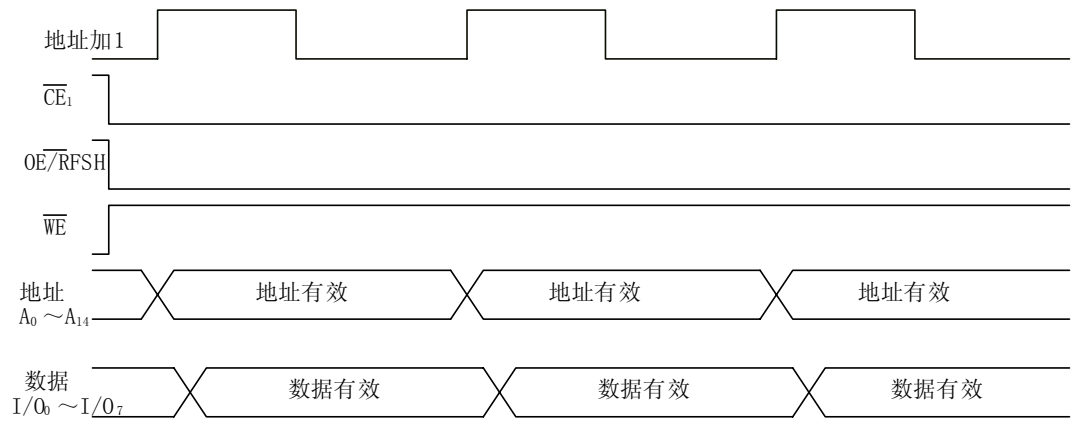


图 4.39 HY62256 读时序图

^① ADC574A 的 $D_0 \sim D_7$ 和 SRAM I/O 口连线中间的虚线方框, 表示 8 个缓冲器, 当把转换数字量存入 SRAM 时, 缓冲器直通, 当转存时缓冲器不通。

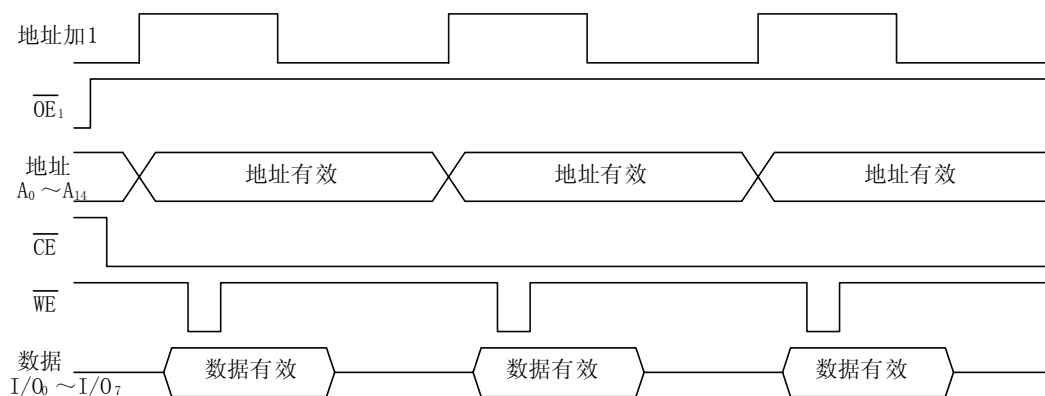


图 4.40 AT28C256 写时序图

(4)有关参数的计算

①单稳态暂稳时间 T_{w2} 的计算。由于 A/D 转换器是对 300Hz 的模拟信号进行转换，所以 $f_{\text{采}} = f_{\text{信}} \times 10 = 300\text{Hz} \times 10 = 3\text{KHz}$ ， $T_{\text{采}} = 1/f_{\text{采}} \approx 0.33\text{ms}$ 。单稳态稳态时间即为 A/D 转换一次的时间 $T_{w1} = 35\mu\text{s}$ ，单稳态暂稳时间 $T_{w2} = T_{\text{采}} - 35\mu\text{s} \approx 0.3\text{ms}$ 。图 4.36 中单稳态暂稳时间 $T_{w2} = 0.7RC = 0.7 \times 47\text{K} \times 0.01\mu \approx 0.329\text{ms}$ ，基本符合要求。

②把 32KB 容量的 SRAM 存满所需时间 $t = (0.329 + 0.035)\text{ms} \times 32 \times 10^3 \approx 11.65\text{s}$ 。

3. $E^2\text{PROM} \rightarrow \text{D/A}$ 连用案例

(1) $E^2\text{PROM} \rightarrow \text{D/A}$ 连用的组成框图和参考电路图如图 4.41 和图 4.42 所示。

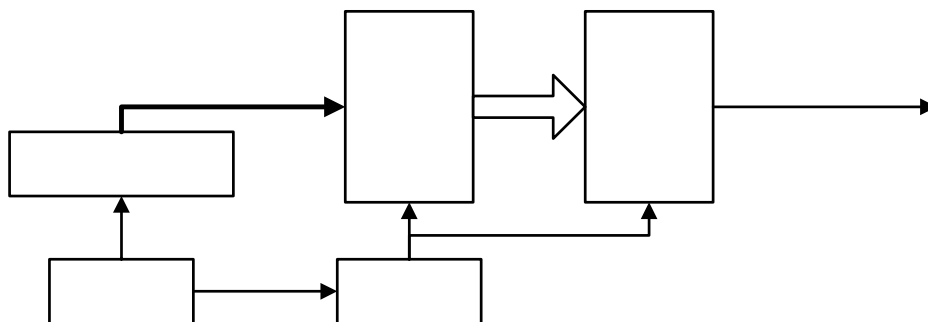


图 4.41 $E^2\text{PROM} \rightarrow \text{D/A}$ 连用的组成框图

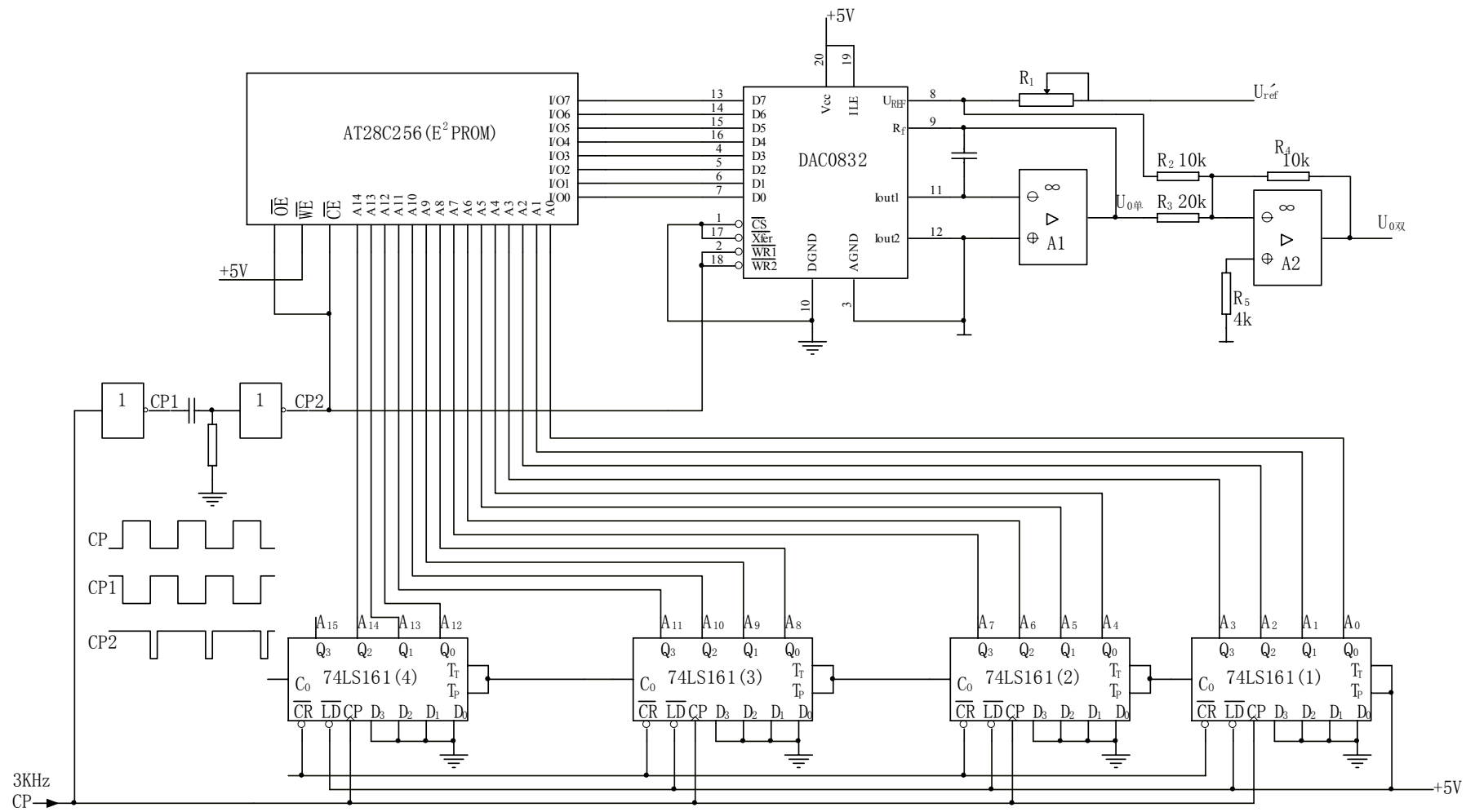


图 4.42 E²PROM→D/A 连用参考电路图

(2)工作过程简单说明。由于前述 A/D 转换电路对声音信号的采样周期约为 330us，因此在 D/A 电路重放时也要保证相同的速率，其时钟信号频率 $f = \frac{1}{330\mu s} = 3\text{KHz}$ ，该时钟信号一路供给 4 块 74LS161 组成的模 2^{16} 地址产生电路，用于提供 E²PROM 的读取地址；另一路经反相微分后产生 DAC0832 的写入信号，如图 4.42 中的 CP₂，对 AT28C256 的读时序如图 4.43 所示。

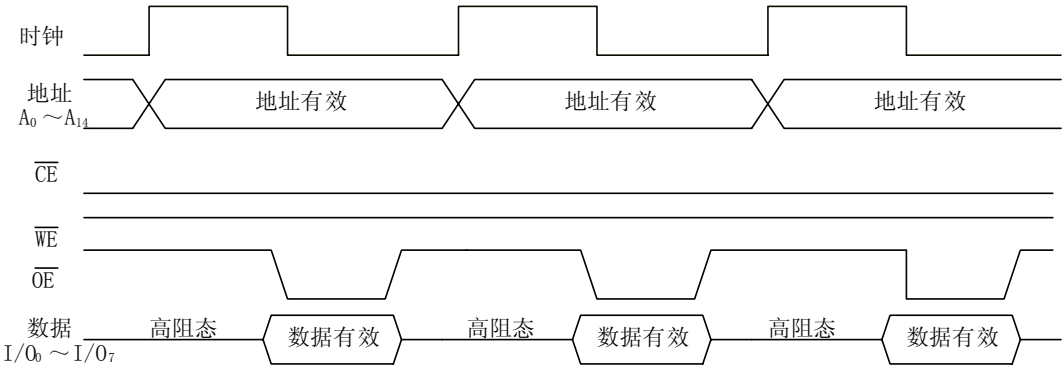


图 4.43 读取 AT28C256 中的数据时序图

*4.5 其它常用接口集成电路介绍

对于应用电子技术、电气自动化技术、计算机应用技术等专业，在电子技术后续课程中，都有单片机应用课程，上这些课的老师希望把常用的接口集成电路放在电子技术中介绍，这样有利于学生对这些集成电路的功能和如何应用方面知识的掌握。为此，本书用一节的篇幅对缓冲器、锁存器和移位寄存器这些常用的接口集成电路进行介绍，以供需要的专业选用。

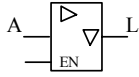
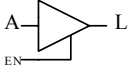
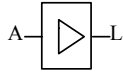
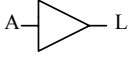
4.5.1 集成缓冲器

1、组成集成缓冲器的单元电路

集成缓冲器一般是由三态非门、三态缓冲器和直通缓冲器等单元电路组成的。这些单元电路的图形符号和功能见表 4.14。

表 4.14 三态非门、三态缓冲器和直通缓冲器的图形符号和逻辑功能

电路名称	国标图形符号	国外流行的图形符号	逻辑功能
三态非门			$\overline{EN} = 0, L = \overline{A}$ $\overline{EN} = 1, L$ 为高阻
			$EN = 1, L = \overline{A}$ $EN = 0, L$ 为高阻
三态缓冲器			$\overline{EN} = 0, L = A$ $\overline{EN} = 1, L$ 为高阻

			$EN=1, L=A$ $EN=0, L$ 为高阻
直通缓冲器			$L \equiv A$ 直通缓冲器实际上是一个数字信号小功率放大器

2、集成三态缓冲器 74LS244

集成三态缓冲器 74LS244 是由二组、每组四个三态缓冲器组成的。它的内部电路框图和原理框图如图 4.44 所示。

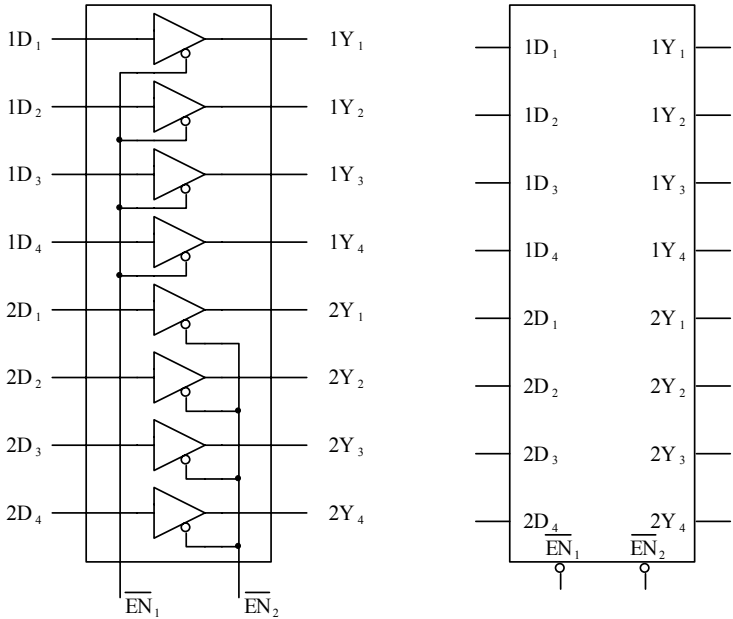


图 4.44 74LS244 的内部电路框图和原理框图

由内部框图可以看出它的功能，即：

$\overline{EN_1} = 1$ ，则 $1Y_1=1Y_2=1Y_3=1Y_4$ = 高阻；

$\overline{EN_1} = 0$ ，则 $1Y_1=1D_1, 1Y_2=1D_2, 1Y_3=1D_3, 1Y_4=1D_4$ ；

$\overline{EN_2} = 1$ ，则 $2Y_1=2Y_2=2Y_3=2Y_4$ = 高阻；

$\overline{EN_2} = 0$ ，则 $2Y_1=2D_1, 2Y_2=2D_2, 2Y_3=2D_3, 2Y_4=2D_4$ ；

3、可双向传送数据的缓冲器 74LS245

74LS245 是受控可以双向传输数据的缓冲器，它的内部电路框图和原理框图如图 4.45 所示。表 4.15 是它的功能表。由原理框图可以看出，当使能输入 $\overline{G} = 1$ 时， L_1 、 L_2 均为 0，此时 A 到 B 或 B 到 A 均不通，即双向隔离；当使能输入 $\overline{G} = 0$ 时，若 $DIR=0$ ，数据由 A 传送到 B，若 $DIR=1$ ，则数据由 B 传送到 A。

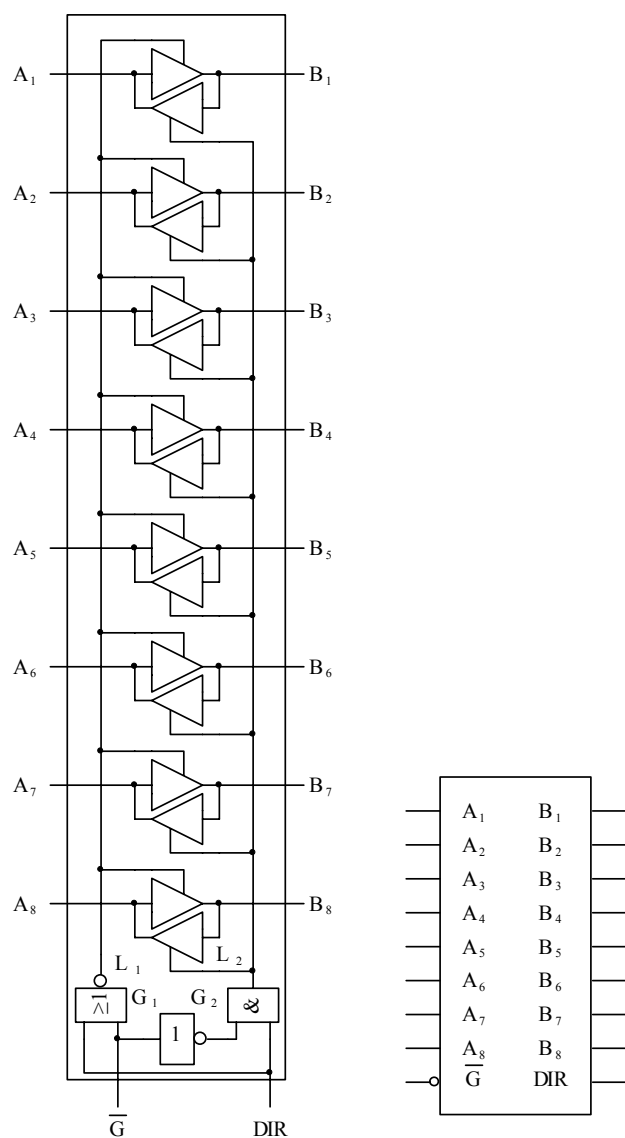


图 4.45 74LS245 的内部电路框图和原理框图

表 4.15 74LS245 的功能表

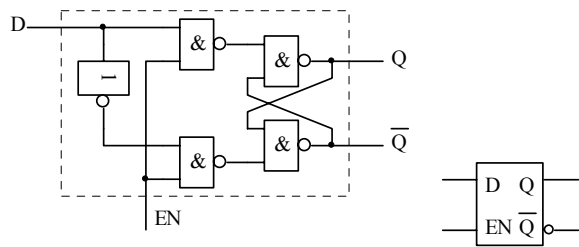
使能	定向控制输入	工作状态
\overline{G}	DIR	
1	×	双向隔离
0	0	数据由 A 传送到 B
0	1	数据由 B 传送到 A

4.5.2 集成锁存器

1、D 型锁存器和 D 触发器

集成锁存器内部的单元电路，通常是 D 型锁存器或 D 触发器。D 型锁存器和 D 触发器的区别仅仅是触发信号不同，D 型锁存器是电平触发，而 D 触发器是上升边沿触发。这两个单元电路在第三章中已有介绍，为了使读者更好地掌握它们的功能，在此仍然把它们的区别作一下比较介绍。其中图 4.46(a)、(b) 分别是 D 型锁存器的内部电路和它的图形符号，表 4.16

是它的功能表。图 4. 47 是 D 触发器的图形符号，表 4. 17 是它的功能表。



(a) 内部电路 (b) 图形符号
图 4. 46 D 型锁存器的内部电路和它的图形符号

表 4. 16 D 型锁存器的功能表

EN	D	Q^{n+1}
0	×	Q^n (不变)
1	1	1 ($Q^{n+1} = D$)
1	0	0 ($Q^{n+1} = D$)

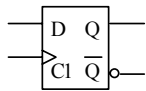


图 4. 47 D 触发的图形符号

表 4. 17 D 触发器的功能表

CP	D	Q^{n+1}
0	×	Q^n (不变)
\uparrow	1	1 ($Q^{n+1} = D$)
\uparrow	0	0 ($Q^{n+1} = D$)

2、集成锁存器 74LS377

集成锁存器 74LS377 的内部电路示意图和原理框图如图 4. 48 所示，它的功能表如表 4. 18 所示。由图可知，74LS377 是由八个 D 触发器组成的 8 位数据锁存器。 \overline{EN} 是它的使能端，当 $\overline{EN} = 0$ ，且 CP 上升边到达时，接收新输入的数据；当 $\overline{EN} = 1$ 或无 CP 信号时，锁存器不接收数据。通常 74LS377 作为单片机的输入接口。

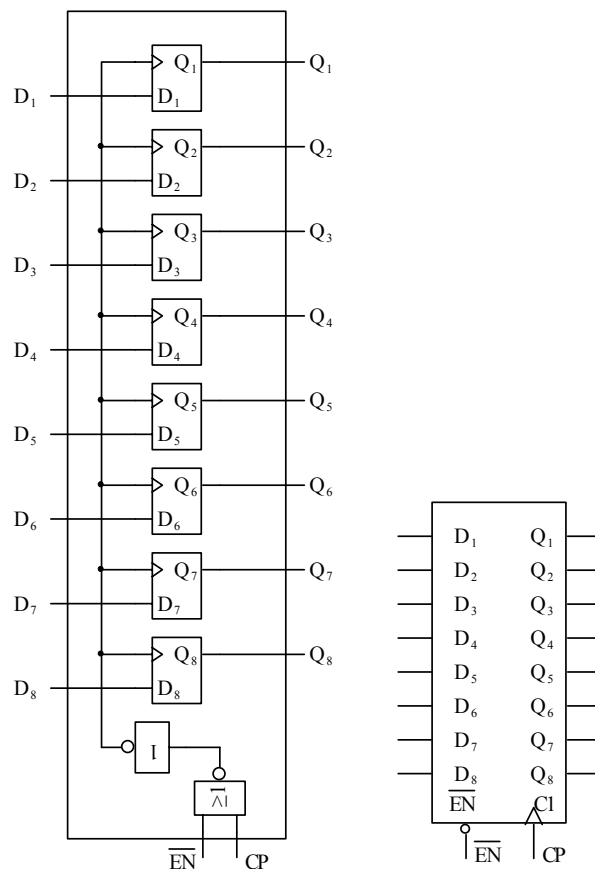


图 4.48 74LS377 的内部电路示意图和原理框图

表 4.18 74LS377 的功能表

$\overline{\text{EN}}$	CP	D	Q^{n+1}
1	×	×	Q^n (不变)
0	\uparrow	1	1 ($Q^{n+1} = D$)
0	\uparrow	0	0 ($Q^{n+1} = D$)
×	0	×	Q^n (不变)

3、具有缓冲器的集成锁存器 74LS373

集成锁存器 74LS373 的内部电路示意图和它的原理框图如图 4.49，功能表如表 4.19。

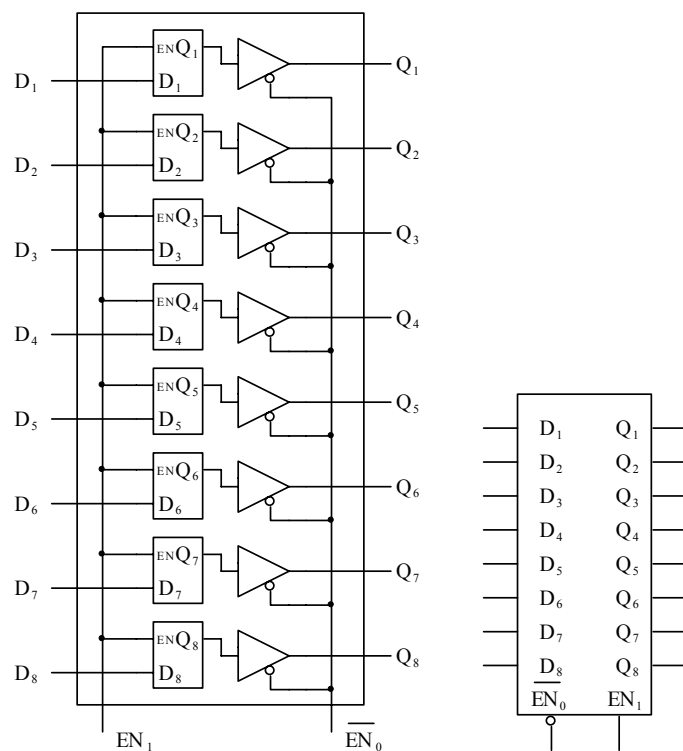


图 4.49 74LS373 的内部电路示意图和原理框图

表 4.19 74LS373 的功能表

D 锁存器控制输入 EN_1	缓冲器控制输入 $\overline{EN_0}$	数据输入 D	数据输出 Q^{n+1}
×	1	×	高阻
1	0	1	1 ($Q^{n+1} = D$)
1	0	0	0 ($Q^{n+1} = D$)
0	0	×	Q^n (不变)

由图 4.49 可以看出，74LS373 是由八个 D 型锁存器和八个三态缓冲器构成的 8 位数据锁存器。当 $EN_1=1$ 时，内部锁存器接收输入数据，并锁存住数据；当 $\overline{EN_0}=0$ 时，三态缓冲器把锁存的数据送到输出端。通常 74LS373 作为单片机的输出接口。

4.5.3 集成移位寄存器

1、集成移位寄存器 74LS164

集成移位寄存器 74LS164 的内部电路示意图和原理框图如图 4.50 所示，它的功能表如表 4.20。

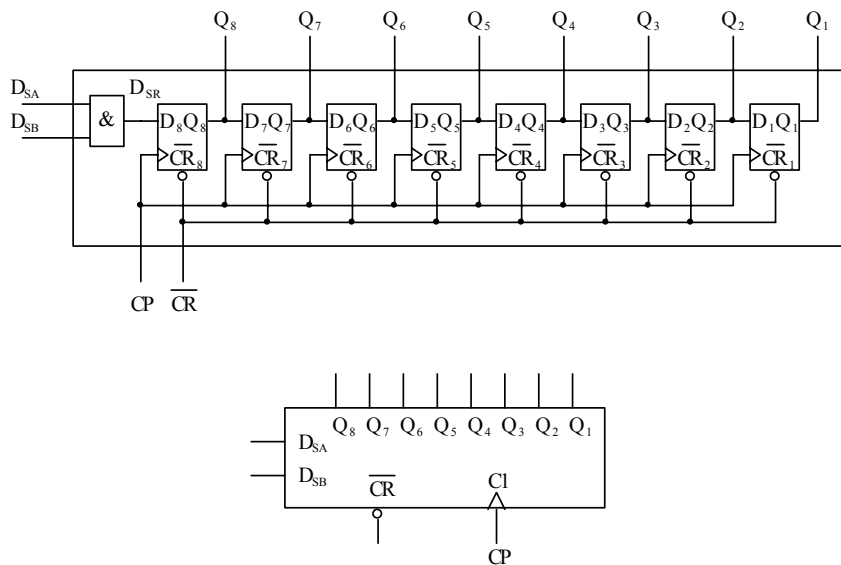


图 4.50 74LS164 的内部电路示意图和原理框图

表 4.20 74LS164 的功能表

输入			输出	功能说明
$\overline{\text{CR}}$	CP	$D_{\text{SA}}D_{\text{SB}}$	$Q_8Q_7Q_6Q_5Q_4Q_3Q_2Q_1$	
0	×	×	0 0 0 0 0 0 0 0	清零
1	0	×	$Q_8Q_7Q_6Q_5Q_4Q_3Q_2Q_1$	保持不变
1	\uparrow	1 1	1 $Q_8Q_7Q_6Q_5Q_4Q_3Q_2$	输入为 1, 右移一位
1	\uparrow	0 ×	0 $Q_8Q_7Q_6Q_5Q_4Q_3Q_2$	输入为 0, 右移一位
1	\uparrow	×	0 $Q_8Q_7Q_6Q_5Q_4Q_3Q_2$	输入为 0, 右移一位

由图 4.50 和表 4.20 可以看出, 74LS164 实际上是一个 8 位右移寄存器, 右移信号 D_{SR} 是由 D_{SA} 和 D_{SB} 相与后送入的。因此, 对于串行输入数据, 只有 D_{SA} 和 D_{SB} 均为 1 时, 输入的串行数据才是 1, 只要 D_{SA} 或 D_{SB} 中有一个为 0, 则串行输入数据就为 0。如果只有一路数据时, 可把 D_{SA} 和 D_{SB} 并接后作为串行数据的输入。由图也可看出, 该集成电路的主要应用是串入并出, 但是通常在并出时, 需要三态缓冲器加以控制, 即在电路经过 8 拍右移后, 通过控制三态缓冲器, 再把输出信号并行送出。因此 74LS164 通常需和 74LS244 配合使用。

2、集成移位寄存器 CD4094

CD4094 在移位寄存功能上和 74LS164 相当。但所不同的是, CD4094 带输出缓冲器。CD4094 的内部电路示意图和原理框图如图 4.51 所示。

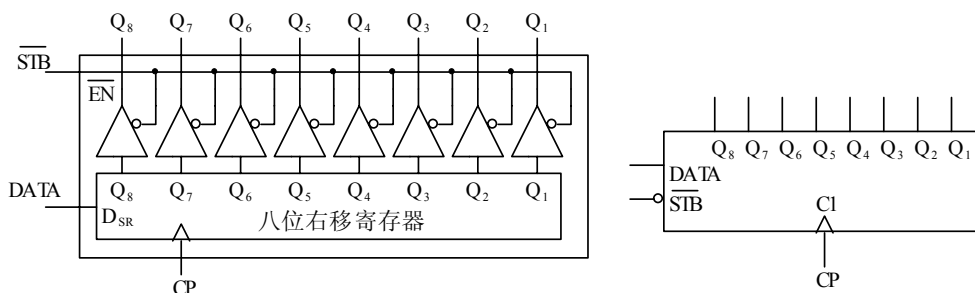


图 4.51 CD4094 的内部电路示意图和原理框图

3、集成移位寄存器 74LS165

集成移位寄存器 74LS165 是并入左移串行移位寄存器，通常用于单片机输入扩展的场合。它的原理框图和功能表见图 4.52 和表 4.21。

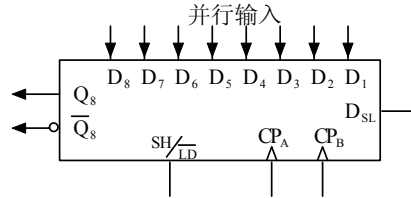


图 4.52 74LS165 的原理框图

表 4.21 74LS165 的功能表

$\overline{SH/LD}$	$CP_A CP_B$	D_{sl}	$D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1$	内部 $Q_8 Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1$	$Q_8 \overline{Q_8}$	功能
0	$\times \times$	\times	$D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1$	$D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1$	$D_8 \overline{D_8}$	并入
1	0 0	\times	$\times \times \times \times \times \times \times \times$	$D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1$	$D_8 \overline{D_8}$	保持
1	\uparrow 0	1	$\times \times \times \times \times \times \times \times$	$D_7 D_6 D_5 D_4 D_3 D_2 D_1 1$	$D_7 \overline{D_7}$	左移一位
1	\uparrow 0	0	$\times \times \times \times \times \times \times \times$	$D_7 D_6 D_5 D_4 D_3 D_2 D_1 0$	$D_7 \overline{D_7}$	左移一位
1	\times 1	\times	$\times \times \times \times \times \times \times \times$	$D_8 D_7 D_6 D_5 D_4 D_3 D_2 D_1$	$D_8 \overline{D_8}$	保持

由图 4.52 和表 4.21 知， $D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0$ 为 8 位并行输入的数据， D_{sl} 为左移串行输入数据， Q_8 和 $\overline{Q_8}$ 为互补串行输出数据， CP_A 是左移驱动信号，上升边有效。 CP_B 是 CP_A 的控制信号， $CP_B=1$ 时， CP_A 被封锁，即 CP_A 不起作用； $CP_B=0$ 时，当 CP_A 的上升边到达时，数据向左移一位， $\overline{SH/LD}$ 为并行输入数据的控制信号，当 $\overline{SH/LD}$ 由 1 变成 0 时，把 8 位并行输入的数据打入寄存器， $\overline{SH/LD}=1$ 时，允许串行左移。

4、集成移位寄存器 CD4014

CD4014 的功能和 74LS165 类似，也是 8 位并行输入左移串行输出的移位寄存器。通常也是用于单片机输入扩展的扩展，CD4014 的原理框图如图 4.53 所示。

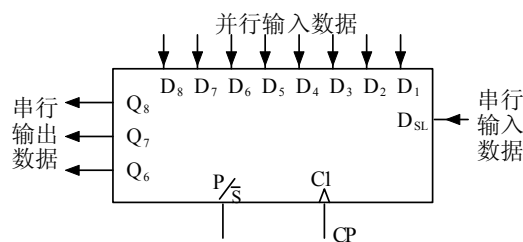


图 4.53 CD4014 的原理框图

图中, $D_8D_7D_6D_5D_4D_3D_2D_1$ 为 8 位并行数据输入端, D_{SL} 为串行左移数据输入端, p/\bar{S} 为并入串入控制输入端, $Q_8Q_7Q_6$ 为三个串行数据输出端, 依次 Q_8 为第 8 位, Q_7 是第 7 位, Q_6 是第 6 位。当 $p/\bar{S}=1$ 时, 芯片在 CP 的上升边到达时刻接收并行输入数据; 当 $p/\bar{S}=0$ 时, 在 CP 上升边的作用下, 使寄存数据左移一位, 同时接收一位串行输入数据。

本章小结

ROM、PROM、EPROM、 E^2 PROM 都是存放二进制信息的存储器, 主要特点是所存放的信息不会因断电而丢失, 目前市售的 E^2 PROM 芯片是使用最方便的芯片, 编程时间极短, 几乎和 SRAM 一样方便, 可实时、快速的把数据按地址存放在相应的存储单元中, 存放时间可长达十年之久。

SRAM 是静态随机可写可读的存储器, 因为这种存储器的存储单元是触发器, 因此所在信息会因断电而丢失, 只适用于电路在工作期间作为临时存放信息的存储器, 通常用它作为计算机的内存。

D/A 是把数字量转换成与数字量成正比的模拟量的转换器, 它是计算机必不可少的接口电路。A/D 是把模拟量转换成数字量的转换器, 它也是计算机必不可少的接口电路。

大规模集成电路引脚多, 组合控制关系复杂, 时序关系严格, A/D→D/A 连用案例, A/D→RAM→ E^2 PROM 连用案例, E^2 PROM→D/A 连用案例, 给出了如何使用这些芯片的例子, 特别应理解组合控制关系和时序关系。

常用接口集成电路如缓冲器、锁存器、移位寄存器等应用较广, 通过对 74LS244、74LS245、74LS377、74LS373、74LS164、CD4094、74LS165、CD4014 等典型芯片介绍, 有利于学生对这些集成电路的功能和如何应用方面知识的掌握。

思考题和习题 4

4.1 A/D 转换的采样频率主要由什么决定? A/D 转换的最高频率主要由什么决定?

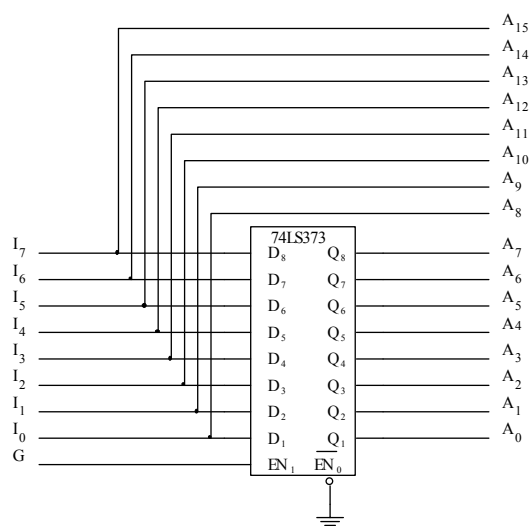
4.2 AD574A 和 LF398 配合使用时, 其最高采样频率为多少? 若令 $f_{\text{采}}=5f_{\text{信max}}$, AD574A 和 LF398 配合使用能对语言信号进行 A/D 转换吗? 为什么?

4.3 AD574A 和 LF398 配合使用时, 能否把转换成的数字量直接写入 E^2 PROM 2817A 中, 如能, 为什么? 如不能? 又为什么? (提示: 若 $f_{\text{信}}$ 很低, 能; 若 $f_{\text{信}}$ 较高, 不能)

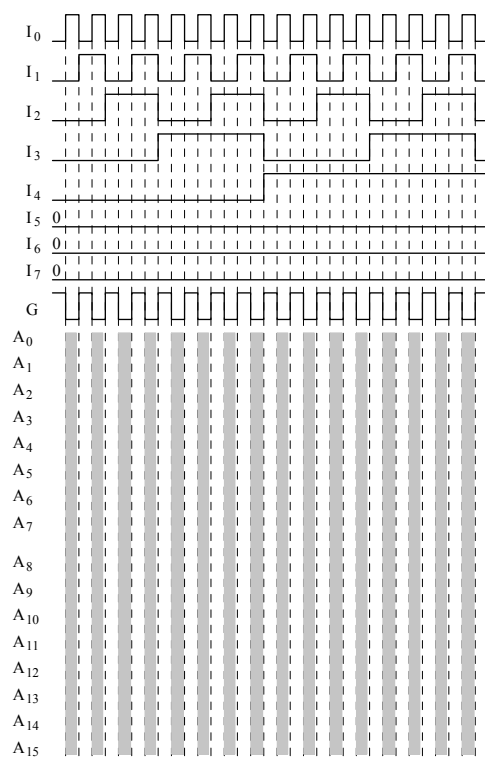
4.4 在 E^2 PROM→D/A 连用案例中, 把 E^2 PROM 中的数字量读出送给 D/A 转换器转换成双极性模拟量时, 为什么时钟信号频率要和 A/D 采样频率一致? 如果不一致, 经 D/A 转换出的模拟量和 A/D 转换时的模拟量有什么不同?

4.5 在图 4.36 中, 若用 16 块 2817A 加一块十六选一数据选择器进行字扩展后替代 AT28C256, 在 A/D 转换→SRAM 连用时, 电路形式可以完全不变, 但当 SRAM→ E^2 PROM 连用时, 需改变单稳态触发器的暂稳态时间和 E^2 PROM 写入负脉冲的参数, 应如何改才能使电路正常工作?

4.6 如图 4.54 所示, 8 位二进制数 $00000000_2 \sim 00011111_2$ 从 $I_0 \sim I_7$ (I_0 为最低位, I_7 为最高位) 输入给 74LS373, 在控制信号 G 出现低电平时, 从 74LS373 的输出端出来的 8 位二进制数据 $A_0 \sim A_7$ 以及 $A_8 \sim A_{15}$ 分别是什么? 试画出波形图进行分析。



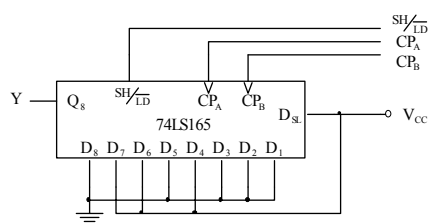
(a)



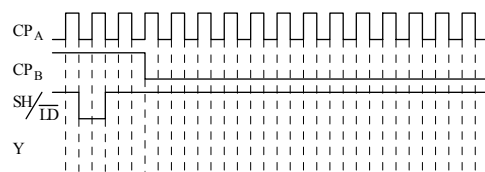
(b)

图 4.54

4.7 电路如图 4.55(a)所示，试在图 4.55(b)中画出 74LS165 的输出端 Y 的波形。



(a)



(b)

图 4.55

4.8 某一实际应用电路中需用到移位寄存器 CD4094，但市场上只能买到 74LS164、74LS244 和一些门电路。试问：能用 74LS164、74LS244 加少量门电路来代替 CD4094 吗？若能，画出替换的电路图；若不能，说明理由。

第五章 模拟、数字综合应用案例

内容提要

本章主要介绍既包含模拟电路又包含数字电路的两个综合案例，以及所涉及的基础知识。两个综合案例中的数控机床驱动器案例是由编者通过对一台实际数控机床驱动器解剖、分析，再自行设计、安装、调试成功后编写的，因此该案例内容具有很强的应用性和针对性。另一个内部通话系统案例是一个适合同学课外制作的题材，稍微涉及了一些有线通话系统方面的知识。

5.1 场效应晶体管

5.1.1 普通场效应晶体管

场效应晶体管简称 FET(Field Effect Transistor)，它是一种利用电场效应来控制其电流大小的半导体三极管，其主要特点是输入电阻高 ($\geq 10^7 \Omega$)。它们都是由半导体中的多子来实现导电的，因此又称单极型晶体管。普通场效应晶体管有二类六种，它们分别是结型场效应晶体管，简称 J—FET；绝缘栅型场效应晶体管，简称 MOS—FET(Metal-Oxide-Semiconductor-FET)。其中结型场效应晶体管又分 N 沟道结型和 P 沟道结型二种，绝缘栅型场效应晶体管又分 N 沟道增强型，P 沟道增强型，N 沟道耗尽型，P 沟道耗尽型四种。

1、六种普通场效应晶体管的名称、符号、转移特性曲线和输出特性曲线

六种普通场效应晶体管的名称、符号、转移特性曲线和输出特性曲线如图 5.1 所示。

名称	符号	转移特性曲线	输出特性曲线
结型 N 沟道			
结型 P 沟道			
绝缘栅 N 沟道增强型			

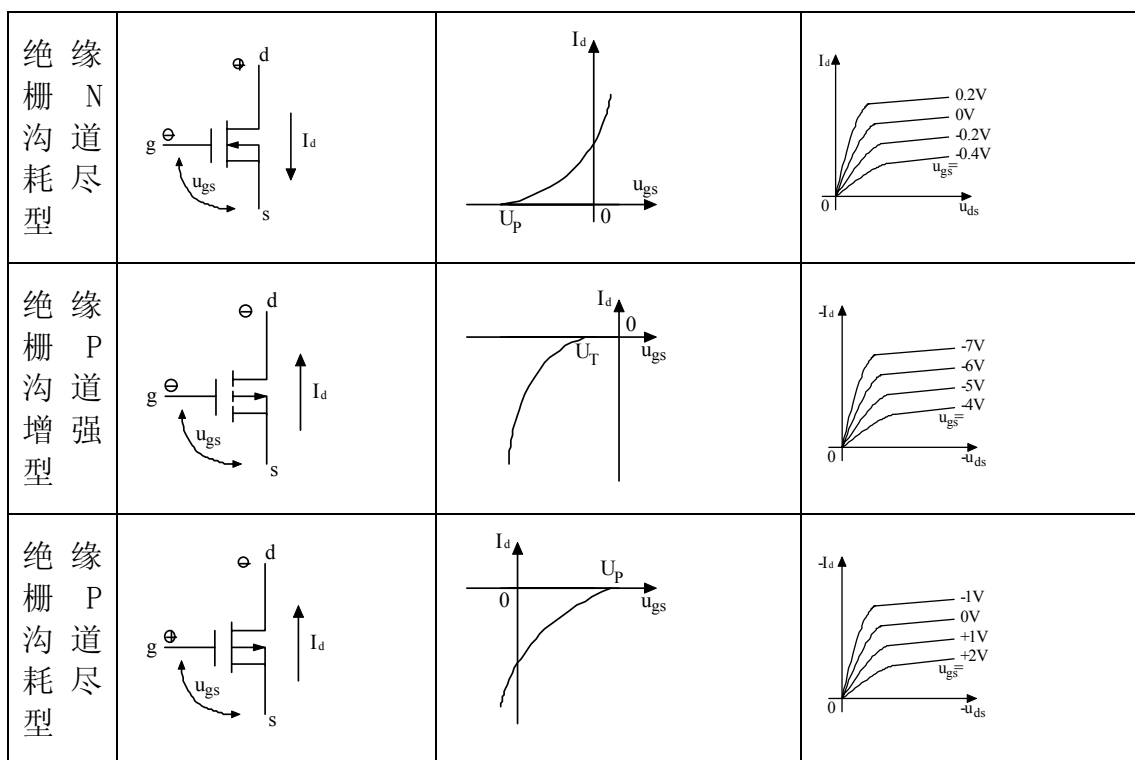


图 5.1 六种普通场效应晶体管的名称、符号、转移特性曲线和输出特性曲线

2、场效应晶体管和双极型三极管的类比

双极型晶体管(NPN 和 PNP)在第一章中已作了比较详细的介绍，在双极型晶体管已经比较熟悉的情况下，通过把场效应晶体管和它类比，以示类同和区别，来达到对场效应晶体管特性、参数和应用方面内容的掌握。

(1)双极型晶体管的三个极分别称为集电极 c，发射极 e 和基极 b，而场效应晶体管的三个极分别称为漏极 d，源极 s 和栅极 g，如图 5.2 所示。



图 5.2 NPN 三极管的 e、b、c 和绝缘栅 N 沟道增强型场效应晶体管的 s、g、d 类比图

(2)双极型晶体管是电流控制电流器件，即 $I_c = \beta I_b$ ；而场效应晶体管是电压(电场)控制电流器件，即 $I_d = g_m u_{gs}$ (g_m 称跨导，后面将会讲到)。

(3)描述双极型晶体管工作特性用输入特性曲线和输出特性曲线，描述场效应晶体管工作特性用转移特性曲线和输出特性曲线。

注意：输入特性系指输入电流和输入电压之间的关系，双极型晶体管的输入特性为 $i_b = f(u_{be}) |_{u_{ce}=\text{常数}}$ ，其中 i_b 是输入电流， u_{be} 是输入电压；而场效应晶体管的 $I_g = 0$ ，场效应晶体管所讨论的是 u_{gs} 对 I_d 的控制作用，即 $I_d = f(u_{gs}) |_{u_{ds}=\text{常数}}$ ， I_d 和 u_{gs} 不是输入电流和输入电压之间的关系，而是转移后的输出电流和输入电压之间的关系。所以， u_{gs} 对 I_d 的关系用转移特性来表述。

(4)描述双极型晶体管工作的三个区域为饱和区、放大区和截止区，同样，描述场效应晶体管工作的三个区域为可变电阻区、线性放大区(有些资料上，线性放大区用恒流区或饱

和区表述)、夹断区或不导通区。

注意：场效应晶体管把线性放大区表述成饱和区时，和双极型晶体管所表述的饱和区是不对应的，意义也是不同的。场效应晶体管把线性放大区表述成饱和区系指 u_{gs} 一定时， I_d 不随 u_{ds} 的变化而变化，漏极电流 I_d 趋于饱和的涵义。

(5) 双极型晶体管放大电路的基本组态为共射电路、共集电路和共基电路，类同于双极型晶体管，场效应晶体管的基本组态为共源电路、共漏电路和共栅电路，如表 5.1 所示。

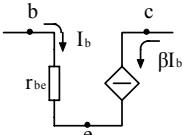
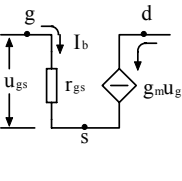
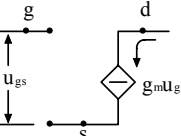
表 5.1 以绝缘栅 N 沟道增强型为例的三种基本放大电路组态

名称	共源放大电路	共漏放大电路	共栅放大电路
电路形式			
A_u	$-g_m(R_d // R_L)$	$+\frac{g_m(R_s // R_L)}{1 + g_m(R_s // R_L)}$	$+g_m(R_d // R_L)$
r_i	$R_{g3} + (R_{g1} // R_{g2})$	$R_{g3} + (R_{g1} // R_{g2})$	$R_s // (\frac{1}{g_m})$
r_o	R_d	$R_s // (\frac{1}{g_m})$	R_d

(6) 在求放大电路的输入电阻 r_i ，输出电阻 r_o 和电压放大倍数时，双极型晶体管和场效应晶体管放大电路都是通过先画出放大电路的微变等效电路后，再通过分析得到的。画微变等效电路时，都是用晶体管的低频小信号等效模型替代晶体管。双极型 NPN 晶体管、结型 N 沟道场效应晶体管和绝缘栅 N 沟道增强型场效应晶体管的低频小信号简化等效模型如表 5.2 所示。

表 5.2 三种晶体管的简化后的低频小信号等效模型

名称	NPN 晶体管	结型 N 沟道场效应晶体管	绝缘栅 N 沟道场效应晶体管
晶体管符号			

简 化 的 小 信 号 等 效 模 型	 $r_{be} = 300\Omega + (1 + \beta) \frac{26mV}{I_{EQ}mA}$	 <p>r_{gs} 是 PN 结的反向电阻, $r_{gs} \geq 10^7\Omega$</p>	 <p>$r_{gs} \approx \infty$</p>
---------------------------	--	---	---

3、场效应晶体管的主要参数

(1) 夹断电压 U_p 。如结型和绝缘栅耗尽型的转移特性曲线图所示的 U_p 称为夹断电压, 它是指当 U_{ds} 为某一定时, 使 $I_d=0$, 在栅源之间所加的电压。对于 N 沟道 U_p 为负值, 对于 P 沟道 U_p 为正值(增强型没有 U_p)。

(2) 开启电压 U_T 。如增强型转移特性曲线中所示的 U_T 称为开启电压, 它是指增强型场效应晶体管在 U_{ds} 作用下, 漏源之间开始导通时的栅源电压。N 沟道为正值, P 沟道为负值。

(3) 跨导 g_m (也称互导)。在 U_{ds} 为常数时, 漏极电流的微量变化和引起这个变化的栅源电压的微量变化之比值称为跨导。用数学公式表示为:

$$g_m = \left. \frac{\Delta I_d}{\Delta u_{gs}} \right|_{u_{ds}} \quad (5-1)$$

跨导给出了栅源电压 u_{gs} 对漏极电流 I_d 的控制能力。 g_m 的量纲为电导, 即电阻的倒数, 单位为 S, 称西门子。

$$1S = \frac{1}{1\Omega} = \frac{1\text{安培}}{1\text{伏特}} \quad 1mS = \frac{1}{1000\Omega} = \frac{1\text{毫安}}{1\text{伏特}}$$

场效应晶体管的 g_m 一般在十分之几到几个 mS 的范围内。

(4) 极限参数。场效应晶体管的极限参数和双极型晶体管类同, 其中有:

最大漏源电压 BU_{DS} (即漏源击穿电压);

最大栅源电压 BU_{GS} (即栅源击穿电压);

最大漏源电流 I_{DM} ;

最大耗散功率 P_{DM} 。

5.1.2 VMOS 场效应晶体管

电流垂直流动的双扩散金属—氧化物—半导体场效应晶体管称 VMOS 场效应晶体管, 简称 VMOS 管。VMOS 管有绝缘栅 N 沟道增强型和 P 沟道增强型二种, 目前它是数控机床驱动器中的核心功率器件。

1、VMOS 管的主要特点

VMOS 管的主要特点有如下六点:

(1) 开关速度很快。由于 VMOS 管是多数载流子器件, 不存在存贮效应, 所以开关速度很快。通常低压 VMOS 管的开关时间为 10nS 数量级, 高压 VMOS 管的开关时间为 100nS 数量级, 适合于作高频功率开关。

(2) 高输入阻抗和低驱动电流。VMOS 管的输入电阻通常为 $10^7\Omega$ 以上, 直流驱动电流几

乎为零，只要驱动逻辑电平的幅值符合要求即可。因而驱动电路简单，VMOS 管的开启电压 $U_T=3\sim 4V$ ，最大允许的驱动电平为 $\pm 20V$ (N 沟道 $BU_{GS}=20V$ ，P 沟道 $BU_{GS}=-20V$)。

(3)安全工作区大，且好把握。VMOS 管不存在二次击穿，安全工作区仅由 BU_{DS} 、 BU_{GS} 、 I_{DM} 和 P_{DM} 来决定，因此安全问题很容易把握，且安全工作区大。

(4)导通电阻较小， I_D 有负温度系数。VMOS 管的导通电阻 $R_{DS(ON)}$ 较小，一般低压 VMOS 管 ($BU_{DS}\leq 200V$)的导通电阻 $R_{DS(ON)}\leq 1\Omega$ ，高压 VMOS 管 ($BU_{DS}>200V$)的导通电阻 $R_{DS(ON)}$ 也只有一个欧姆到几个欧姆。 I_D 有负温度系数，管耗随温度变化能得到自补偿。

(5)易于并联使用。VMOS 管可简单并联使用，以增大工作电流容量。

(6)有较大的输入电容。VMOS 管的输入电阻很大，因此直流驱动电流几乎为零。但是有较大的输入电容 C_{gs} ，因此驱动电路必须提供足够交流驱动电流，否则将影响开关速度。

2、VMOS 大功率开关管的驱动

VMOS 大功率开关管的驱动主要是指驱动电路的形式及有关参数选取的理由。下面以摩托罗拉 MTP10N25 VMOS 管为例来分析其驱动电路及其参数的选择。图 5. 3 是常用的一种大功率 VMOS 管的驱动电路。

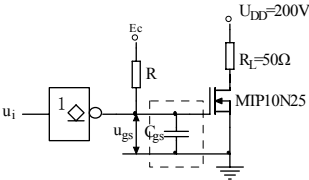


图 5. 3 VMOS 管开关工作下的驱动电路

图中 G 是 TTL 集电极开路的非门，R 是它的外接上拉电阻， $U_{DD}\approx 200V$ ， R_L 是负载，令其为 50Ω ， C_{gs} 是 VMOS 管的输入电容。MTP10N25 是大功率绝缘栅 N 沟道增强型 VMOS 管，它的主要参数为 $BU_{DS}\approx 250V$ ，连续工作时最大允许电流为 $10A$ 。当工作电流为 $5A$ 时，导通电阻为 0.5Ω ，管壳温度为 $25^{\circ}C$ 时耗散功率可达 $100W$ 。对于这个驱动电路，设计人员必须选择合适的 U_{gsh} 和 U_{gsl} 及外接电阻 R 的值。

(1) U_{gsh} 、 U_{gsl} 值的选取。为了分析 U_{gsh} 和 U_{gsl} 的幅值，需从分析 MTP10N25 的输出特性曲线着手。MTP10N25 的输出特性曲线如图 5. 4。

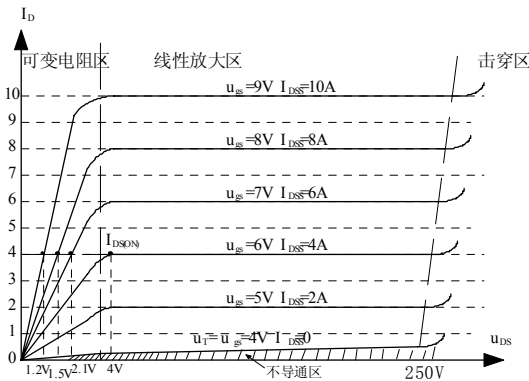


图 5. 4 VMOS 管 MTP10N25 的输出特性曲线图

根据驱动电路，结合 VMOS 管的输出特性曲线图，可以看出， U_{gsh} 、 $I_{DS(ON)}$ 、 U_{DS} 和 P_D 之间的关系如下表 5. 3 所示。

表 5. 3 U_{gsh} 、 $I_{DS(ON)}$ 、 U_{DS} 和 P_D 之间的关系表

U_{gsh}	$I_{DS(ON)}$	U_{DS}	P_D	说明	$R_{D(ON)}$
4V	≈ 0	200V	≈ 0	VMOS 管刚开始导通	很大
5V	2A	100V	200W	不符合要求	大

6V	$\approx 4\text{A}$	4V	16W	临界状态，不合要求	较小
7V	$\approx 4\text{A}$	2.1V	8.2W	基本合要求	小
8V	$\approx 4\text{A}$	1.5V	6W	基本合要求	小
9V	$\approx 4\text{A}$	1.2V	4.8W	符合要求	最小

由表 5.3 可以看出， U_{gsH} 所对应的 I_{DSS} 必须大于驱动电路中的 $I_{\text{DM}} \approx \frac{U_{\text{DD}}}{R_{\text{L}}}$ ，即必须取足

够幅度的 U_{gsH} ，使得 VMOS 管工作在可变电阻区。在驱动电路中， E_{C} 是决定 U_{gsH} 电平幅值的电源，因此选择合适的 U_{gsH} ，实际上是选择合适的 E_{C} 值。至于 U_{gsL} ，很显然，只要保证 $U_{\text{gsL}} < U_{\text{T}}$ 即可。

(2) R 值的选取。由驱动电路可以看出，由于 C_{gs} 的存在，当 U_{gs} 由 U_{gsL} 转换到 U_{gsH} 时，转换时间受 R 的影响。很明显，应当要求 $3 \sim 5RC_{\text{gs}} < 10\text{nS}$ (其中 10nS 是 VMOS 管的正向导通时间)，否则，不能发挥 VMOS 管快速导通的优点，而受 U_{gsH} 上升时间影响。当然由 U_{gsL} 到 U_{gsH} 的上升时间越长，VMOS 管的动态功耗也将增大。

(3) 其它常见驱动电路介绍。图 5.5 中的 (a)、(b)、(c) 也是常见的驱动电路。

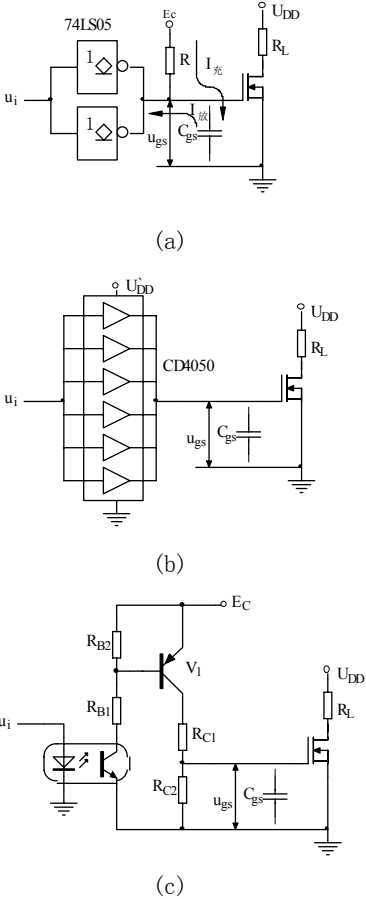


图 5.5 常见 VMOS 的开关驱动电路

其中图 (a) 用二个集电极开路的非门并联，这是因为 U_{gs} 从 U_{gsH} 转换到 U_{gsL} 时， U_{gsH} 要经 C_{gs} 到非门低电平输出的放电过程。当非门的低电平输出电流能力不够时，用二个集电极开路的非门并联使用，以增大低电平输出电流的能力，达到提高由 U_{gsH} 转换到 U_{gsL} 的转换速度的目的。

图 (b) 是用 6 个缓冲器并联使用，以增大高低电平的电流输出能力。由图可知， $U_{\text{gsH}} \approx$

U'_{DD} ，所以 U_{gsh} 的幅值，就是选择 CD4050 缓冲器的电源电压 U'_{DD} 的值。

图(c)是通过光耦驱动的一种驱动电路，其中 U_{gsh} 和 E_c 、 R_{C1} 、 R_{C2} 有关。

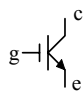
(4) VMOS 管型号与性能举例表。常见的 VMOS 管型号与性能如下表 5.4 所示。

表 5.4 常见 VMOS 管型号与性能

型号	漏源击穿电压 (V)	连续工作时漏源允许电流 (A)	管壳温度为 25℃ 时，漏极耗散功率 (W)	漏极电流为 I_D 时，漏源导通电阻	
				$R_{DSMAX} (\Omega)$	$I_D (A)$
MTP1N100	1000	1.0	75	10	0.5
MTP2N90	900	2.0	75	8	1.0
MTP6N60	600	6	150	12	3.0
MTP4N50	500	4	75	1.5	2.0
MTP5N40	400	5	75	2.0	2.5
MTP5N35	350	5	76	1.0	2.5
MTP10N25	250	10	100	0.5	5.0
MTP8N20	200	8	75	0.4	4.0
MTP12N18	180	12	100	0.35	6.0
MTP15N15	150	15	100	0.25	7.0
MTP10N12	120	10	75	0.3	5.0
MTP20N10	100	20	100	0.15	10.0
MTP20N08	80	20	100	0.15	10.0
MTP25N06	60	25	75	0.16	7.5
MTP35N06	50	35	150	0.055	17.5
MTP1N100	1000	1	75	10	0.5
MTP2P50	500	2	75	6	1.0
MTP8N40	400	8	75	0.55	3.5
MTP10N25	250	10	100	0.5	5.0
MTP40N20	200	40	250	0.08	20.0
IRF833	500	4	75	2.0	2.5
IRF733	350	4.5	76	1.5	3.0
IRF642	200	16	125	0.22	10.0
IRF520	100	8	40	0.3	4.0
IRF543	60	14	75	0.2	6.0

注：1、摩托罗拉产品型号的含意为，第一个字母 M 代表公司名；第二个字母代表管子类型，T 代表 VMOS 管，G 代表 IGBT 管；第三个字母代表封装，P 为塑料，M 为金属，A 为绝塑封；第四组数字代表电流；数字后的字母代表沟道类型，N 代表 N 沟道，P 代表 P 沟道，最后的数字乘以 10 表示漏源击穿电压。例如 MTP1N100，表示摩托罗拉公司产品 VMOS 管，塑封， $I_D=1A$ ，为 N 沟道，漏源击穿电压为 1000V。

2、IGBT 管是 VMOS 管的改进产器，IGBT 意指绝缘栅双极型大功率晶体管，它的符号为

，读者有需要可查阅有关资料。

5.1.3 数控机床驱动器案例

本案例主要介绍数控机床开环控制系统中的步进电机驱动器电路。步进电机驱动器是将电脉冲信号转变为角位移或线位移的开环控制电路。通俗一点讲：步进驱动器接收到一个脉冲信号，它就驱动步进电机按设定的方向转动一个固定的角度。从而可以通过控制脉冲个数来控制角位移量，达到准确定位的目的；同时也可以通过控制脉冲频率来控制步进电机转动的速度和加速度，达到调速的目的。

1、步进电机驱动器系统示意框图

组成步进电机驱动器的电路包括：电源电路、光电隔离电路、步进电机专用控制芯片电路、功率 MOSFET 管驱动电路（功率 MOSFET 管，即 VMOS 管，由于 VMOS 管在一些驱动器说明书中常用功率 MOSFET 表示，在此编者保留这种表示方法。）、H 桥驱动电路、过流检测与保护电路等。系统框图如图 5.6 所示。

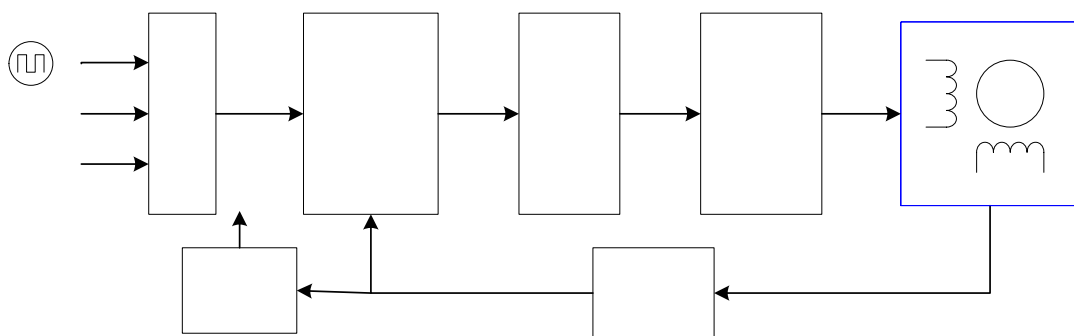
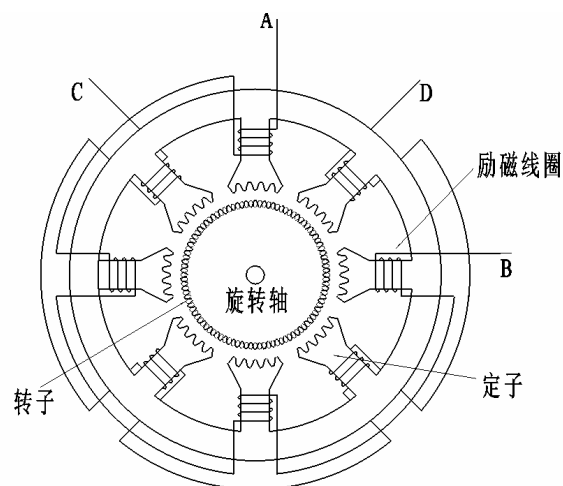


图 5.6 步进电机驱动器系统示意框图

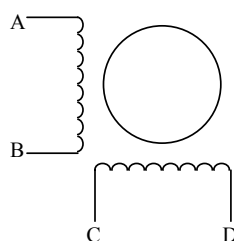
控制脉冲是一个来自前级计算机或其他微处理器的 TTL 电平时钟信号，其输入的脉冲个数就是步进电机要走的步数，其频率则决定了电机启动、旋转、停止的速度和加速度；方向控制信号与启停控制信号均是 TTL 逻辑电平，可以是微处理器的输出信号，也可以是电平开关信号，其中方向控制决定了步进电机是按顺时针旋转还是按逆时针旋转，启停控制则可用于紧急情况下的电机停止旋转，切断电源。

2、两相步进电机的基本结构和工作原理

(1) 基本结构。两相步进电机的基本结构和原理图如图 5.7(a)、(b) 所示。两相步进电机在结构上分转子和定子两部分。定子一般由硅钢片叠成，定子上所绕的线圈称为励磁线圈。对于如图 5.7(a) 所示的绕线方式，AB 引线为一相，CD 引线为另一相。当给某相线圈供电时将形成 4 个磁极。对于两相步进电机，两个绕组全部供电时将形成 8 个磁极。每个定子磁极的内表面都分布着多个小齿，它们大小相同，间距相同。



(a) 基本结构图



(b) 原理图

图 5.7 两相步进电机基本结构图和原理图

转子是由永磁材料制成的，其主视图如图 5.8 所示。分上、下两层，若上层为 S 极，则下层必为 N 极。上、下两层外表面均匀分布着小齿，这些小齿与定子磁极上的小齿的齿距相同，形状相似。转子上、下两层的齿呈半径相同的圆周分布，并相互错开二分之一齿距角。而定子的小齿只分布在磁极上，属不完全齿。需注意的是，转子的上、下两层是做成一体的，即上层转子的旋转将带动下层转子的旋转，反过来亦如此。

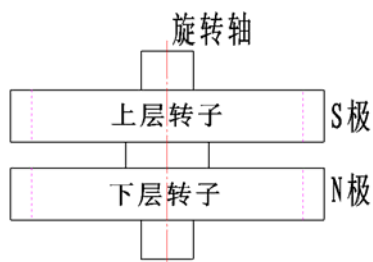


图 5.8 转子主视图

由于齿距相同，所以不管是定子还是转子，它们的齿距角都可以由下式来计算：

$$\theta_z = \frac{2\pi}{Z}, \text{ 其中, } Z \text{ 为转子的齿数。对于两相步进电机, 一般取转子齿数 } Z=50, \text{ 则齿距角}$$

$$\text{为 } \theta_z = \frac{2\pi}{50} = 7.2^\circ, \text{ 上层转子与下层转子错开 } 3.6^\circ. \text{ 同时, 定子的齿距角亦为 } \theta_z = 7.2^\circ.$$

定子小齿与转子小齿对齐，称为对齿。定子小齿与转子小齿完全不对齐，称为完全错齿。其它情况下均称为错齿。如图 5.9 所示。

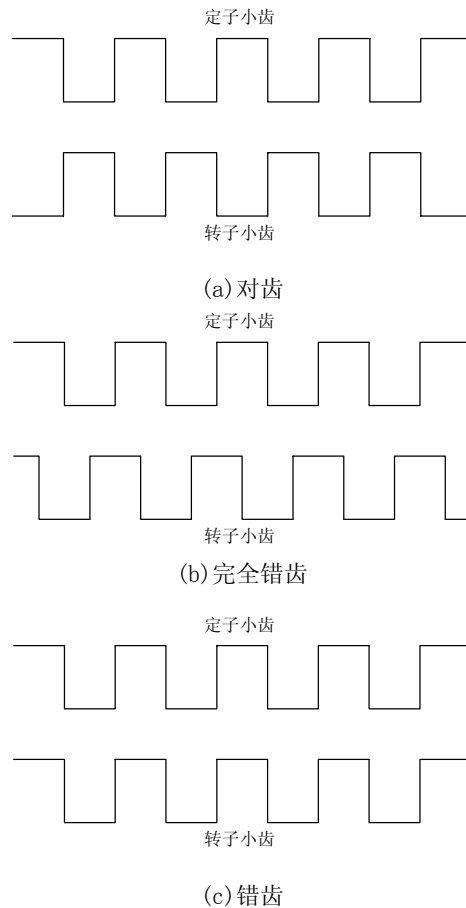


图 5.9 定子小齿与转子小齿的三种相对状态

步进电机转动的力距来自电磁力。在电磁力的作用下，如果定子小齿和转子小齿的磁极性相异，则电磁力使转子小齿向对齿方向转动，如果定子小齿与转子小齿的磁极性相同，则电磁力使转子小齿向完全错齿方向转动。定子小齿与转子小齿在任何时刻，有错齿的存在是步进电机能够旋转的前提条件。

(2) 工作原理。在设计步进电机的结构时，保证了不管转子处于什么位置，一定会有错齿状态存在。如果给处于错齿状态的相线圈供电，转子在电磁力的作用下，如果磁极性相异，则转子向完全对齿方向转动，如果磁极性相同，则转子向完全错齿方向转动。步进电机的转动就是基于这一原理实现的。

① 转子受电磁力转动情况的分析。为了能说明步进电机的转动，我们在下面的图中将步进电机的上层转子半径缩小，并规定上层转子的极性为 S 极，下层转子的极性为 N 极，这并不影响我们对电磁力的分析。同时，我们只对一个有代表性的转子小齿(如靠近中心轴处的小齿)的受力情况作出分析。

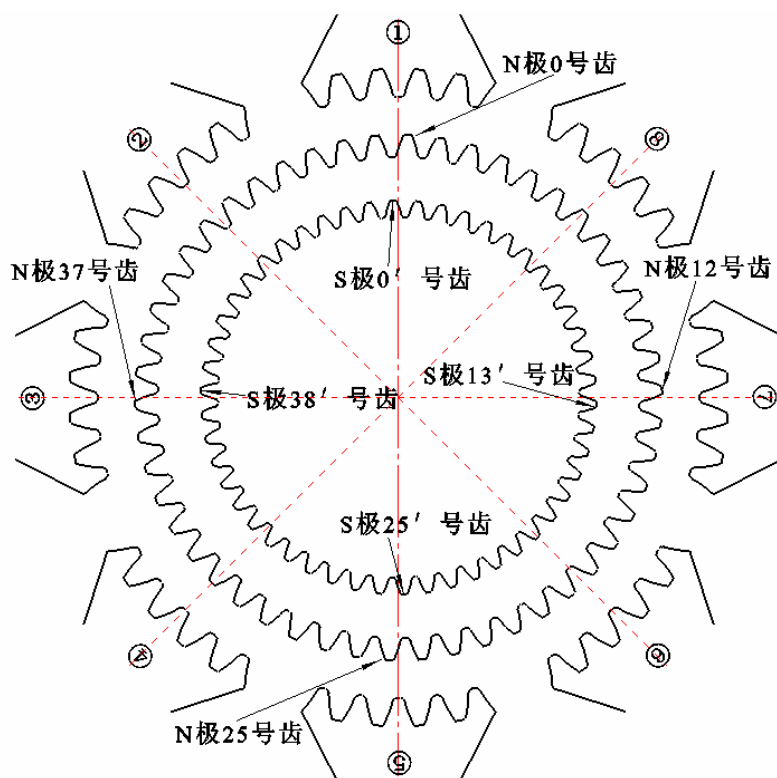
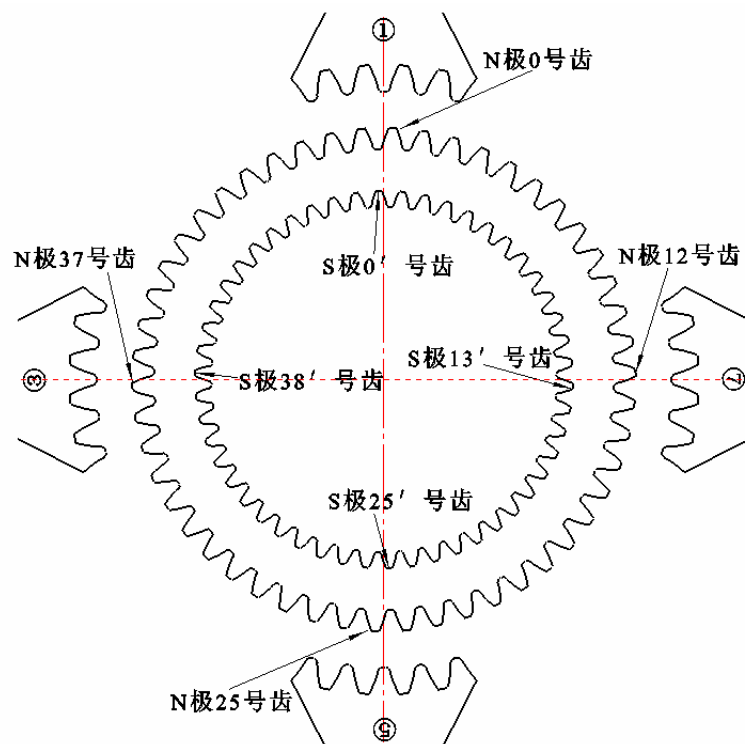
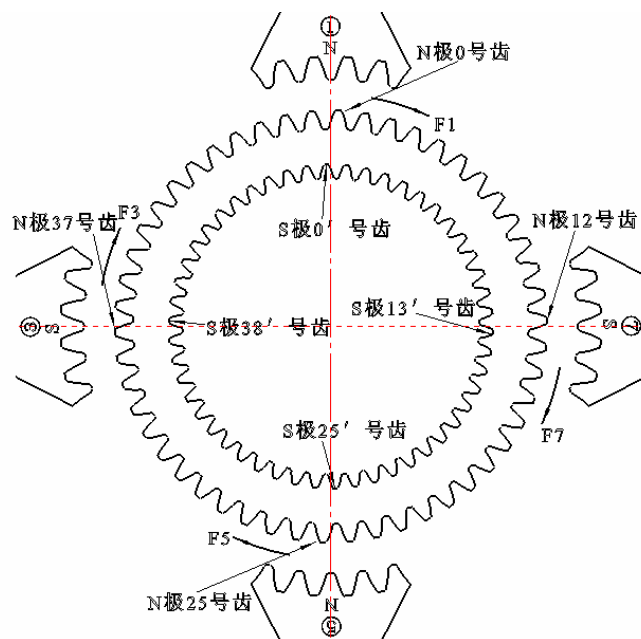


图 5.10 步进电机供电前转子相对于定子处于随机位置

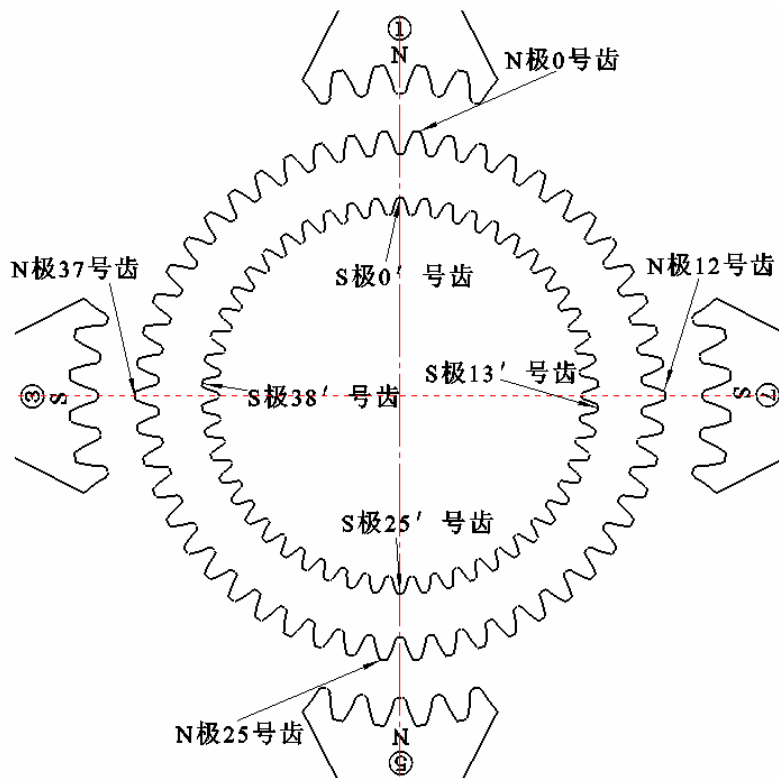
在给步进电机供电前，转子相对于定子处于随机的位置，如图 5.10。我们作一轴线，将八个定子编号为①、②、……、⑧号，其中①、③、⑤、⑦号属于 AB 相绕组，②、④、⑥、⑧属于 CD 相绕组；将转子齿沿顺时针方向编上齿号，其中下层 N 极转子为 0、1、3、……、49 号齿，上层 S 级转子为 0'、1'、3'、……、49' 号齿，并规定上部离轴线最近的齿为 0 或 0' 号齿。



(a) AB 相线圈供电前瞬间转子与定子的位置关系



(b) AB 相线圈供电后定子极性和转子受力情况



(c) AB 相线圈供电后转子旋转到的平衡位置

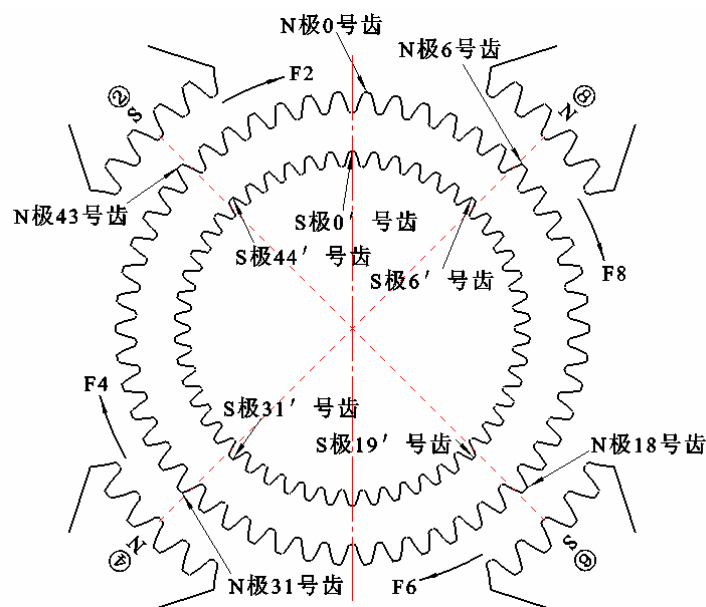
图 5.11 AB 相线圈供电时转子相对于定子所处的三种位置

当给电机的 AB 相线圈供电时，在刚供电前的瞬间，转子相对于定子的位置处于如图 5.11(a) 所示的位置(即我们在图 5.10 中规定的随机位置)。

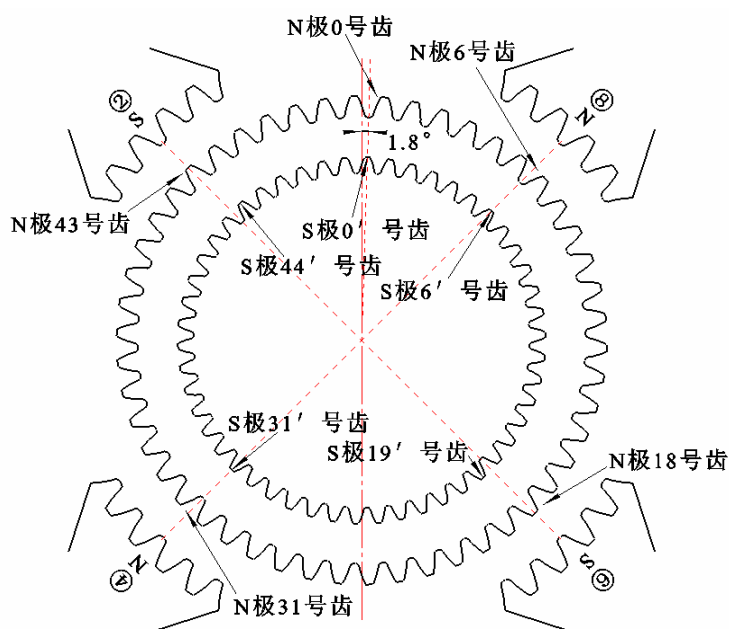
当 AB 相线圈供电后，在 AB 相线圈的四个定子①、③、⑤、⑦上将形成 N 极和 S 极，如图 5.11(b) 所示。由于此时上层 S 极转子的 0' 号齿与①号定子磁极性相异，转子受到的电磁力是向着对齿方向运动；而下层 N 极转子的 0 号齿与①号定子磁极性相同，转子受到的电磁力是向着完全错齿方向运动。在两者的共同作用下，转子在①号定子处受到的电磁力的合力是顺时针方向旋转的力 F_1 。同理，在③号定子处，转子的上层 S 极 38' 号齿、下层 N 极

37 号齿将因磁极性相同和相异，受到的电磁力是顺时针方向旋转的力 F_3 。在⑤、⑦号定子处转子 25/25' 号齿、12/13' 号齿亦如此。这样，在这些力的共同作用下，转子将向顺时针方向旋转。

当转子旋转至如图 5.11(c) 所示的位置时，上层 S 极 0' 号齿与①号 N 极定子处于对齿状态，下层 N 极 0 号齿与①号 N 极定子处于完全错齿状态，因此，转子在此处将不再受到旋转电磁力的作用。在③、⑤、⑦号定子处，转子 37/38' 号齿、25/25' 号齿、12/13' 号齿亦如此。这样，即使 AB 相线圈继续供电，转子仍将停留在该平衡位置上。注意当转子处于此位置时，上层 S 极转子的 0' 号齿处于轴线的中心位置上，读者先记住这个相对位置。



(a) CD 相线圈供电后定子极性和转子受力情况



(b) CD 相线圈供电后转子旋转到平衡位置

图 5.12 CD 相线圈供电时转子相对于定子所处的两种位置

此后，当去掉对 AB 相线圈的供电而改成对 CD 相线圈供电时，在 CD 相线圈的四个定子②、④、⑥、⑧上将形成 S 极和 N 极，如图 5.12(a) 所示。上层 S 极转子的 44' 号齿与②号 S 极定子磁极性相同，转子受到的电磁力是使其向着完全错齿方向运动；而下层 N 极转子的

43 号齿与②号 S 极定子磁极性相异, 转子受到的电磁力是使其向着对齿方向运动。在两者的共同作用下, 转子在②号定子处受到的合力是顺时针方向旋转的力 F_2 。同理, 在④、⑥、⑧号定子处的转子 31/31' 号齿、18/19' 号齿、6/6' 号齿受到的力 F_4 、 F_6 、 F_8 均是转子顺时针方向旋转的力。在这些力的共同作用下, 转子顺时针方向旋转 to 如图 5.12(b) 所示的平衡位置。此时, 即使 CD 相线圈继续供电, 转子将不再受到顺时针旋转的电磁力作用。

从对 AB 相线圈供电换成对 CD 相线圈供电, 亦是转子从图 5.11(c) 所示的平衡位置到图 5.12(b) 所示的平衡位置的旋转过程。这一过程使上层 S 极转子 0' 号齿顺时针旋转了 1.8° , 也就是说, 整个转子在对 AB 相线圈供电换成对 CD 相线圈供电的过程中沿顺时针方向旋转了四分之一齿距角即 1.8° 。供电状态转换一次称为一拍, 拍信号即是步进电机的步进脉冲信号。

②步进电机的三种激励方式和两种工作方式。单相激励方式: 单相激励方式是指对定子两个绕组供电时, 在一拍时间内只有一个绕组被供电, 且供电转换方式按如下四步循环:

- (a) AB 相供电, 电流方向为 $A \rightarrow B$;
- (b) CD 相供电, 电流方向为 $C \rightarrow D$;
- (c) BA 相供电, 电流方向为 $B \rightarrow A$;
- (d) DC 相供电, 电流方向为 $D \rightarrow C$ 。

在单相激励方式中, 每一拍转子转动 1.8° , 经过四拍, 即经过一个循环后, 转子转动一个齿距角即 7.2° 。对于齿数为 50 的转子, 转子转动一周, 则需 $50 \times 4 = 200$ 拍, 即需要 200 个脉冲信号。

两相激励方式: 两相激励方式是指对定子两个绕组供电时, 在一拍时间内均同时对两个绕组供电, 供电方式按如下四步循环:

- (a) AB 相、CD 相同时供电, 电流方向为 $A \rightarrow B$ 、 $C \rightarrow D$;
- (b) BA 相、CD 相同时供电, 电流方向为 $B \rightarrow A$ 、 $C \rightarrow D$;
- (c) BA 相、DC 相同时供电, 电流方向为 $B \rightarrow A$ 、 $D \rightarrow C$;
- (d) AB 相、DC 相同时供电, 电流方向为 $A \rightarrow B$ 、 $D \rightarrow C$ 。

两相激励方式和单相激励方式一样, 在一拍时间内, 转子也是转动 1.8° , 经过四拍一个循环后, 转子转动一个齿距角即 7.2° 。

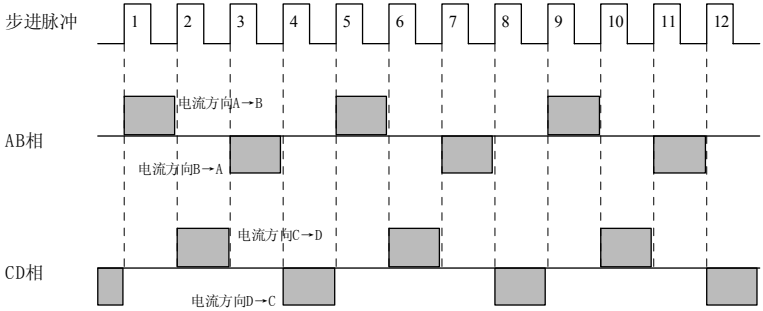
单一两相激励方式: 单一两相激励方式是指对定子两个绕组供电时, 一拍单相供电, 一拍双相供电, 供电方式按如下八拍八步循环:

- (a) AB 相供电, 电流方向为 $A \rightarrow B$;
- (b) AB 相、CD 相同时供电, 电流方向为 $A \rightarrow B$ 、 $C \rightarrow D$;
- (c) CD 相供电, 电流方向为 $C \rightarrow D$;
- (d) BA 相、CD 相同时供电, 电流方向为 $B \rightarrow A$ 、 $C \rightarrow D$;
- (e) BA 相供电, 电流方向为 $B \rightarrow A$;
- (f) BA 相、DC 相同时供电, 电流方向为 $B \rightarrow A$ 、 $D \rightarrow C$;
- (g) DC 相供电, 电流方向为 $D \rightarrow C$;
- (h) AB 相、DC 相同时供电, 电流方向为 $A \rightarrow B$ 、 $D \rightarrow C$ 。

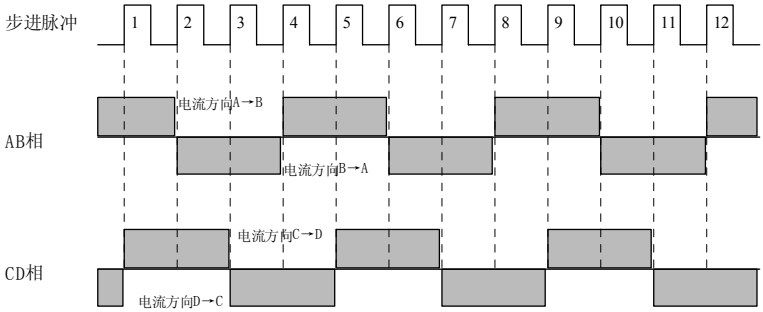
在单一两相激励方式中, 完成一个循环是八拍, 即需要八个激励脉冲, 在每一个循环中, 绕组供电状态有八种, 绕组供电状态每改变一次, 转子转动 0.9° 。

基本步工作方式和半步工作方式: 在描述步进电机工作过程时, 除用激励方式这一表述外, 还常用工作方式表述。在单相、两相激励方式中, 在每一拍内, 两个绕组的供电状态只有一种, 在完成一种供电状态后, 转子转动 1.8° , 步进电机的这种工作状态称为基本步工作方式。在单一两相激励方式中, 每一循环内两个绕组的供电状态有八种, 在完成一种供电状态后, 转子转动 0.9° , 步进电机的这种工作状态称半步工作方式。

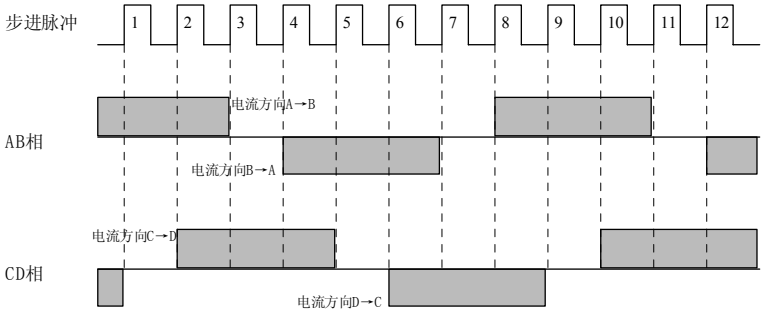
③三种激励方式下的相电压波形。一个脉冲对应于步进电机某相绕组的一次供电，在基本步单相激励方式、两相激励方式和半步单一两相激励方式的三种激励方式中，步进脉冲和AB相绕组及CD相绕组对应的电压波形分别如图 5.13(a)、(b)、(c)所示。



(a) 基本步单相激励方式的相电压波形



(b) 基本步两相激励方式的相电压波形



(c) 半步单一两相激励方式的相电压波形

图 5.13 三种激励方式下的相电压波形

在三种激励方式中，基本步两相激励方式的 AB 相绕组和 CD 相绕组一直处于工作状态，没有关断状态；基本步单相激励方式的 AB 相绕组在第 2、4、6、……个脉冲中处于关断状态，CD 相绕组在第 1、3、5、……个脉冲中处于关断状态；半步单一两相激励方式的 AB 相绕组在第 3、7、11、……个脉冲中处于关断状态，CD 相绕组在第 1、5、9、……个脉冲中处于关断状态。可见，基本步两相激励方式的相线圈利用率是最高的，而基本步单相激励方式的相线圈利用率最低。

3、由功率 MOSFET 管组成的 H 桥驱动电路

电流在电机绕组 AB 相和 CD 相中有两种可能的流向，通常由一种叫做 H 桥的驱动电路来实现，图 5.14 给出了 H 桥驱动电路与步进电机 AB 相绕组连接的电路框图。

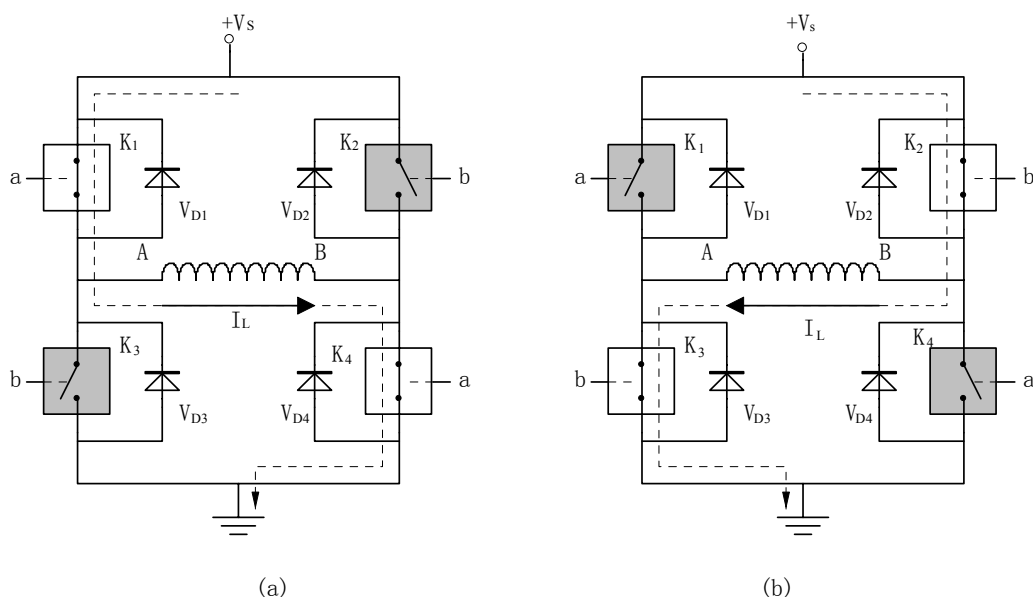


图 5.14 电机绕组 AB 的电流方向

四个开关 K_1 和 K_4 、 K_2 和 K_3 分别受控制信号 a 、 b 的控制，当控制信号使开关 K_1 、 K_4 合上， K_2 、 K_3 断开时，电流 I_L 在线圈中的流向如图 5.14(a)，当控制信号使开关 K_2 、 K_3 合上， K_1 、 K_4 断开时，电流 I_L 在线圈中的流向如图 5.14(b)。四个二极管 V_{D1} 、 V_{D2} 、 V_{D3} 、 V_{D4} 称为续流二极管，它们所起的作用是：以图 5.14(a) 为例，当 K_1 、 K_4 开关受控制由闭合转向断开时，由于此时线圈绕组 AB 上的电流不能突变，仍需按原电流方向流动(即 $A \rightarrow B$)，此时就是由 V_{D3} 、 V_{D2} 来提供回路的。因此，电流在 K_1 、 K_4 关断的瞬间的流向是由地 $\rightarrow V_{D3} \rightarrow$ 线圈绕组 $AB \rightarrow V_{D2} \rightarrow$ 电源 $+V_S$ 。同理，在图 5.14(b) 中，当开关 K_2 、 K_3 关断的瞬间，由二极管 V_{D4} 、 V_{D1} 提供线圈绕组的续流，电流回路为地 $\rightarrow V_{D4} \rightarrow$ 线圈绕组 $AB \rightarrow V_{D1} \rightarrow$ 电源 $+V_S$ 。

实现上述开关功能的元件在实际电路中常采用功率 MOSFET 管。下图 5.15 给出了用 H 桥驱动步进电机 AB 相线圈的电路原理图。选用的功率 MOSFET 元件是 IRFP460，其 $I_D=20A$ ， $V_{DS}=500V$ ， $R_{DS(ON)}=0.27\Omega$ 。

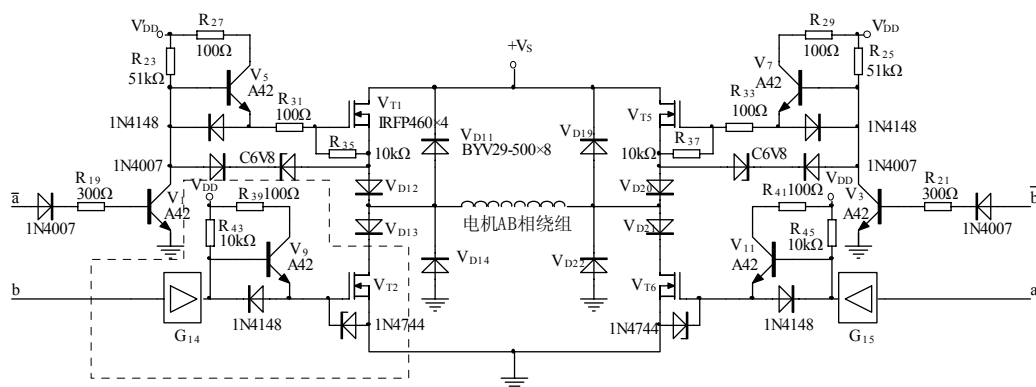


图 5.15 H 桥驱动电路和功率 MOSFET 管的驱动

在图 5.15 中，功率 MOSFET 管 V_{T1} 、 V_{T5} 、 V_{T2} 、 V_{T6} 和续流二极管 V_{D11} 、 V_{D19} 、 V_{D14} 、 V_{D22} 相当于图 5.14 中的 K_1 、 K_2 、 K_3 、 K_4 和 V_{D1} 、 V_{D2} 、 V_{D3} 、 V_{D4} 。功率 MOSFET 管的控制信号是由 TTL 逻辑电平 a 、 \bar{a} 、 b 、 \bar{b} 来提供的，其中 a 与 \bar{a} 、 b 与 \bar{b} 在逻辑上互反，下面讨论一下 TTL 电平的控制信号是如何驱动功率 MOSFET 管的。

功率 MOSFET 管的特性在前述课本内容中已有详细的介绍。由于功率 MOSFET 管栅极电容的存在，对该管的驱动电流实际表现为对栅极电容的充、放电。极间电容越大，在开关驱动

中所需的驱动电流也越大,为了使开关波形具有足够的上升和下降陡度,驱动电流要具有较大的数值。如果直接用集电极开路的器件如 SN7407 驱动功率 MOSFET 管,则电路在 MOSFET 管带感性负载时,上升时间过长,会造成动态损耗增大。为了改进功率 MOSFET 管的快速开通时间,同时也减少在前级门电路上的功耗,我们采用的 MOSFET 管驱动电路是图 5.15 虚线框内的左下臂驱动电路。

在该驱动电路中,集电极开路器件 G_{14} 是将 TTL 电平转换成 CMOS 电平的缓冲/驱动器,当 G_{14} 输出低电平时,功率 MOSFET 管 V_{T2} 的栅极电容通过 1N4148 被短路至地,这时 G_{14} 吸收电流的能力受 G_{14} 内部导通管所允许通过的电流限制(可参考课本中门电路特性参数有关内容)。而当 G_{14} 输出为高电平时, V_{T2} 管的栅极通过晶体管 V_9 获得电压和电流,充电能力提高,因而开通速度加快。

虚线框中,1N4744 是栅源间的过压保护齐纳二极管,其稳压值为 15V。我们知道,功率 MOSFET 管栅源间的阻抗很高,故工作于开关状态下的漏源间电压的突变会通过极间电容耦合到栅极而产生相当幅度的 V_{GS} 脉冲电压。这一电压会引起栅源击穿造成管子的永久损坏,如果是正方向的 V_{GS} 脉冲电压,虽然达不到损坏器件的程度,但会导致器件的误导通。为此,要适当降低栅极驱动电路的阻抗,在栅源之间并接阻尼电阻或接一个稳压值小于 20V 而又接近 20V 的齐纳二极管,防止栅源开路工作,1N4744 就是起这样的作用的。同理,我们不难分析图 5.15 中其它功率 MOSFET 管如 V_{T1} 管驱动电路中 V_5 、C6V8 和 R_{35} 所起的作用。

在图 5.15 所示电路中, V_{D11} 、 V_{D14} 、 V_{D19} 、 V_{D22} 的作用是给感性绕组提供续流通路。 V_{D12} 、 V_{D13} 、 V_{D20} 、 V_{D21} 的作用是防止感性绕组续流流经功率管 MOSFET 内部的快恢复二极管。

其中,反并联快恢复二极管 V_{D11} 、 V_{D14} 的作用是为电机 AB 相绕组提供续流通路, V_{D12} 、 V_{D13} 是为了使功率 MOSFET 管 V_{T1} 、 V_{T2} 内部的快恢复二极管不流过反向电流,以保证 V_{T1} 、 V_{T2} 在动态工作时能起正常的开关作用。 V_{D19} 、 V_{D20} 、 V_{D21} 、 V_{D22} 的作用亦是同样的道理。

图 5.15 电路的工作过程是这样的:当控制信号 $a=1$ 、 $b=0$ (即 a 为高电平、 b 为低电平)时,左边的 V_1 管因 $a=0$ 而处于关断状态,于是 V_5 管导通, V_5 的导通将使 V_{T1} 导通; $b=0$ 使 G_{14} 输出低电平,于是 V_9 管关断, V_{T2} 亦关断。同时,在 $a=1$ 、 $b=0$ 的情况下,右边的 V_{T5} 管关断, V_{T6} 管导通。此时该电路处于如图 5.14(a)所示状态,即电流 I_L 由电源+ $V_S \rightarrow V_{T1} \rightarrow V_{D12} \rightarrow$ 电机 AB 相绕组 $\rightarrow V_{D21} \rightarrow V_{T6} \rightarrow$ 地,电机 AB 相绕组上的电流方向为 $A \rightarrow B$ 。

当控制信号 $a=0$ 、 $b=1$ 时,图 5.15 的电路将处于如图 5.14(b)所示状态,即电流 I_L 由电源+ $V_S \rightarrow V_{T5} \rightarrow V_{D20} \rightarrow$ 电机 AB 相绕组 $\rightarrow V_{D13} \rightarrow V_{T2} \rightarrow$ 地,电机 AB 相绕组上的电流方向为 $B \rightarrow A$ 。而当 $a=0$ 、 $b=0$ 时, V_{T1} 、 V_{T2} 、 V_{T5} 、 V_{T6} 均处于关断状态,此时绕组驱动电路没有电流通路存在,电机 AB 相绕组没有电流流过。 $a=1$ 、 $b=1$ 的情况是不允许存在的,否则将因 V_{T1} 和 V_{T2} 、 V_{T5} 和 V_{T6} 同时导通从而使电源直接连到地造成功率管的损坏。

由上可以看出,使绕组电流按预定方向流动的关键是正确提供功率 MOSFET 管的驱动控制信号。对于采用上述驱动电路的两相步进电机,即在基本步单向激励方式下,其 AB 相和 CD 相绕组的电流方向和控制信号 a 和 b 、 c 和 d 的关系如表 5.5 所示。

表 5.5 电流方向和控制信号的关系

电流方向	a	b	电流方向	c	d
A→B	1	0	C→D	1	0
B→A	0	1	D→C	0	1
无电流	0	0	无电流	0	0

同样可以分析出,当两相步进电机在基本步两相激励方式工作时,其相电流方向与四个控制信号 a 、 b 、 c 、 d 的时序关系如表 5.6 所示。

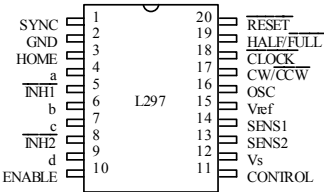
表 5.6 基本步两相激励方式下的相电流方向和控制信号关系

相电流方向	abcd
A→B, C→D	1010
B→A, C→D	0110
B→A, D→C	0101
A→B, D→C	1001

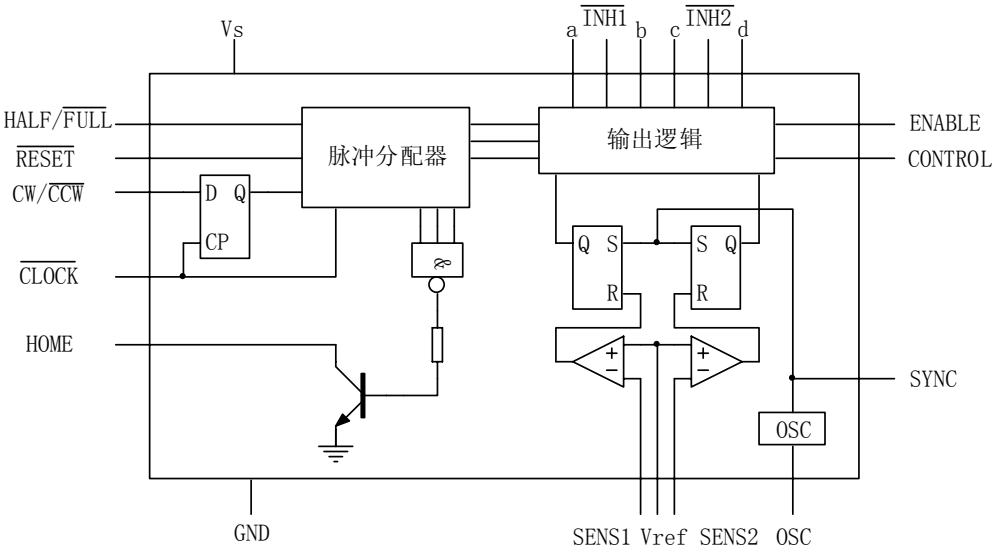
4、由 L297 组成的步进控制信号产生电路

(1) 步进电机专用控制芯片 L297。L297 步进电机控制器集成电路非常适用于两相步进电机的控制。用 L297 输出信号可控制双 H 桥驱动电路(电机绕组 AB 需一个 H 桥，绕组 CD 亦需一个 H 桥)。L297 采用模拟/数字电路兼容的 I²L 工艺，20 脚 DIP 封装，通常以 5V 供电，全部信号是 TTL/CMOS 兼容。

L297 内部的核心电路是脉冲分配器，它产生三种时序控制信号，对应于步进电机的三种激励方式。L297 的引脚分配图和内部的逻辑框图如图 5.16(a)、(b)所示。



(a) L297 引脚分配图



(b) L297 内部逻辑框图

图 5.16 L297 引脚分配图和内部逻辑框图

L297 的管脚符号名称和功能说明如下：

- 1 脚 SYNC：多片 L297 实现同步控制时的同步信号输出或输入端，该同步信号在斩波控制中用于提供触发脉冲，单台使用时该 SYNC 引脚悬空或接到一个外部时钟信号输出端即可。
- 2 脚 GND：芯片电源地。
- 3 脚 HOME：用于指示芯片内部脉冲分配器处于初始状态时的输出引脚，即当 L297 的输出信号 ABCD=0101 时，该引脚输出高电平，其余状态下均为低电平。HOME 引脚是集电极开路输出，用于电平指示时需外接集电极上拉电阻，用于 LED 灯指示时需加 LED 灯和集电极限流电

阻。

4 脚 a：步进电机 AB 相绕组的控制信号。

6 脚 b：步进电机 AB 相绕组的控制信号。

5 脚 $\overline{\text{INH1}}$ ：由 4 脚 a 和 6 脚 b 相“或”得到，即 $\overline{\text{INH1}} = a + b$ 。对于 H 桥驱动电路，低电平的 $\overline{\text{INH1}}$ 信号对应了步进电机 AB 相绕组的关断。在基本步两相激励方式中， $\overline{\text{INH1}}$ 信号保持为高电平，因为该方式中相绕组一直处于工作状态，没有关断状态。当 CONTROL 引脚为低电平时，该信号被作为斩波控制信号。

7 脚 c：步进电机 CD 相绕组的控制信号。

9 脚 d：步进电机 CD 相绕组的控制信号。

8 脚 $\overline{\text{INH2}}$ ：由 7 脚 c 和 9 脚 d 相“或”得到，即 $\overline{\text{INH2}} = c + d$ 。 $\overline{\text{INH2}}$ 的作用与 $\overline{\text{INH1}}$ 相似，用于控制步进电机 CD 相绕组。

10 脚 ENABLE：芯片使能输入信号，当该引脚输入高电平时 L297 开始工作，当该引脚为低电平时，a、b、c、d、 $\overline{\text{INH1}}$ 、 $\overline{\text{INH2}}$ 将全部输出低电平信号。

11 脚 CONTROL：用于芯片内部斩波器的工作方式选择。当该引脚接低电平时，斩波控制信号作用于 $\overline{\text{INH1}}$ 、 $\overline{\text{INH2}}$ ；当该引脚接高电平时，斩波控制信号作用于 a、b、c、d 引脚。

12 脚 V_s ：芯片+5 伏电源输入。

13 脚 SENS2：电机 CD 相绕组电流检测输入端。

14 脚 SENS1：电机 AB 相绕组电流检测输入端。

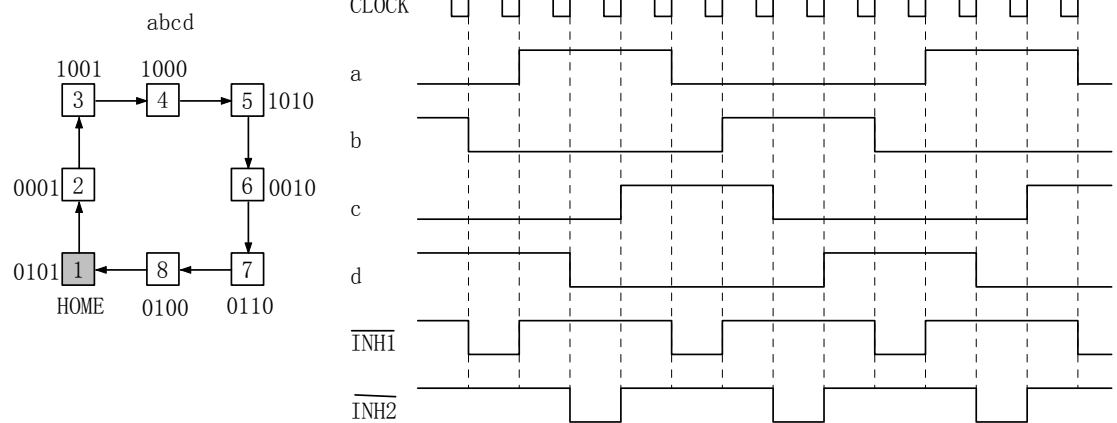
15 脚 V_{ref} ：斩波电路参考电压输入端。该电压值决定了流过电机绕组的最大电流值。

16 脚 OSC：内部振荡电路的外接电阻和电容引脚，当所接电阻为 R、电容为 C 时，将产生频率为 $f_{\text{osc}} = \frac{1}{0.69RC}$ 的斩波控制信号，该信号也从 1 脚 SYNC 输出。在使用多片 L297 时，除一片接 R、C 外，其余均接地。

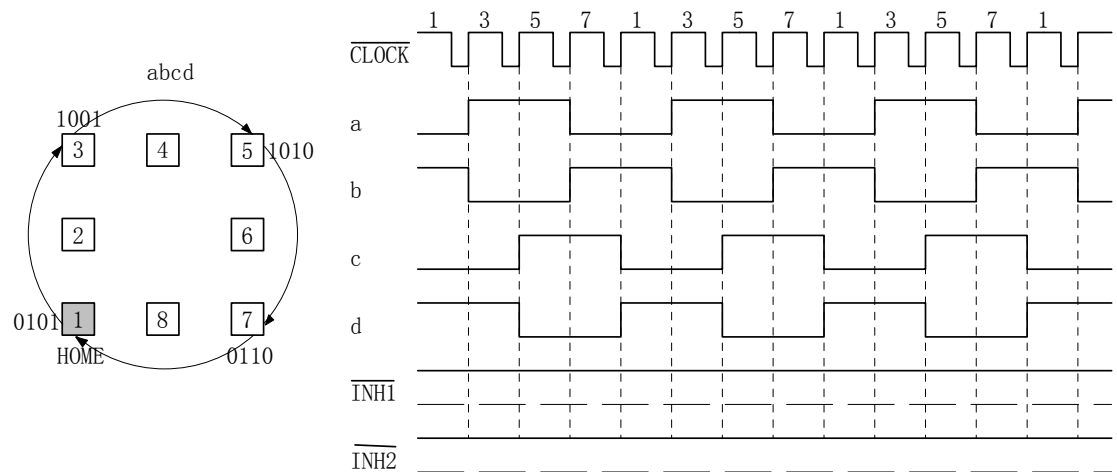
17 脚 $\text{CW}/\overline{\text{CCW}}$ ：正/反转控制信号输入，该信号来自上位计算机发出的方向控制命令。当 $\text{CW}/\overline{\text{CCW}}$ 为高电平时，电机顺时针旋转；当 $\text{CW}/\overline{\text{CCW}}$ 为低电平时，电机逆时针旋转。注意，电机的顺、逆时针旋转与相绕组的接线有关系，这里只是一个相对的定义。

18 脚 $\overline{\text{CLOCK}}$ ：步进脉冲信号输入端，该信号来自上位计算机。

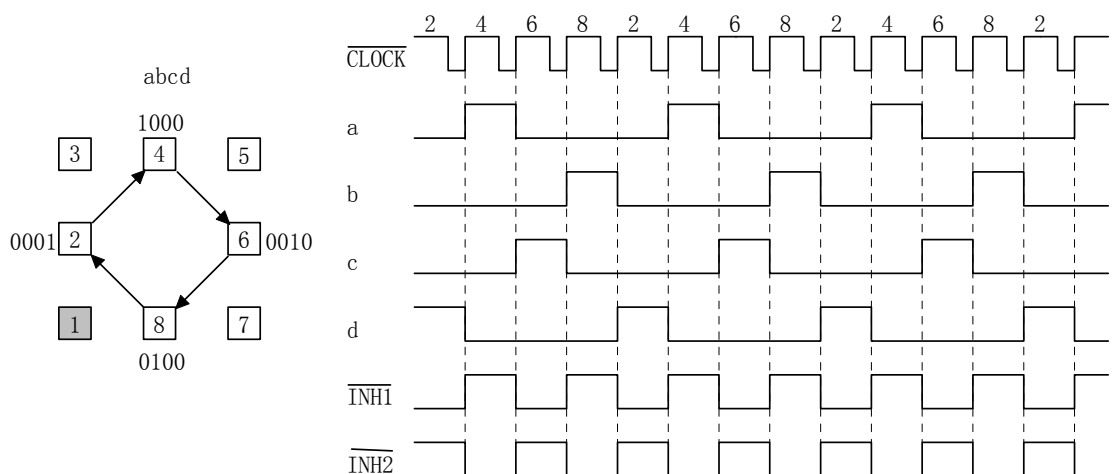
19 脚 $\text{HALF}/\overline{\text{FULL}}$ ：基本步/半步控制信号输入端。当 $\text{HALF}/\overline{\text{FULL}}$ 为高电平时，L297 输出如图 5.17(a) 所示的半步工作方式控制信号(对应步进电机单一两相激励方式)。当将 $\text{HALF}/\overline{\text{FULL}}$ 设为低电平，若此时 L297 内部的脉冲分配器处于奇数状态(1、3、5、7)，则 L297 将输出如图 5.17(b)所示的基本步工作方式时序控制信号(对应步进电机两相激励方式)；而若此时的脉冲分配器处于偶数状态(2、4、6、8)，则 L297 输出如图 5.17(c)所示的基本步工作方式时序控制信号(对应步进电机单相激励方式)。



(a) 半步工作方式时序信号(单一两相激励方式)



(b) 基本步工作方式时序信号(两相激励方式)



(c) 基本步工作方式时序信号(单相激励方式)

图 5.17 L297 三种工作方式下的时序信号

20 脚 **RESET**：芯片复位信号输入。当该引脚输入低电平时，内部脉冲分配器复位，在使

能输入 ENABLE 为高电平的条件下，输出的控制信号为 abcd=0101。电路正常工作时要保证 $\overline{\text{RESET}}$ 为高电平。

L297 斩波工作原理的说明：

如图 5.16(b) 所示的 L297 内部逻辑框图，L297 设有两个 PWM 斩波器，每个斩波器由一个比较器、一个 RS 触发器和外接采样电阻组成。并设有一个公用振荡器，向两个斩波器提供触发脉冲信号。

其工作过程是这样的：振荡器输出的振荡脉冲频率 f 由 16 脚 OSC 的外接 RC 决定，当 $R > 10\text{K}\Omega$ 时， $f \approx \frac{1}{0.69RC}$ 。振荡器输出的脉冲使 RS 触发器置“1”，L297 产生控制信号驱动电路工作，电机绕组相电流上升。外电路采样电阻上的电压通过 SENS1 或 SENS2 输入 L297 内，当电机绕组相电流上升所引起的采样电压上升到基准电压 V_{ref} 时，比较器翻转，使 RS 触发器复位清“0”，L297 内的输出逻辑电路使 a、b 或 $\overline{\text{INH1}}$ ，c、d 或 $\overline{\text{INH2}}$ (由 CONTROL 决定) 输出低电平，驱动相绕组的功率开关管被关断，相绕组电流下降，直至下一个振荡脉冲到来时再恢复。这样，RS 触发器输出的是恒频的 PWM 信号，用来调制 L297 的输出控制信号 a、b(或 $\overline{\text{INH1}}$) 和 c、d(或 $\overline{\text{INH2}}$)。

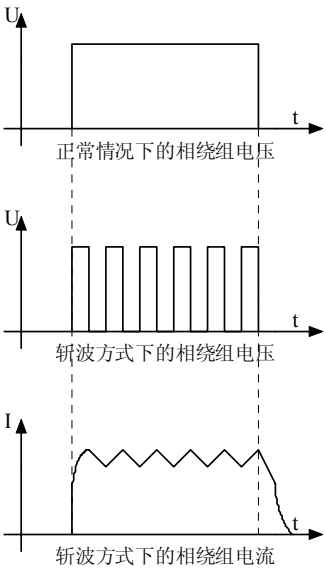


图 5.18 斩波驱动方式下的相绕组电压、电流波形

斩波驱动方式下的相绕组电压、电流波形如图 5.18 所示，用斩波器来控制绕相组电流，能获得良好的转矩—频率特性。同时，以脉冲的方式向相绕组供电，提高了电源的效率。

(2) 控制信号产生电路。以 L297 为核心，组成步进控制信号产生电路如下图 5.19 所示。

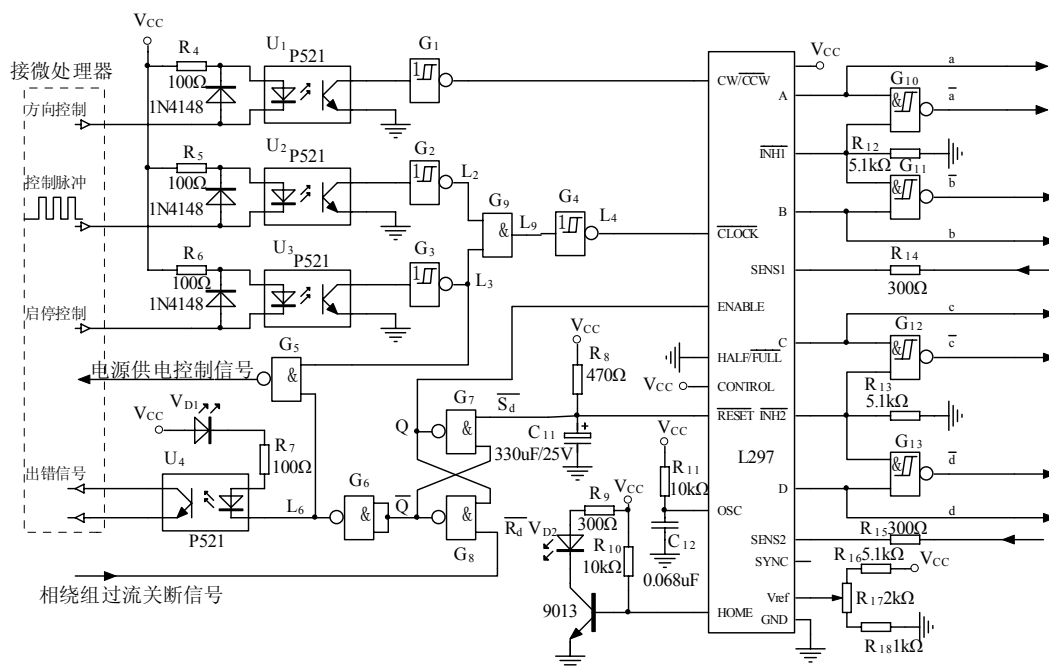


图 5.19 步进控制信号产生电路

其中,为了使驱动器能与上位计算机在电气上做到完全隔离,接口处全部使用光耦电路。来自上位计算机的方向控制信号、步进脉冲信号、启停控制信号分别送给光耦芯片 P521 的 U_1 、 U_2 、 U_3 。经光耦隔离后由施密特非门 G_1 、 G_2 、 G_3 整形后送入步进电机控制芯片 L297。同时,控制电路检测到的出错信号也经光耦芯片 U_4 输出给外电路(上位计算机)。

电路的工作过程说明如下:

①系统开机工作过程。系统刚开机供电时,电容 C_{11} 还来不及充足充电,所以 L297 的 $\overline{\text{RESET}}$ 引脚为低电平, L297 内部的脉冲分配器复位,与非门 G_7 的输入引脚 $\overline{S_d}$ 为低电平。由于此时电机相绕组没有工作电流,相绕组过流关断信号为高电平(电路见下文),该高电平送给与非门 G_8 的输入引脚 $\overline{R_d}$ 。于是,由与非门 G_7 和 G_8 组成的基本 RS 触发器输出 Q 被置 1 为高电平, \overline{Q} 为低电平。 Q 的高电平信号送给 L297 的使能输入 ENABLE 引脚,此时 L297 被复位并开始送出复位后的 $abcd=0101$ 控制信号。同时指示芯片处于初始状态的 HOME 引脚输出高电平点亮发光二极管 V_{D2} ,表示电路已开始工作且内部脉冲分配器处于状态 1。 \overline{Q} 的低电平信号经门 G_6 后输出的 L_6 为高电平, L_6 高电平一路经光耦 U_4 使出错信号输出为开路状态(U_4 内部的光接收三极管开路);另一路与来自上位计算机的启停控制信号经门 G_5 与非后送出电源供电控制信号。当电容 C_{11} 充电到 V_{CC} 电压时, G_7 和 G_8 组成的触发器输入 $\overline{S_d}$ 、 $\overline{R_d}$ 均为高电平,基本 RS 触发器处于保持状态,即仍保持 $Q=1$ 、 $\overline{Q}=0$ 的状态。

②系统的工作方式。在本电路中,由于 L297 的 $\overline{\text{HALF/FULL}}$ 引脚接低电平,根据上面的分析结果,即起始输出状态为 $abcd=0101$,所以本电路输出的控制信号为基本步两相激励方式。

若选择输出控制信号为半步单一两相激励方式，则应将 $\overline{\text{HALF/FULL}}$ 引脚接高电平；

若选择输出控制信号为基本步单相激励方式，则应将 $\overline{\text{HALF/FULL}}$ 引脚接至上位计算机，

上位计算机在发出步进脉冲信号前先将 $\overline{\text{HALF/FULL}}$ 置为高电平，发出一个步进脉冲信号后，再将该引脚置为低电平，此后发出的第二个及后续步进脉冲信号使 L297 输出基本步单相激励方式控制信号。

③系统启停工作过程。上位计算机发出的启停控制信号为高电平时，表示停止工作，此时门 G_3 的输出 L_3 为低电平， L_3 一路送给门 G_5 ，与 L_6 与非后，使电源供电控制信号输出高电平，该高电平将切断电机绕组工作所需要的电源，电机停止工作(参阅电源电路部分)。 L_3 的低电平信号另一路送给门 G_9 ，封锁由 L_2 送给 G_9 的控制脉冲信号，使 G_9 输出 L_9 为低电平，

L_9 经 G_4 后输出 L_4 为高电平，则进入 L297 $\overline{\text{CLOCK}}$ 脚的信号始终为高电平，无步进脉冲信号的输入，L297 输出的控制信号状态不变，步进电机停止工作。

上位计算机发出的启停控制信号为低电平时， L_3 变为高电平。此时，门 G_5 的两个输入 L_3 、 L_6 均为高电平， G_5 输出的电源供电控制信号为低电平，电源电路被开启，电机获得正常工作所需的电压；同时， L_3 的高电平解除了对门 G_9 的封锁，此时由上位计算机送入的步进脉

冲经光耦 U_2 隔离、门 G_2 取反整形后，通过门 G_9 ，再经门 G_4 取反进入 L297 的 $\overline{\text{CLOCK}}$ 引脚。L297 在步进脉冲信号的作用下，送出基本步两相激励方式的控制信号，步进电机正常工作。

④方向控制工作过程。当上位计算机的方向控制信号为高电平时，光耦 U_1 输出为低电平，此时 G_1 的输出即 $\overline{\text{CW/CCW}}$ 为高电平，步进电机顺时针转动；当方向控制信号为低电

平时，光耦输出为高电平，此时 G_1 的输出即 $\overline{\text{CW/CCW}}$ 为低电平，步进电机逆时针转动。

5、电源电路

本案例使用的电源如图 5.20 所示。

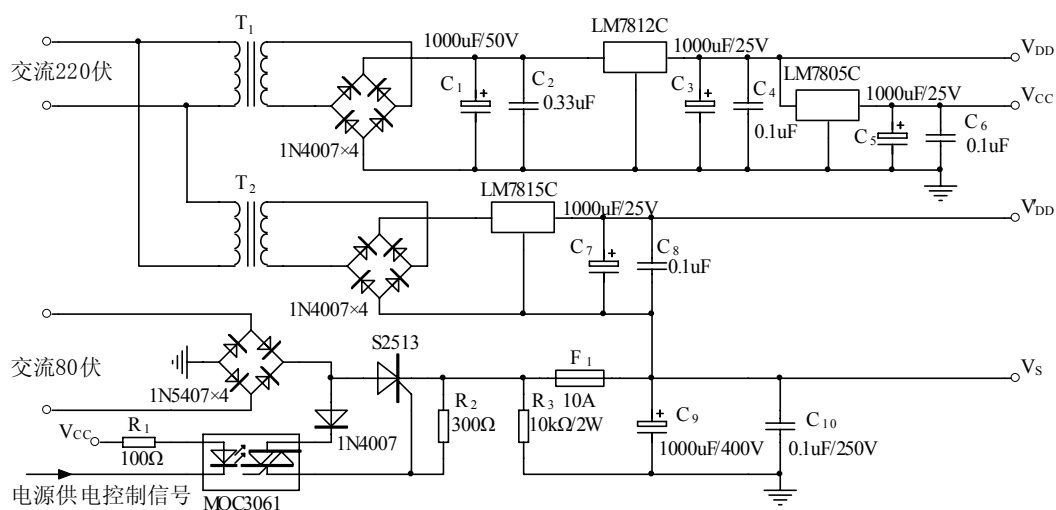


图 5.20 电源电路

由图 5.20 可以看出，交流 220V 电压经变压器 T_1 降压、四个 1N4007 二极管整流后由 LM7812C 和 LM7805C 分别产生 $V_{DD}=+12V$ 电压和 $V_{CC}=+5V$ 电压，其中 V_{DD} 提供给冷却风扇，

VCC 提供给步进控制信号产生电路。交流 220V 电压经大功率变压器（图中未画出）降压至交流约 80 伏后，经四个 1N5407 组成的桥堆整流产生 112V 的直流电压，该电压经受控制的单向可控制硅 S2513 并经 C_9 、 C_{10} 滤波，给电机绕组供电（即图中的 V_s ）。

电源 V_s 的受控进程是这样的：在图 5.20 中，当来自步进控制信号产生电路的电源供电控制信号为高电平时，光耦 MOC3061 输出低电平使可控硅 S2513 截止，电机绕组供电被切断。当电源供电控制信号为低电平时，MOC3061 输出高电平使 S2513 导通，电机绕组获得正常工作所需的供电。

为了让 H 桥驱动电路中的功率 MOSFET 管在下臂不工作时上臂亦能正常被驱动，上臂 MOSFET 管驱动电路的电源 $V'_{DD} = +15V$ 是叠加在电机绕组供电电压 V_s 之上的。

6、H 桥驱动电路中的过流检测电路

过流保护电路有两个保护功能，其一是当偶然产生峰值电流时，通过 L297 内部的两个 PWM 斩波器来平缓两个绕组的峰值电流，以保持平稳的转矩—频率特性；其二是当电流持续过载，可能造成电机损坏时，切断电机供电电源，以保护电机不受到损坏。

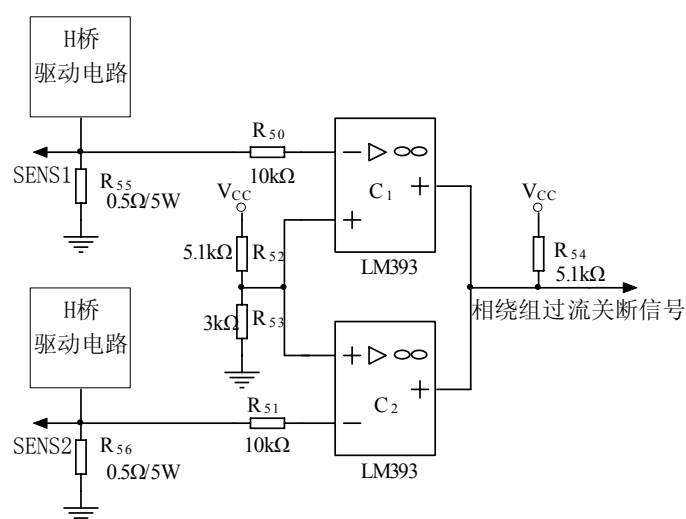


图 5.21 过流检测电路

在如图 5.21 所示的过流检测电路中， R_{55} 、 R_{56} 是串接在两个相绕组回路中的采样电阻，当出现峰值电流时， R_{55} 、 R_{56} 上的电压升高即 SENS1、SENS2 上的电压升高，当这二个电压升高到 L297Vref 引脚的参考电压后，L297 产生斩波控制信号，该斩波信号被加到驱动控制信号上以后，相应绕组上的连续电流也变成斩波电流，从而使绕组的峰值电流下降。当因短路或其它原因，使绕组电流持续过载，采样电阻 R_{55} 、 R_{56} 上的电压送给由 LM393 运放构成的两个比较器 C_1 、 C_2 中，一个或二个超过被比较电压时（被比较电压是由 R_{52} 、 R_{53} 设定的分压值），两个比较器的输出，即相绕组过流关断信号均由高电平变成低电平，此低电平使图 5.19 中由 G_7 、 G_8 组成的基本 RS 触发器被置 0，即 Q 为低电平， \overline{Q} 为高电平。Q 的低电平即 L297 的使能输入 ENABLE 引脚为低电平，L297 的 a、b、c、d、 $\overline{INH1}$ 、 $\overline{INH2}$ 全部输出低电平，后续电路不工作；同时， \overline{Q} 的高电平经门 G_6 反相的 L_6 变成低电平，此低电平一方面使电源供电控制信号输出为高电平，切断电机工作电源；另一方面使光耦 U_4 导通，输出短路的出错信号，并将发光二极管 V_{D1} 点亮。

7、完整的步进电机控制驱动器电路

完整的对两相激励式步进电机进行控制的驱动器电路由上述的电源电路、步进控制信号产生电路、过流检测电路和 H 桥驱动电路组成。如图 5.22 所示。电路所用元器件型号名称及参数标在电路图中。

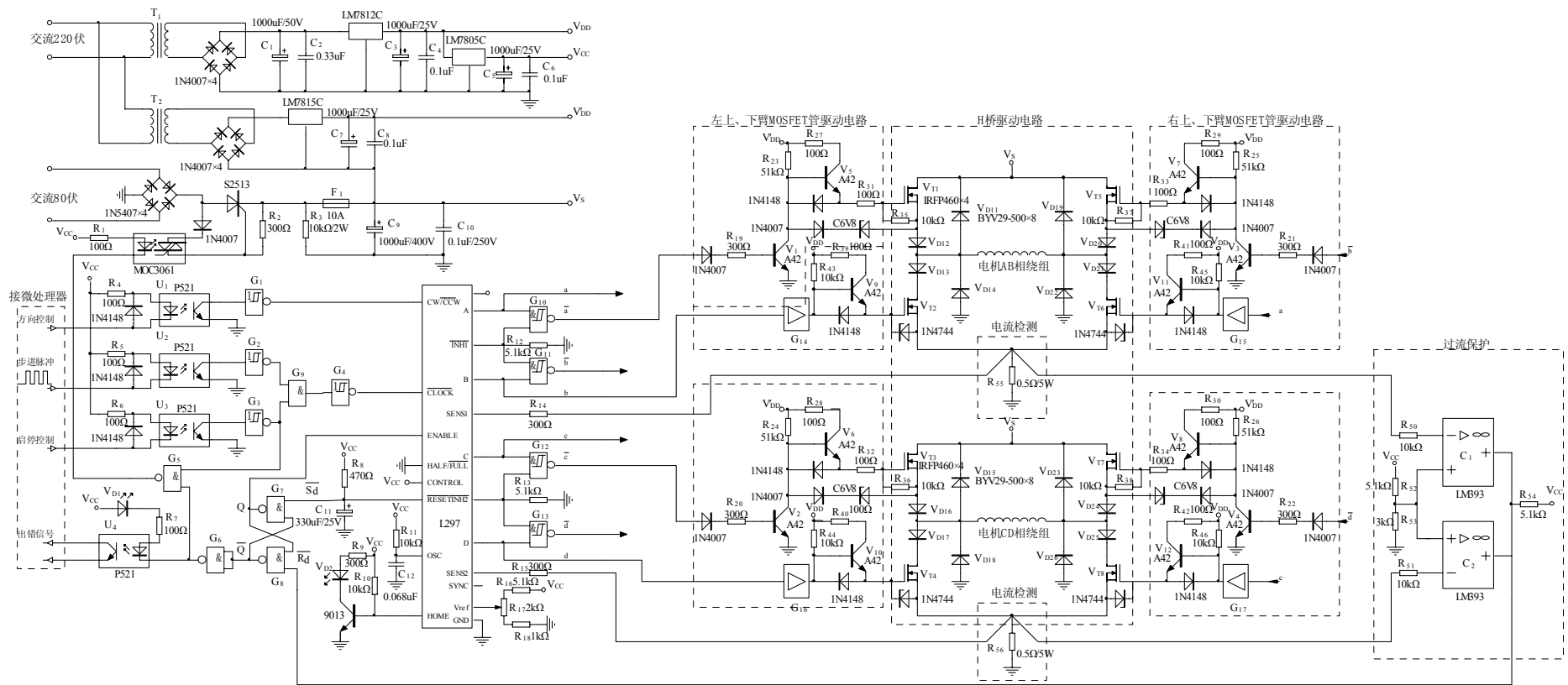


图 5.22 步进电机控制驱动器电路

8、案例思考题

- (1) 如图 5.23 所示，给步进电机供电在①号定子处形成 N 极，试分析 S 极 0' 号齿和 N 极 0 号齿受到①号定子小齿(1)、(2)、(3)、(4)、(5)的详细作用力情况？对于 S 极 1' 号齿和 N 极 1 号齿，受力情况又将如何？

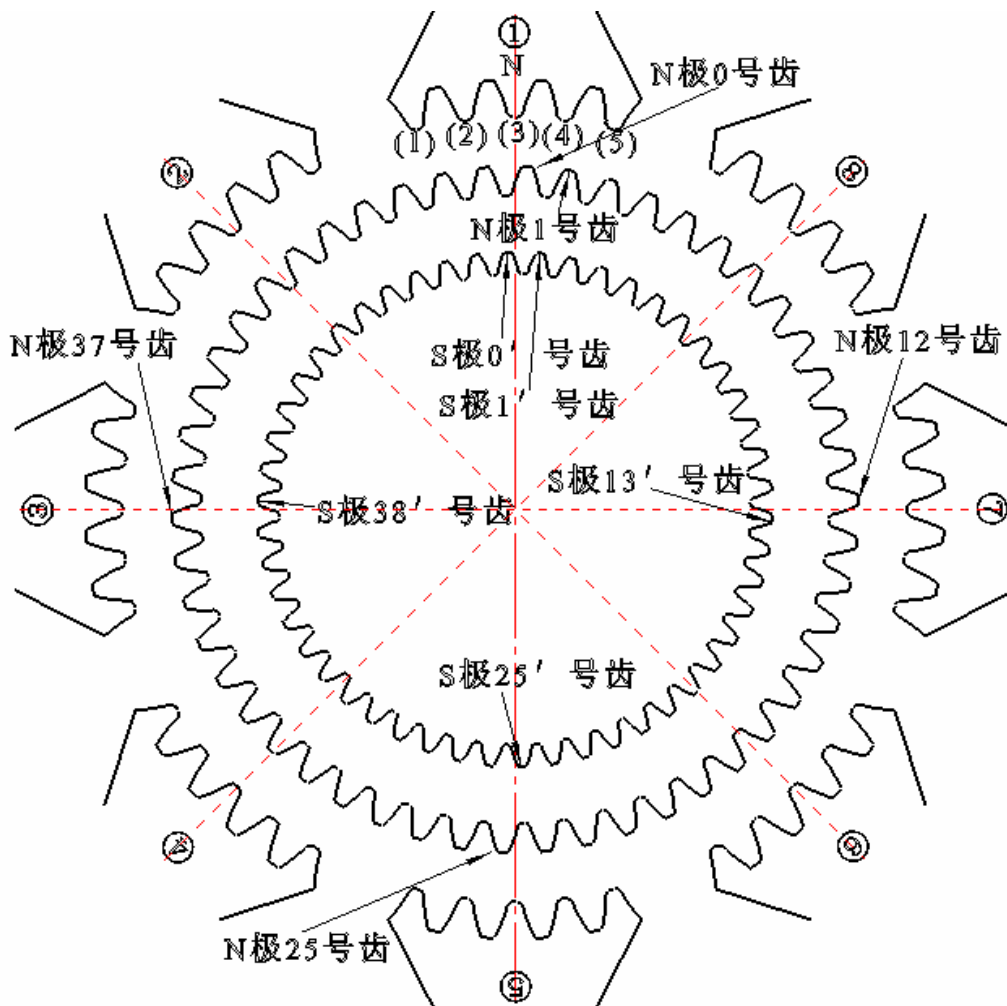


图 5.23

- (2) 两相激励方式时，电机线圈的供电方式按如下四步循环：

- 1) AB 相、CD 相同时供电，电流方向为 $A \rightarrow B$ 、 $C \rightarrow D$ ；
- 2) BA 相、CD 相同时供电，电流方向为 $B \rightarrow A$ 、 $C \rightarrow D$ ；
- 3) BA 相、DC 相同时供电，电流方向为 $B \rightarrow A$ 、 $D \rightarrow C$ ；
- 4) AB 相、DC 相同时供电，电流方向为 $A \rightarrow B$ 、 $D \rightarrow C$ 。

设此时电机的转子将按顺时针方向旋转，问：若要使电机的转子按逆时针方向旋转，则电机线圈的供电方式又将如何？在图 5.24 中画出此时的相电压波形。

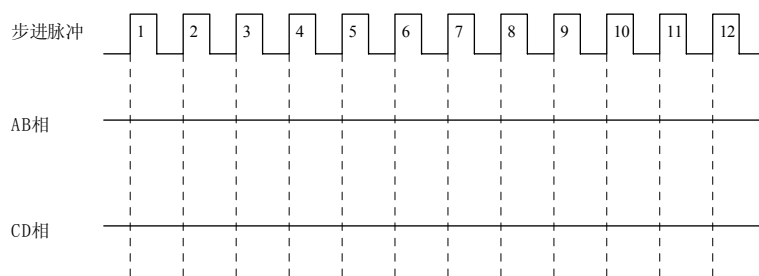


图 5.24

- (3) 在图 5.19 中，忽略相绕组过流关断信号的作用，若送给该电路的启停控制、控制脉冲、方向控制信号如图 5.25 所示，试分析 L297 内部脉冲分配器的工作情况，画出此时从 L297 a、b、c、d 引脚的输出波形，后续所接电机的工作情况如何？

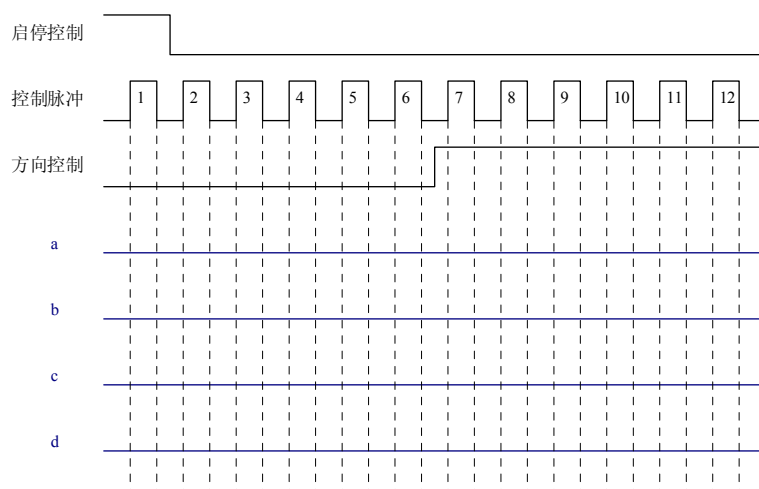


图 5.25

5.2 用普通电话机组成内部通话系统案例

把用普通电话机组成内部通话系统作为案例，其目的有三：其一该案例涉及到一些有线通信中的内容，可供通信专业学生选用；其二该案例是一个系统，可以分块，因此可由几个学生分工协作完成，这样可以培养学生的协作精神；其三，该案例会让学生产生兴趣，因为它可以在一个局域范围内构成通信系统，具有实用性，况且电路制作简单，容易实现。

5.2.1 8870 和 5087 集成电路介绍

5087 是普通电话机中双音频 (DTMF) 产生和发送集成电路，8870 是与 5087 相对应的双音频接收和解码集成电路，5087 和 8870 组成的编码发送和接收解码的实际电路如图 5.26 所示。

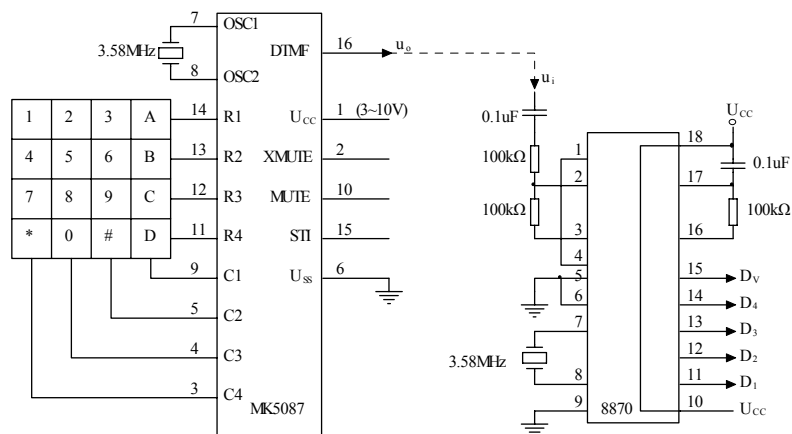


图 5.26 5087 和 8870 在实际使用中的管脚接线图

在图 5.26 中，5087 和按键是普通电话机上的部件。系统使用时，按下键盘上的数码键后，就会在电话机的二根接线之间送出和键盘数码相对应的双音频信号。8870 是双音频信号接收和解码集成电路，其中电源电压范围为 3~10V。在 7、8 脚之间接有 3.58MHz 晶振，其它元件及数值均标在电路图中。当接收到电话机发出的双音频信号后， $D_3D_2D_1$ 输出和数码相对应的二进制码，该二进制一直保留到下一个双音频到达后输出新的二进制码为止。每收到一个双音频信号， D_v 送出一个正脉冲。键盘数码和对应的双音频频率数值及 8870 接收到双音频信号后，输出的二进制码的对应关系如表 5.7 所示。

表 5.7 键盘数码、双音频频率数值及 8870 对应的译码输出表

键盘数码	双音频低频 f_L (Hz)	双音频高频 f_H (Hz)	8870 对应的译码输出
1	697	1209	0001
2	697	1336	0010
3	697	1477	0011
4	770	1209	0100
5	770	1336	0101
6	770	1477	0110
7	825	1209	0111
8	825	1336	1000
9	825	1477	1001
0	941	1209	1010
*	941	1336	1011
#	941	1477	1100
A	697	1633	1101
B	770	1633	1110
C	825	1633	1111
D	941	1633	0000

5.2.2 通话系统的工作原理

通话系统的原理框图如图 5.27 所示。

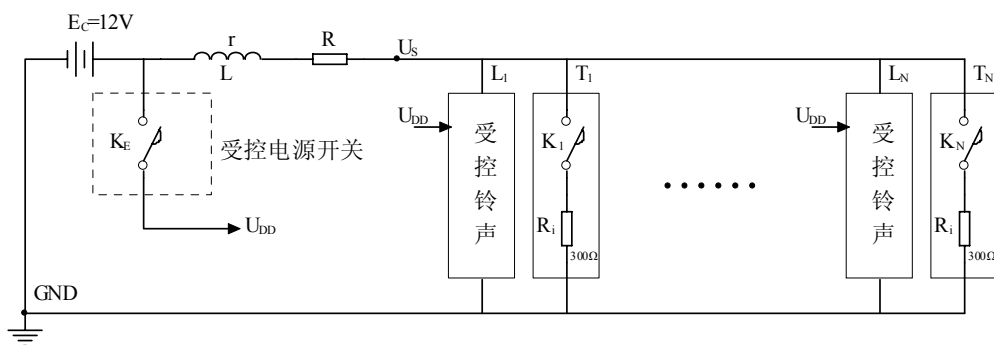


图 5.27 通话系统原理框图

在原理框图中 $T_1 \sim T_N$ 为 N 只普通电话机，每只电话机配一只受控铃声电路， N 只受控铃声电路 ($L_1 \sim L_N$) 和 N 只普通电话机 ($T_1 \sim T_N$) 用三条线并联成系统。这三条线是主电源 E_C 经 L 和 R 串联后的 U_S 线， E_C 经受控电源开关后的铃声电路电源 U_{DD} 线，及 E_C 的地线 GND 。图中的 L 是音频扼流圈， r 是它的电阻 (L 可用 $20W$ 以上，次级电压在 $10V$ 以上的电源变压器的次级线圈替代)。 $r+R \approx 100 \Omega$ (R 的功率应 $\geq \frac{1}{2} W$)。根据电话机的功能，电话机摘机后，机内开关自动闭合。闭合后，电话机的等效电阻 $R_i \approx 300 \Omega$ 。挂机后，机内开关自动断开。由图可知，当有一只主呼机摘机后， U_S 由 $12V$ 变成 $9V$ ，当被呼机再摘机后， U_S 由 $9V$ 变成 $7.2V$ 。系统的工作过程是这样的：当主呼机摘机后， U_S 由 $12V$ 变成 $9V$ ，这个变化使受控电源开关 K_E 接通，系统中所有受控铃声电路被加上电源 U_{DD} 。当主呼机拨号后，相应的被呼机收到被呼的双音频信号后，铃声响起。被呼机听到铃声摘机后， U_S 由 $9V$ 变成 $7.2V$ ，这个变化使被呼机的铃声停，两机即可通话。如果被呼机无人接听，则主呼机挂机， U_S 由 $9V$ 变回到 $12V$ ，受控电源开关被关断，被呼机的铃声因电源切断而停止。根据上述工作过程可以看出，该系统的通话操作过程和普通电话通话操作过程完全一致。

5.2.3 通话系统各部分具体电路介绍

1、主电源和受控电源开关电路

主电源和受控电源开关电路原理图如图 5.28 所示。

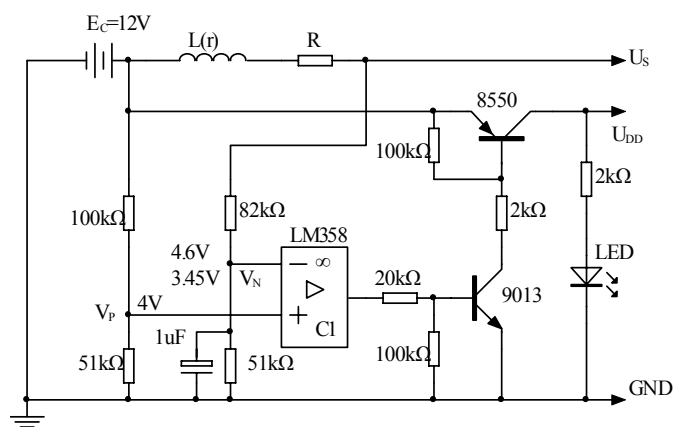


图 5.28 主电源和受控电源开关电路原理图

图中 E_C 是主电源，电源电压 $12V$ ，输出电流 $I_o \geq 1A$ ，具体电路在第二章中已有详细介绍，这里就不再细述了。8550 是中功率管，作为开关管使用，8550 的饱和导通和截止，受比较器 C_1 输出的控制。比较器的偏置电阻值已标在电路图中。由图可知，比较器的正端 $U_P \approx 4V$ 几乎不变，它的负端 U_N 和 U_S 有关。当系统无人使用时， $U_S = 12V$ ， $U_N = 4.6V$ ，此时 $U_N > U_P$ ，

C_1 输出低电平, 9013 和 8050 截止, $U_{DD}=0$, 相当于开关断开。当有人打电话而摘机时, U_S 由 12V 变成 9V, 此时, $U_N=3.45V$ 即 $U_N < U_P$ 。 C_1 输出高电平, 此时 9013 和 8050 饱和导通, 受控开关接通, $U_{DD} \approx 12V$ 。电源部分送出的三条线 U_S 、 U_{DD} 、GND 如图所示。

2、铃声产生及控制电路

铃声产生及控制电路如图 5.29 所示。

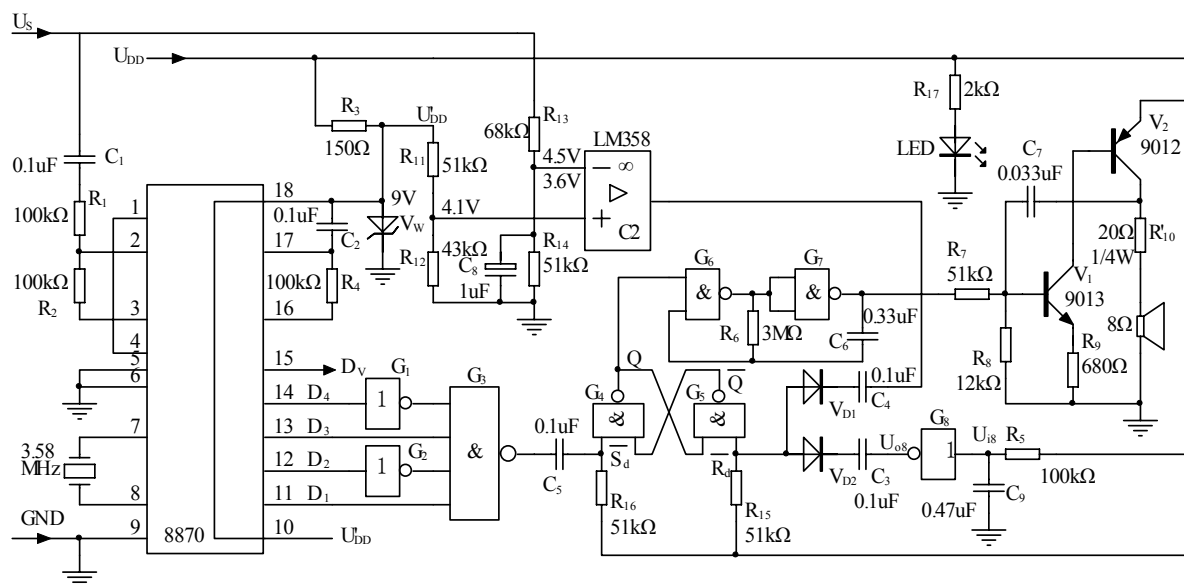


图 5.29 铃声产生及控制电路

图 5.29 是一个编号为 05 号话机所配的铃声产生及控制电路。其工作原理是这样的：当主呼机拨出 05 信号后，其双音频信号由 U_S 传送给双音频接收解码集成电路 8807，随后 8807 的输出 $D_4D_3D_2D_1=0101$ 。接着此二进制信号经过由 G_1 、 G_2 、 G_3 译码后， G_3 的输出由高电平变成低电平，这个由高到低的下降边经 C_5 、 R_{16} 微分后，在 $\overline{S_d}$ 处产生一个负脉冲，使由 G_4 、 G_5 组成的基本 RS 触发器被置 1，即 $Q=1$ 。由于 $Q=1$ ，由 C_6 、 R_6 组成的不对称多谐振荡器受控产生振荡，振荡频率 $f_1 = \frac{1}{2.2R_6C_6} \approx 0.5Hz$ 。当振荡器输出高电平的一秒时间内，由 V_1 (9013) 和 V_2 (9012) 组成的音频振荡器具有偏置电压而振荡，振荡频率约为 1KHz。当多谐振荡器输出低电平的一秒内，音频振荡器停振。这样，音频振荡器在多谐振荡器控制下产生哪一哪的铃声。

当被呼机听到铃声而摘机后， U_S 由 9V 变到 7.2V，比较器 C_2 的输出由高电平变到低电平，这个变化的下降边通过 C_4 、 R_{15} 微分后，在 $\overline{R_d}$ 产生一个负脉冲，使基本 RS 触发器被置 0，使二个振荡器停振而铃声断，此时二机即可通话。

由 R_5 、 C_9 、 G_8 、 C_3 和 V_{D2} 组成开机置 0 电路。这是因为，每当主呼机摘机，铃声产生及控制电路的电源 U_{DD} 被接通时，基本 RS 触发器究竟处于什么状态是随机的，为了保证开机后，基本 RS 触发器总处于置 0 状态，所以加了开机置 0 电路。开机置 0 电路的工作原理是这样的：当 U_{DD} 刚被接通时，由于 C_9 还没有被充电， G_8 的输入 U_{i8} 为低电平，则 U_{o8} 为高电平。随着时间的增长， U_{DD} 通过 R_5 向 C_9 充电， $U_{C9}=U_{i8}$ 逐渐上升，当 U_{i8} 上升到 $\frac{1}{2}U_{DD}$ 并稍超过时，

U_{08} 由高电平变成低电平, U_{08} 的下降边经过 C_3 和 R_{15} 微分后, 在 $\overline{R_d}$ 处产生负脉冲使基本 RS 触发器被置 0。图中的二个二极管 V_{D1} 和 V_{D2} 是为了防止二个置 0 信号互相影响而加的二个隔离二极管。

整个铃声产生及控制电路的电源电压均为 $U_{DD} \approx 12V$ 。但是, 8870 的电源电压范围为 $3 \sim 10V$, 所以 8870 的电源电压 U'_{DD} 是由 R_3 和 V_W 组成的稳压管稳压电路提供的 $9V$ 电压。8870 在 $9V$ 电压下工作时, 其工作电流约为 $10mA$, 所以 R_3 取值为 150Ω 即可。

在用 N 部电话机组成通话系统时, 对每只电话机应进行编号, 普通电话机的键盘上的数码通常为 $0 \sim 9$, 再加 $*$ 、 $\#$ 共 12 个。原则上一位数编码可达 12。但是如果就用一位数编号就会出现铃声电路中 8870 在开机后, $D_4D_3D_2D_1$ 的输出则好和自己的编号一致。这样, 在接收到自己的双音频信号后, 在 G_3 的输出端不会产生由高电平到低电平的变化。因此接收到自己信号后不能产生铃声, 为此在 12 个数码中, 取出一个数码 0 不用, 并附加在每个一位数编号之前, 使最大的 12 个编号变成 $01 \sim 09$ 再加 $0\#$ 、 $0*$ 共 11 个编号, 这样就可避免上述情况的出现。所谓编号, 就是在 8870 的输出 $D_4D_3D_2D_1$ 之后加不同的译码电路, 除 05 (即实为 5) 号以外的译码电路, 同学们可自行设计。

铃声电路中的 R'_{10} 是用来调节铃声响度的, 音频振铃电路也可用 555 来设计, 同学们可自行改设计 (由 555 组成的音频振荡电路在抢答器电路中已经用过, 可搬用)。

本章小结

本章主要内容有:

- (1) 通过和双极晶体管的类比, 介绍了普通场效应晶体管的类型、符号和主要特性, 介绍了由普通场效应晶体管组成的常见单元电路组成及分析方法;
- (2) 在对普通场效应晶体管有了基本了解后, 介绍了功率场效应晶体管 VMOS 管的主要特点, 以及 VMOS 管作为开关管使用时常用的驱动电路的形式及原理分析方法;
- (3) 在对 VMOS 管有了足够的认识以后, 给出了以 VMOS 管为功率开关器件的数控机床驱动器案例。在介绍该案例时, 首先从步进电机的工作原理着手, 进而介绍驱动主电路、驱动信号产生电路、过零检测和保护电路, 以及和上位计算机相连接的接口电路。最后给出案例完整的电原理图并附有元件型号和参数。
- (4) 内部通话系统案例, 主要包括: 双音频发送和接收集成电路 5078 和 8870 应用电路介绍, 系统原理框图、受控电源电路、铃声产生及控制电路介绍, 以及通话操作过程及原理说明。

习题和思考题 5

5.1 根据场效应晶体管的转移特性曲线和输出特性曲线, 指出图 5.27 中三个场效应晶体管的单管放大电路的偏置哪些是正确的? 哪些是错误的? 为什么?

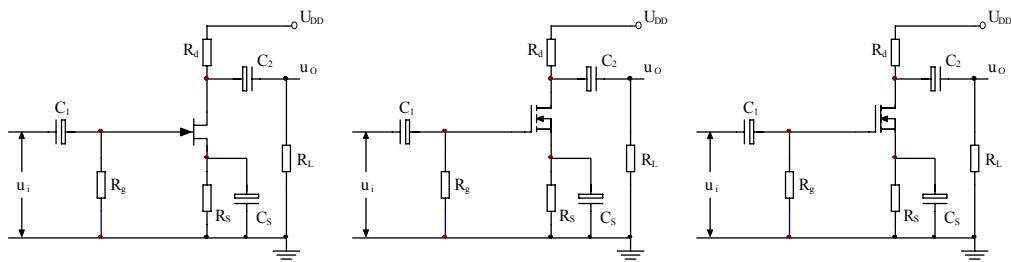


图 5.30

5.2 如图 5.28 所示，画出它的低频微变等效电路，写出该电路的输入电阻、输出电阻和电压放大倍数的表达式。

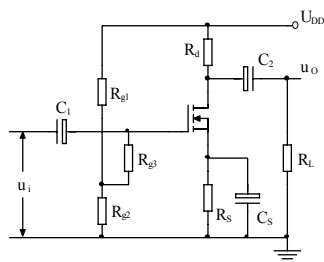


图 5.31

5.3 图 5.29 是增强型绝缘栅 VMOS 管的工作电路和该 VMOS 管的输出特性曲线，当 u_{GS} 分别为 5V、6V、7V、8V 时，近似估算 VMOS 管导通时的等效电阻 R_d 和流过 VMOS 管的漏极电流 I_d 。

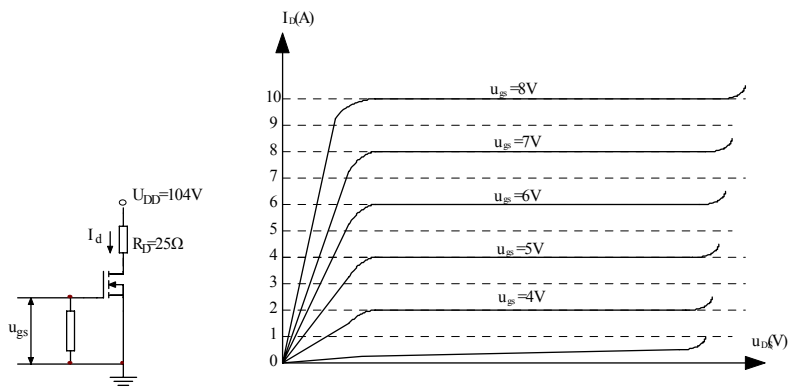


图 5.32

5.4 根据你对 VMOS 管的知识，写出用实验方法判定 VMOS 管是否已损坏的方法。（提示：如果管子没有损坏，则 I_d 受 u_{GS} 的控制。）

附录 A

1. 热释电红外探测电路

图 A.1 是热释电红外探测电路，该电路是由菲涅尔透镜、热释电红外传感器、由 LM358 运放组成的二级放大电路，由二个 LM358 组成的窗口比较器及由 CD4011 与非门组成的单稳态触发器组成。菲涅尔透镜放在热释电红外传感器前 1 厘米处，该电路能以非接触型式探测出人体辐射的红外能量的变化，并把它转换成电信号从 Q 端输出，电路是经过调试的，有关参数标在电路图中，该电路的作用距离可达 7~10 米，如果外加一些其它电路，可组成防盗报警设备，和其它人一到就产生信号的诸多控制系统，电路中除单稳态触发器是数字电子技术内容外，其余都是模拟电子技术内容，读者可借助于参阅一些资料，制作各种实用的电子小产品。

2. 无线电调频接收机

无线电调频接收机如图 A.2 所示，其中 TDA7010 是 TDA7000 系列无线电调频接收机专用电路中的一种，接收频率范围为 88MHz~108MHz，LM386 是小功率集成功放，该电路经过调试，有关元件参数和二块集成电路的引脚排列标在电路图中，图中 L 的电感量约为 60uH，需自己制作，制作时用 $\Phi 0.51$ 的高强度漆包线在 $\Phi 4$ 的芯棒上密绕（7~10）匝，脱出成空芯线圈即可，该电路十分简单，易于制作，可用作接收校内英语调频电台的接收机，也可和双音频无线电调频发射机配合，作为无线电系统的接收机。

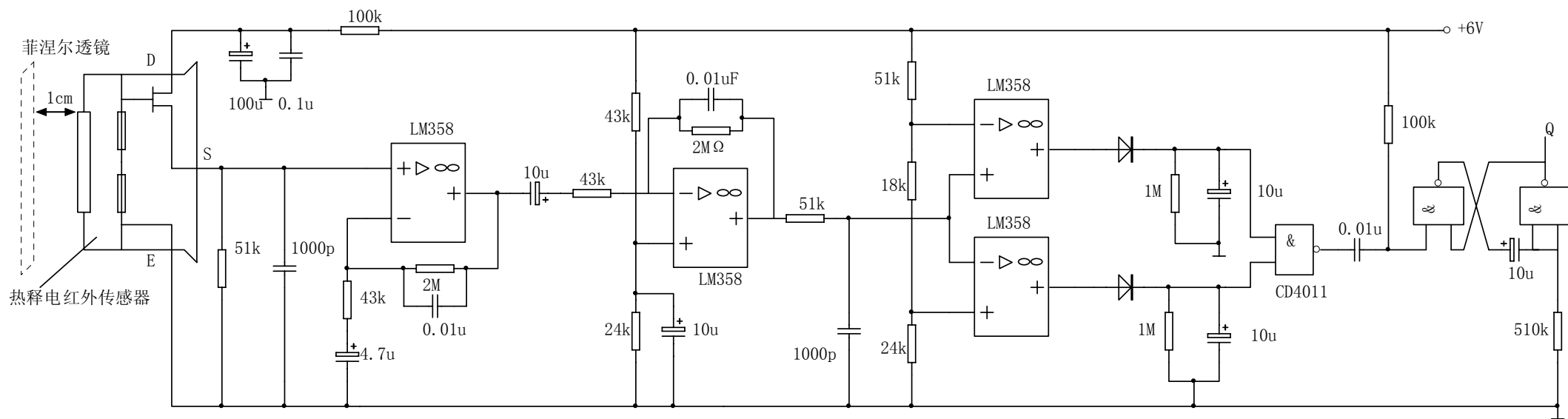


图 A. 1 热释电红外探测电路

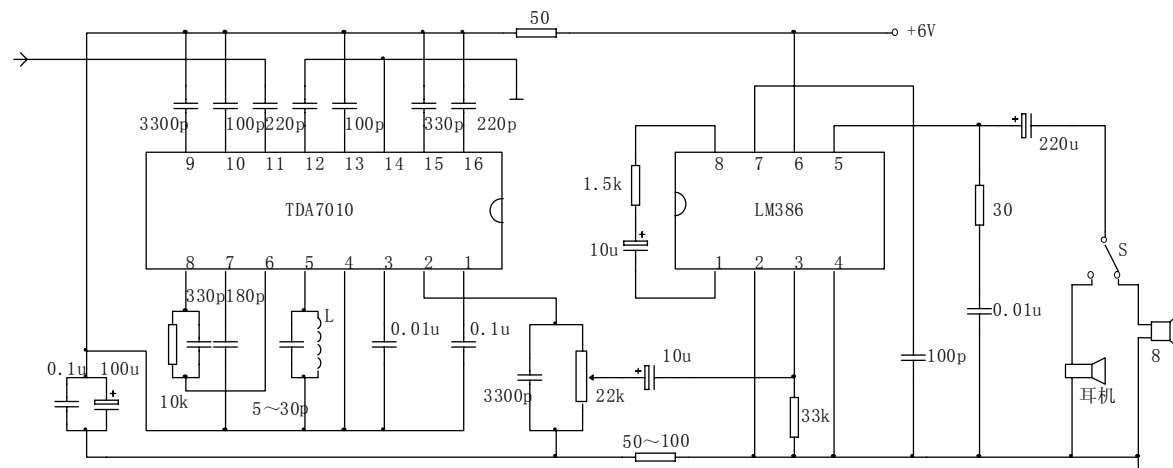


图 A.2 无线电调频接收机

3. 红外遥控烘手机电路

(1)电原理图。红外遥控烘手机电原理图如图 A.3 所示。

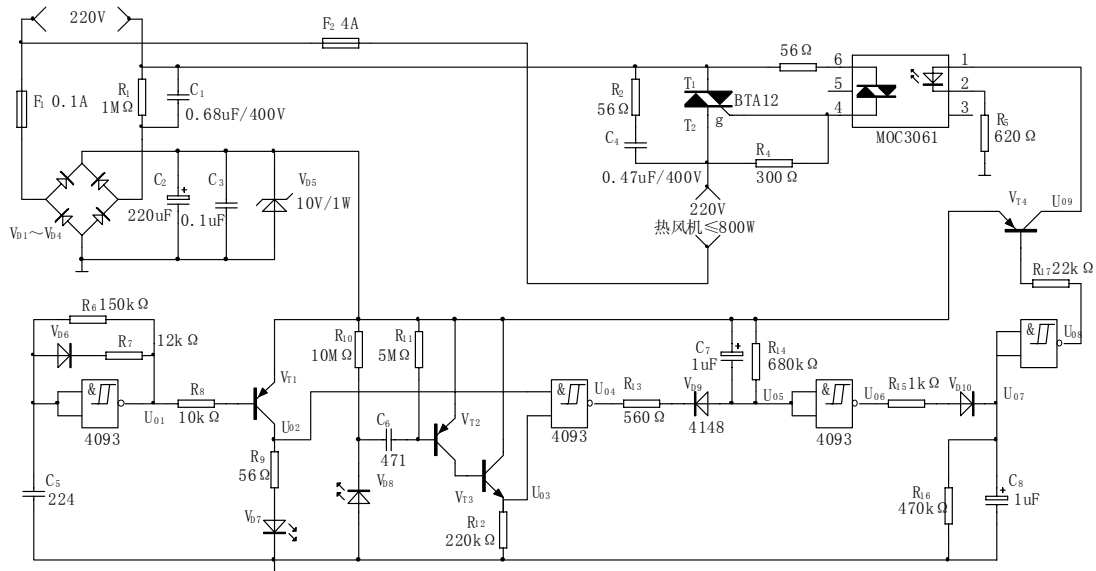


图 A.3 红外遥控烘手机电原理图

(2) 电路组成和工作原理简介。整个电原理图可分成五个部分, 其一是由施密特非门组成的多谐振荡器和 V_1 、 V_{D7} 组成的红外光脉冲发送电路; 其二是由 V_2 、 V_3 、 V_{D8} 组成的手反射光脉冲接收和放大电路; 其三是由一个施密特与非门和二个施密特非门及 RC 积分电路组成的脉冲信号处理电路; 其四是由 V_4 、光耦 MOC3061 及可控硅 BTA12 等元件组成的受控触发导通的交流 220V 开关电路; 其五是由 C_1 、 $V_{D1} \sim V_{D4}$ 、 C_2 、 V_{D5} 组成的电容降压、桥式整流、电容滤波、稳压管稳压的低压 (10V) 电源电路。

整个电路的工作原理或工作过程，可用电路图中标出的 $U_{01} \sim U_{09}$ 的波形图加以说明，波形图如图 A.4 所示。

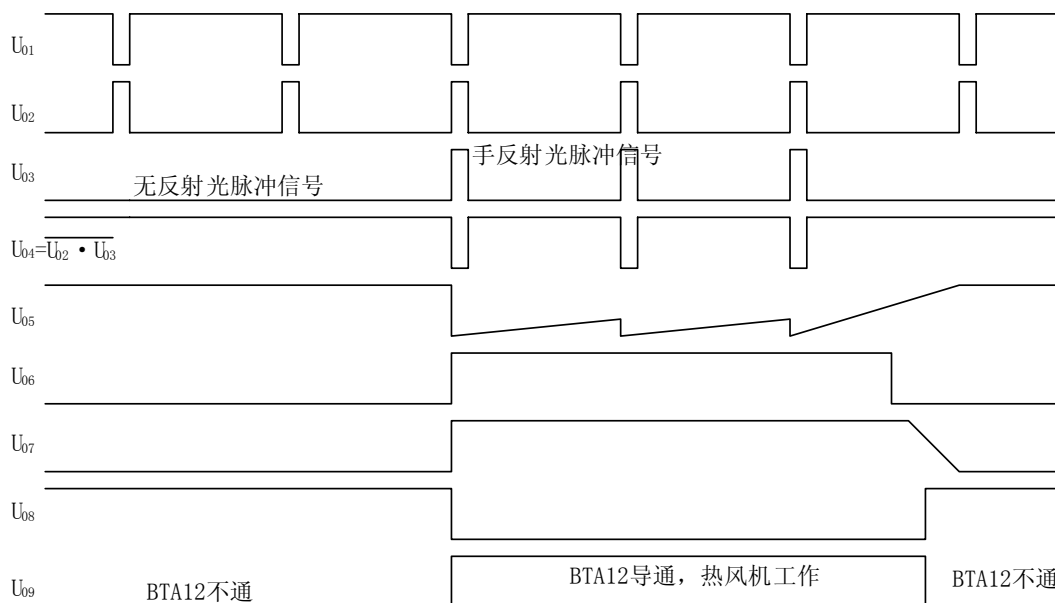


图 A. 4 $U_{01} \sim U_{09}$ 波形图

从波形图可以看出, 当有手反射脉冲光时, 热风机工作, 吹送热风烘手, 手移走后, 要经过一小段时间的延时, 热风机才停止工作, 这个延时时间由积分电路时间常数 R_{14} 、 C_7 和 R_{16} 、 C_8 确定, 延时的作用是防止在烘手时, 由于手在翻动, 一旦出现少数反射脉冲缺少时不至于使烘手机停机, 当然也不能太长。

(3) 烘手机的调试和应注意的问题。 由于电路中有 220V 高压, 调试时可分二步进行, 第一步先断开稳压管 V_{D5} , 用实验室直流稳压电源给电路提供 10V 电源电压 (此时当然不加高压) 进行调整, 调到当把手放在红外发送接收管下方时, U_{09} 由低电平变成高电平, 并使延时合适 (2~3 秒)。第二步连好 V_{D5} , 插上 220V 电源, 最好印刷电路板的高压裸线用绝缘胶带粘上, 防止触电, 即使如此, 加上高压以后, 手也不要再去拿电路板, 如要检查, 一定得先去掉 220V 高压。

要注意的问题是, 红外发射管和红外接收管要正确安装, 其原则是当手没有放在两管下方时, 发射光不能直接传到接收管, 手放在两管下方时, 反射光能有效地反射到接收管。

在电路中, V_2 、 V_3 是用一个 PNP 和一个 NPN 硅管 (9012 和 9013) 组成的 PNP 复合管, 这样可提高接收放大电路的灵敏度 (门限电压 0.7V), 如果是用二只 PNP (9012) 组成 PNP 复合管, 则门限电压提高到 1.4V。还有不能用恒定发射光替代脉冲光, 如果用恒定光, 虽然可以去掉脉冲信号整形电路, 但是恒定光源所耗的电流在 100mA 以上 (图中 V_1 流过的电流), 电路中的 10V 电源不能提供 100mA 以上的电流。

(4) 电路中 BTA12 和 CC4093 的管脚图如图 A. 5 所示。

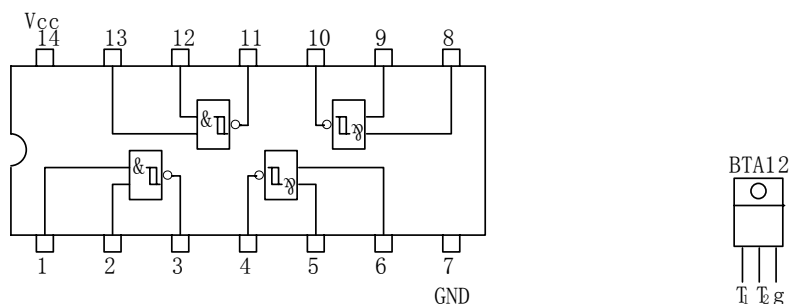


图 A.5 CC4093 和 BTA12 的管脚图

4. 四位数字频率计及相关集成电路介绍

(1) 相关集成电路介绍

①十进制计数译码器 CC4017。十进制计数译码器 CC4017 的引脚排列和在 CP 上升边触发下各个输出的时序图如图 A.6 和图 A.7。CC4017 计数触发有二种方式，当 CN 接地时，用 CP 的上升边触发，当 CP 接 V_{DD} 时，用 CN 的下降边触发。

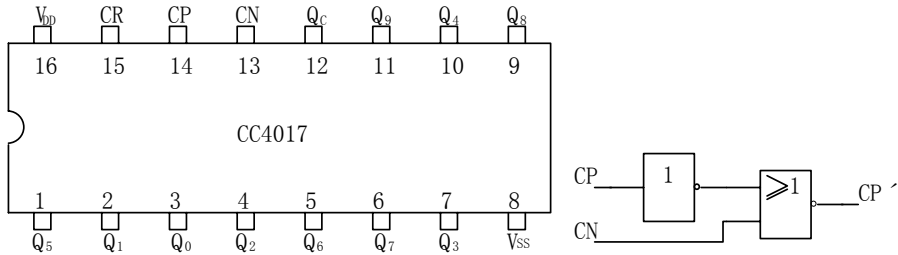


图 A.6 CC4017 的引脚排列图

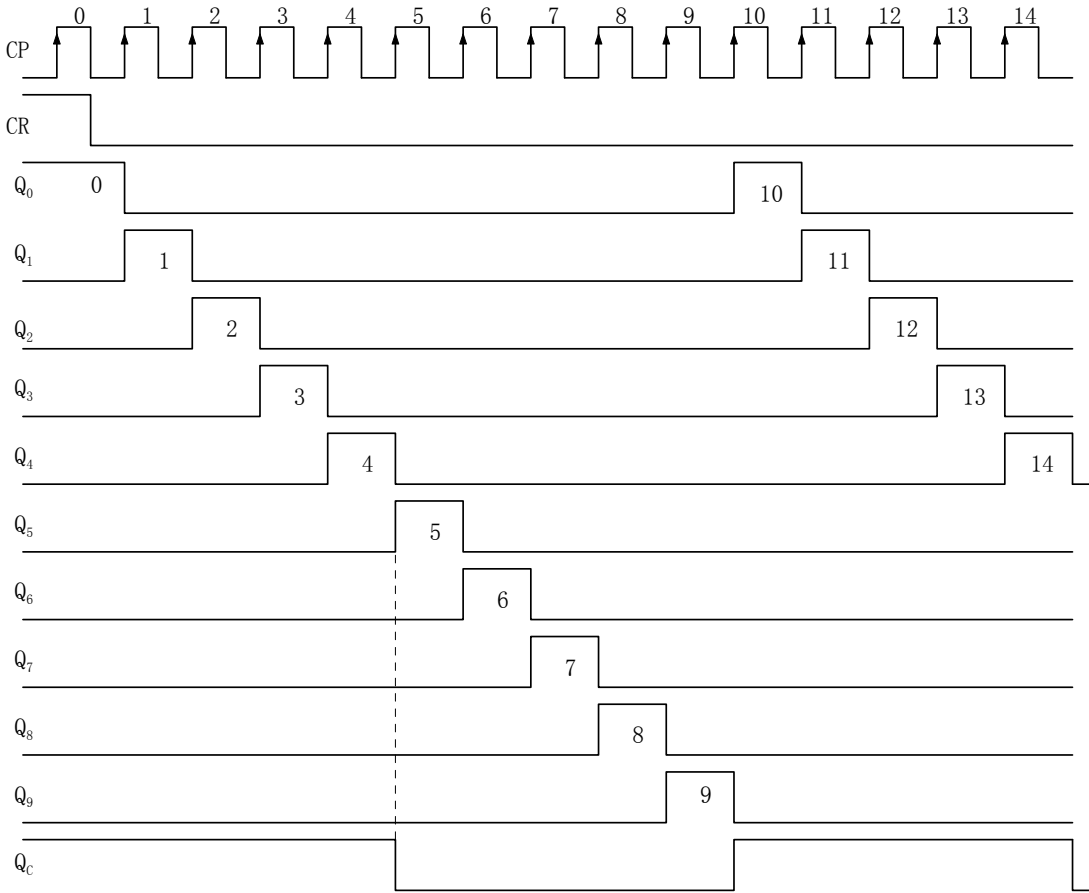
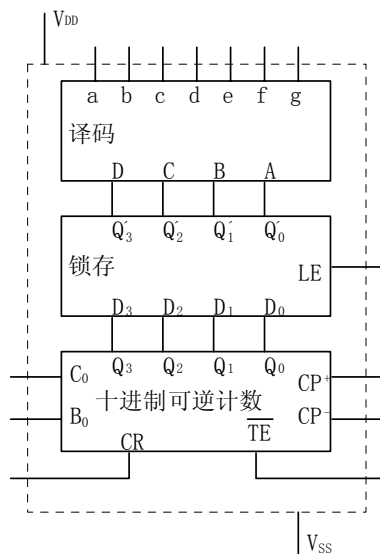


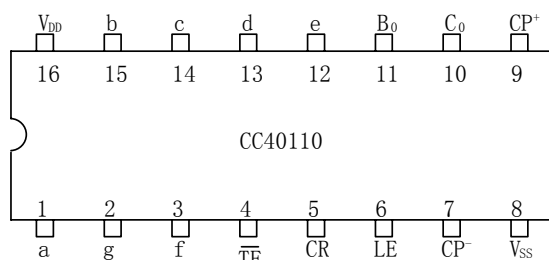
图 A.7 CC4017 在 C_N 接地、用 CP 的上升边计数时各输出端的波形图

②十进制可逆计数、锁存、数显译码器 CC40110。CC40110 内部电路结构框图示意图和引脚排列如图 A.8 所示。其中 CP^+ 为加计数， CP^- 为减计数，CR 为异步清零， \overline{TE} 为计数控制，

$\overline{TE}=0$ 时计数, $\overline{TE}=1$ 时禁止计数。 C_0 为进位输出, B_0 为借位输出, LE 为送数控制输入, $LE=1$ 时锁存, $LE=0$ 时送数。 a 、 b 、 c 、 d 、 e 、 f 、 g 为数显译码输出。



(a) CC40110 内部电路结构框图



(b) CC40110 引脚排列
图 A. 8

(2) 四位频率计电原理图。四位频率计的电原理图如图 A. 9 所示。

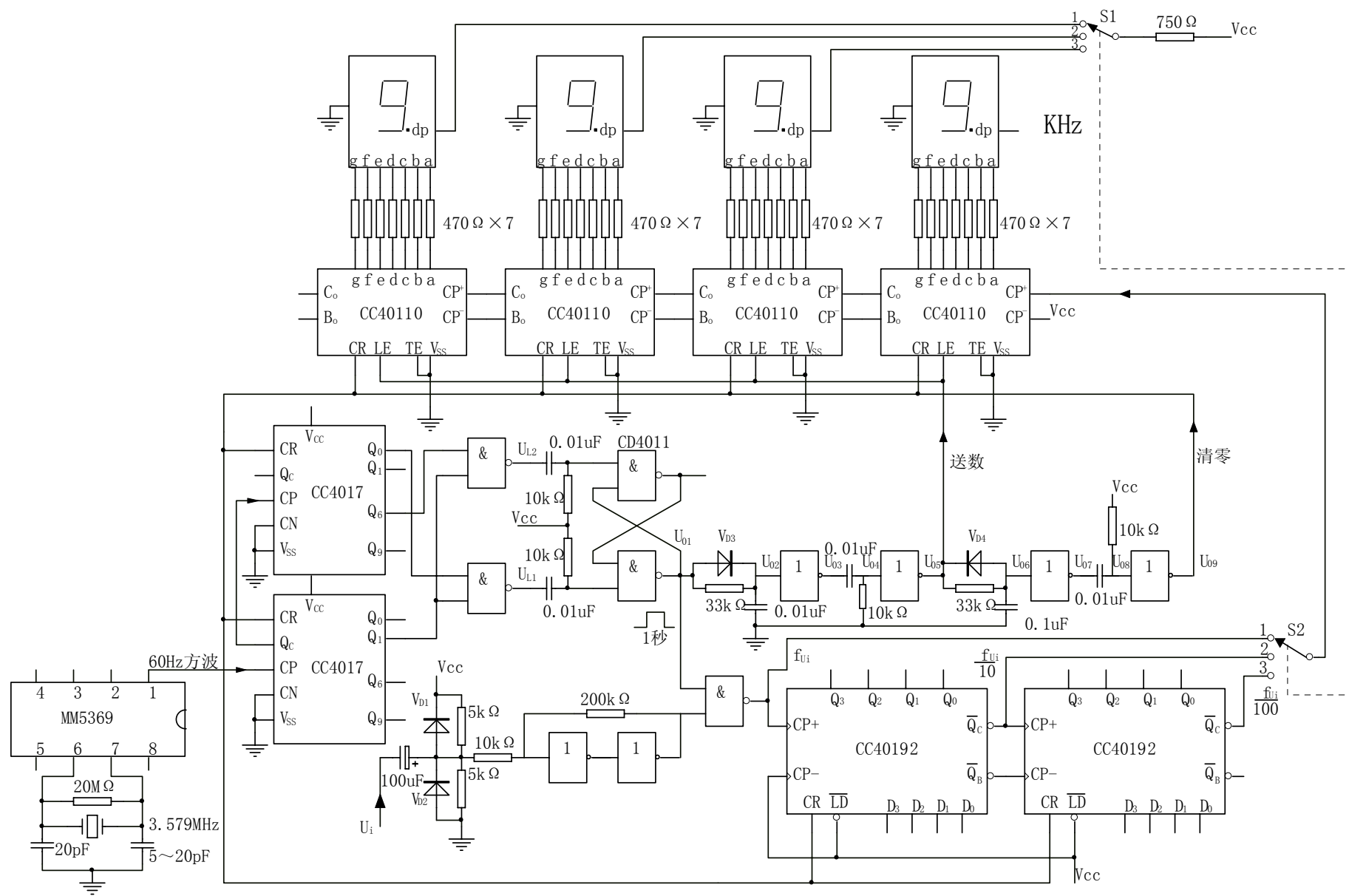


图 A.9 四位频率计的电原理图

(3) 频率计测频原理简介。用频率计测量信号的频率，实际是通过时基电路产生一系列 1 秒标准时间闸门去选通输入信号，并把每个 1 秒时间内信号的个数计数显示出来。用波形图表示如图 A. 10 所示。

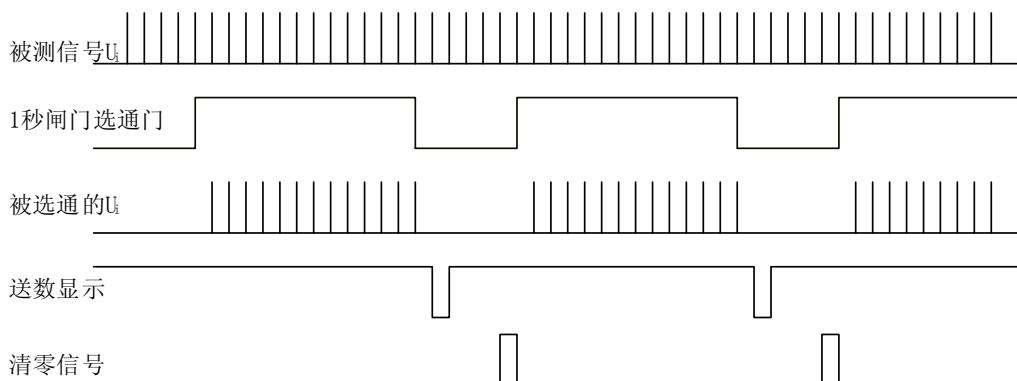


图 A. 10 测频原理波形示意图

(4) 四位数字频率计电路工作原理简介。四位数字显示频率计电路可分成三部分：

第一部分是由 4 块 CC40110 和 4 块共阴 LED 数码管组成的 4 位十进制计数、锁存、数字

显示译码、驱动、显示电路。通过二个联动的二刀三掷开关，可以对输入信号频率 f_{U_i} 、 $\frac{f_{U_i}}{10}$

和 $\frac{f_{U_i}}{100}$ 进行计数显示，配置联动开关的目的是扩大测量频率的范围。

第二部分是由二个非门组成的施密特触发器和二块 CC40192 组成输入信号整形、分频电路，其中施密特触发器前面二个 $5K\Omega$ 的电阻是偏置电阻，通过偏置使 U_i 被偏置在 U_T^+ 和 U_T^- 的中间值，即 $\frac{R_1}{R_2}V_{CC}$ ，这样可把频率计对输入信号的峰峰值的要求下降到满足 $U_{iPP} > \Delta U = \frac{1}{2}V_{CC}$ 即可，二个二极管是限幅二极管，起保护作用。

第三部分是由 MM5369，二块 CC4017 及波形变换延时整形电路组成的一秒闸门信号和送数、清零信号产生电路。其中 MM5369 是晶体振荡分频电路，在 1 脚输出精度很高的 60Hz 方波信号，二块 CC4017 组成 62 进制计数器，经二个非门译出计数器的第 1 个信号和第 61 个信号去触发基本 RS 触发器，给出一秒闸门信号 U_{01} 和 $\frac{2}{60}$ 秒送数清零的时间间隔， U_{01} 以后

的延时整形电路在 $\frac{2}{60}$ 秒的时间内给出送数和清零信号，有关输出的波形如图 A. 11 所示。

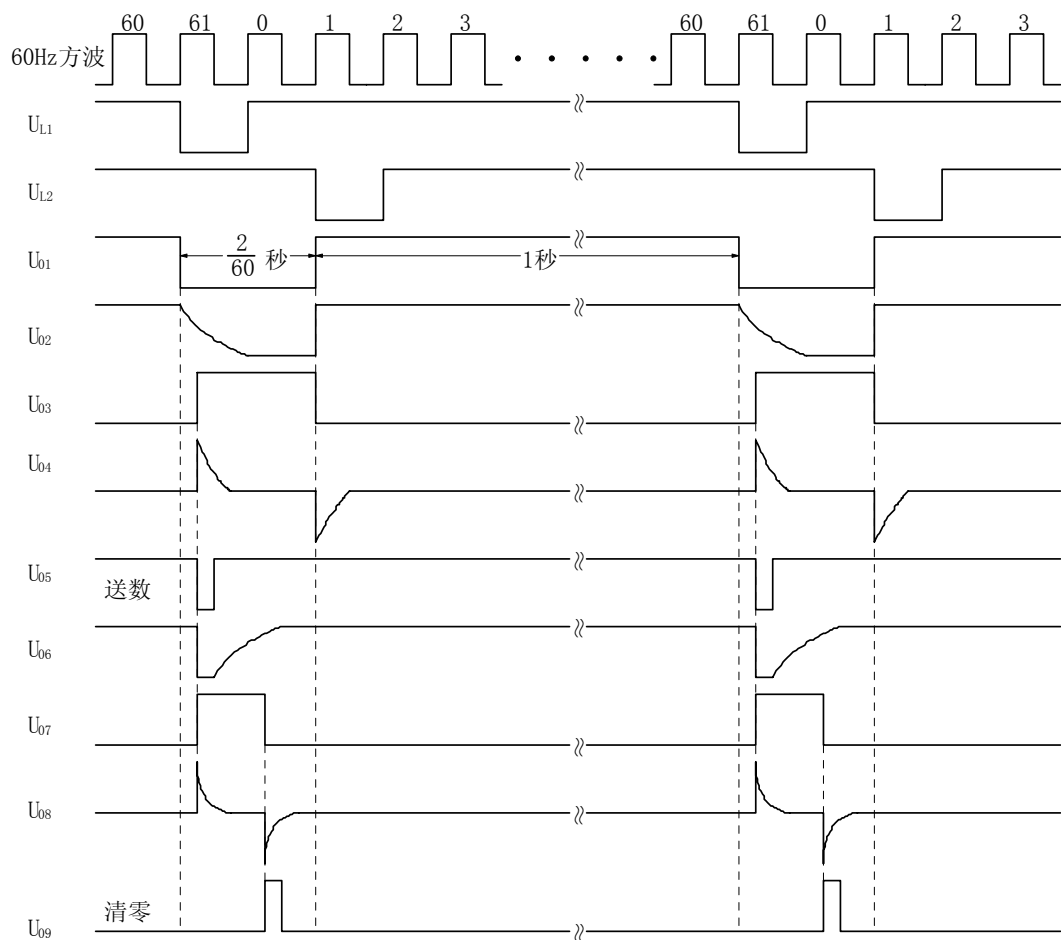
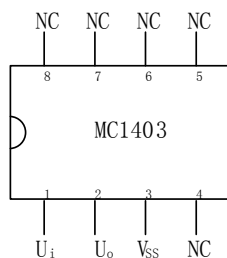


图 A. 11 电路图中 $U_{L1} \sim U_{09}$ 的波形图

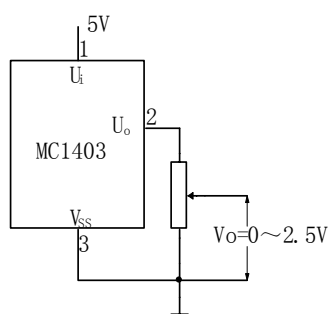
5. $3\frac{1}{2}$ 位双积分型数字电压表及相关集成电路

$3\frac{1}{2}$ 位双积分型数字电压表是把模拟电压经双积分 A/D 转换器，转换成 8421BCD 码后，经数显译码、数字显示的电压测量仪器， $\frac{1}{2}$ 位的意思是指最高位只有 0 和 1 两位数字显示，电路所涉及到的集成芯片有 MC1403、MC14433、MC1413 和 CC4511 等，以下先讲集成芯片的引脚和功能说明，再给出电压表电原理图。

(1) 基准电压源芯片 MC1403。MC1403 是提供 A/D 转换器基准电压的芯片，MC1403 的引脚排列和应用时的连线图如图 A. 12 所示。

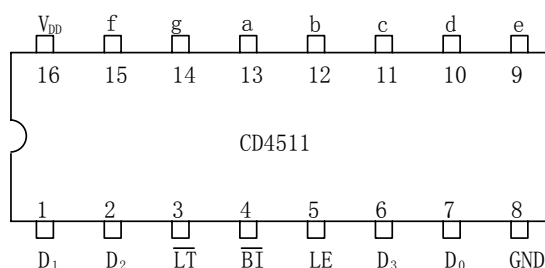


(a)MC1403 的引脚排列

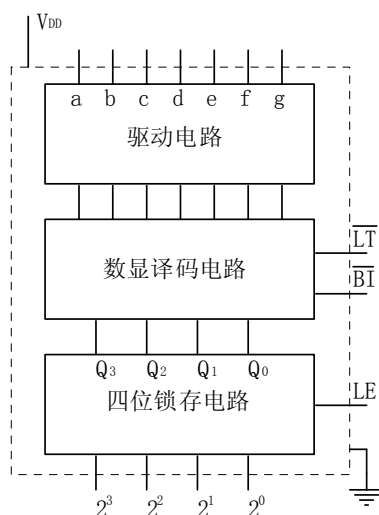


(b)0~2.5V 基准电压 V_{REF} 输出连接电路
图 A.12 MC1403 的引脚排列和应用连线图

(2)BCD 码锁存数显译码驱动电路芯片 CD4511。CD4511 的引脚排列和内部结构框图如图 A.13 所示。其中 \overline{LT} 为试灯输入，当 $\overline{LT}=0$ 时，a、b、c、d、e、f、g 全为 1 显示“8”，工作时 \overline{LT} 接高电平， \overline{BI} 为消稳输入，当 $\overline{BI}=0$ 时，a、b、c、d、e、f、g 全为 0；LE 为锁存器送数控制输入，LE=1 时，输入的 BCD 码被封锁，锁存器内保持原先送进的数据，LE=0 时，输入的 8421BCD 码数据 $D_3D_2D_1D_0$ 被送进锁存器。



(a)CD4511 引脚排列



(b)CD4511 内部结构框图

图 A.13 CD4511 的引脚排列和内部结构框图

(3)反相驱动器 MC1413。反相驱动器实际上是由 7 组达林顿管组成的反相功率放大器，其作用是增大驱动电流，MC1413 最大驱动电流可达 100mA，其引脚排列和内部电路如图 A.14

所示，当 $I_1=1$ 时， Q_1 和地接通，当 $I_1=0$ 时， Q_1 和地不通。

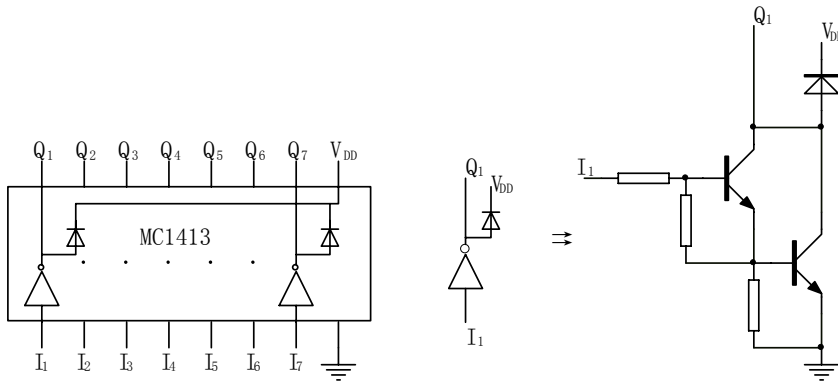


图 A.14 MC1413 引脚排列和内部电路

(4) 共阴数码管 LED BS312201。共阴数码管 LED BS312201 的引脚图如图 A.15 所示。

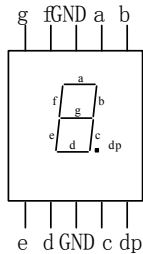


图 A.15 BS312201 管脚引线排列图

(5) 双积分型 A/D 转换器 MC14433。双积分型 A/D 转换器 MC14433 是 $3\frac{1}{2}$ 位数字电压表的核心芯片，功能强，内部电路比较复杂，从应用的角度出发，这里只介绍 MC14433 的引脚排列和引脚的功能说明，引脚排列如图 A.16 所示。

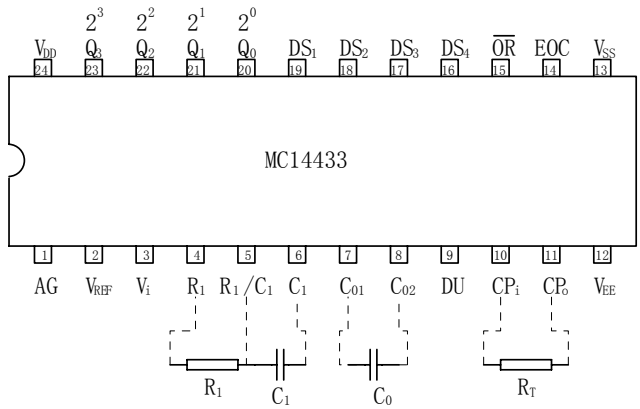


图 A.16 MC14433 引脚排列

引脚功能说明如下：

V_{AG} ：模拟信号地。

V_{REF} ：基准电压输入端，若 V_{FS} (最大模拟输入电压) 为 2V，则 V_{REF} 也应为 2V。

V_i : 被转换(被测量)模拟电压输入端, V_i 的范围为 $0 \sim V_{FS} = V_{REF}$ 。

R_1 、 R_i/C_i 、 C_i : 积分电阻 R_1 和积分电容 C_i 的连接端(见图 A. 16), 一般 $C_i = 0.1 \mu f$, 当 $V_{FS} = 200mV$ 时, $R_1 = 47k \Omega$, 当 $V_{FS} = 2V$ 时, $R_1 = 470 k \Omega$ 。

C_{01} 、 C_{02} : 外接失调电容 C_0 连接端, 一般 $C_0 = 0.1 \mu f$, 以供自动调零。

CP_0 、 CP_i : 时钟信号输出和输入端, 采用 MC14433 内部时钟时, 只要在 CP_0 和 CP_i 的两端接一个电阻 $R_T = (300 \sim 400)k \Omega$ 即可, 当 MC14433 用于数字电压时, 均采用它的内部时钟。

DU : 实时 A/D 输出控制端, 给 DU 一个正脉冲, 本次 A/D 转换出的数字量被送入内部锁存器, 并通过锁存器输出, 当 MC14433 在电压表中使用, 只要把 DU 和 EOC 相连, 这样, 每次转换均被及时送到输出端。

EOC : 一次 A/D 转换结束标志信号输出端, 在每次 A/D 转换结束后, EOC 输出一个正脉冲, 在数字电压表中应用时, 把 EOC 和 DU 相连。

V_{DD} : 正电源输入端, 接 $+5V$ 。

V_{EE} : 负电源输入端, 接 $-5V$ 。

V_{SS} : 电源地, 应和 V_{AG} 直接相连。

\overline{OR} : 溢出标志信号输出端, 当 $|V_i| > V_{REF}$ 时, 则 $\overline{OR} = 0$, 正常时 $\overline{OR} = 1$ 。

$DS_1 \sim DS_4$: 位输出选通信号, 其中 DS_1 为千位选通信号, DS_2 为百位选通信号, DS_3 为十位选通信号, DS_4 为个位选通信号, 在实际连线时, 把 DS_4 接到 MC1413 的 I_1 , 把 MC1413 的 Q_1 接到显示个位数的 LED 数码管的阴极, 以此类推十位、百位、千位的连接。

$Q_3Q_2Q_1Q_0$: 是 BCD 码的输出端, 其中 Q_3 为最高位, Q_0 为最低位, 原码输出, 当一次转换结束标志信号 EOC 输出一个正脉冲以后, $DS_1 \sim DS_4$ 顺序送出选通正脉冲, 此正脉冲应选通相应的由 $Q_3Q_2Q_1Q_0$ BCD 码组成的十进制位的数字显示(这种显示称扫描显示), 因此要把四个 LED 数码管的 a、b、c、d、e、f、g 并接在一起, 千位数码管只并接 bc(因为千位至多显示 1), 其中 $DS_1 = 1$ 时, $Q_3Q_2Q_1Q_0$ 的不同组合有着不同的含义, 使用者只要记住, 在 $DS_1 = 1$ 时应使 DP(小数点)点亮, 同时 $DS_1 = 1, Q_2 = 0$ 时应使千位数码管作为符号位的 g 段点亮, 使符号显示“—”。

(6) $3\frac{1}{2}$ 位双积分型数字电压表电原理图。 $3\frac{1}{2}$ 位双积分型数字电压表电原理图如图 A. 17 所示。

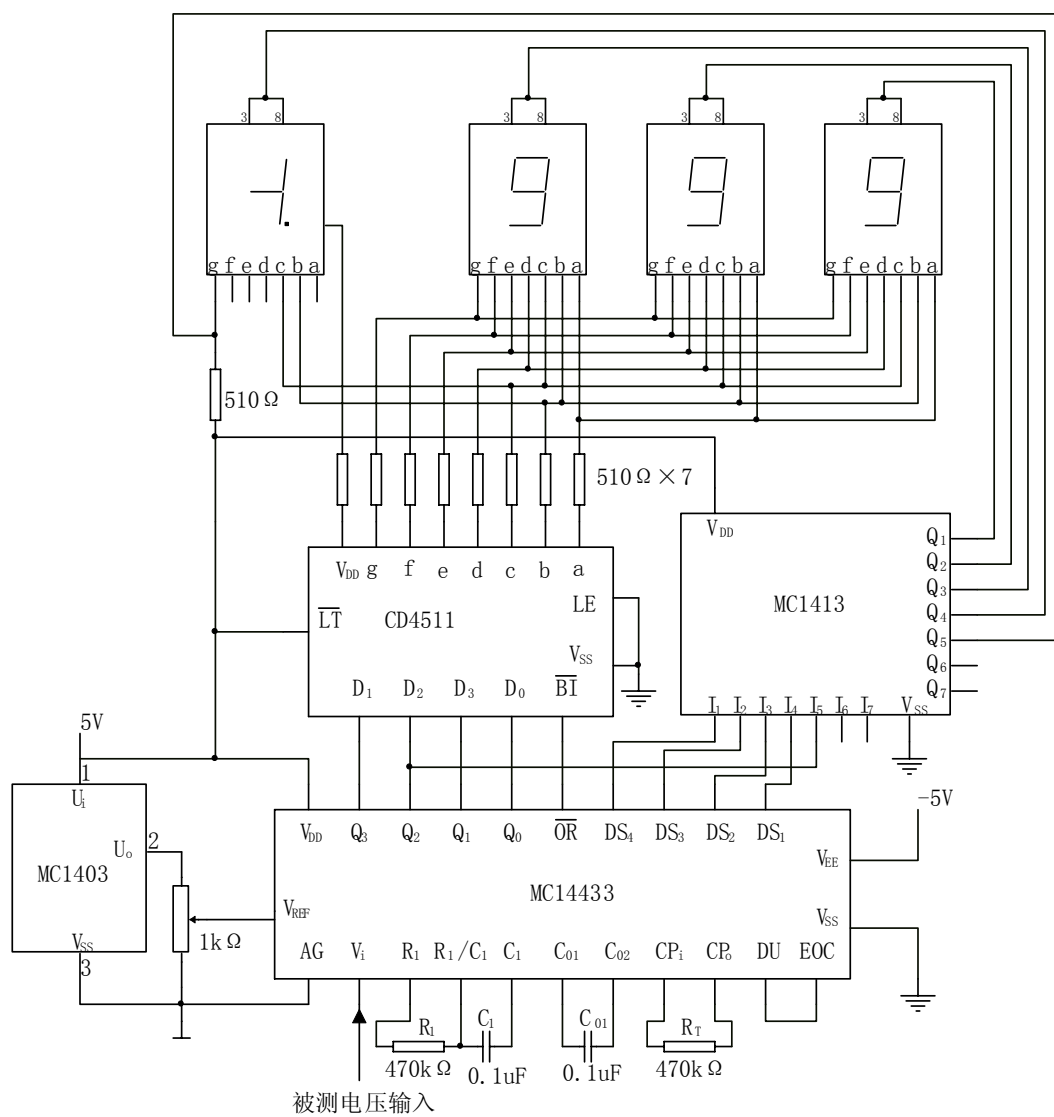


图 A. 17 $3\frac{1}{2}$ 位双积分型数字电压表电原理图

附录 B 用 CPLD 器件设计数字频率计

1. 概述

PLD(可编程逻辑器件, Programmable Logic Device)是近年来发展最快的集成电路之一,它在相应的 EDA 设计工具支持下,使数字系统的设计进入一个更新、更快的发展阶段。对于应用电子等专业的高校学生应该在了解传统数字系统设计方法的基础上,紧跟先进技术发展方向,了解新产品,新技术,适应市场需求。

PLD 内部集成了可编程连线以及大量的门和触发器等基础逻辑元件,使用者可以利用一台装有设计软件的普通计算机及特定下载电缆对 PLD 器件进行编程,使其成为某个数字逻辑电路。

由于 PLD 器件集成度高,占用体积小,重量轻,编程灵活,同时具有速度快,可靠性高等优点,被广泛地应用于电子、通信、自动化、计算机等领域,越来越受业内人士瞩目。PLD 器件种类也有很多,其中 CPLD(复杂的可编程逻辑器件, Complex PLD)和 FPGA(现场可编程门阵列, Field Program Gate Array)应用较广泛,它们均属于高密度 PLD。

(1)CPLD 器件介绍

CPLD 的集成度在每片 1000 门以上,由与阵列,或阵列,输入缓冲电路,输出宏单元组成,有些器件内部还集成有 RAM、FIFO、双口 RAM 等存储器。应用时,对连接到线路板上的 CPLD 器件进行编程(设计),使其内部逻辑元件进行互连和组合。编程结束,即完成了对 CPLD 的设计,再将完成设计的 CPLD 器件与外部电路配合,即得到一个具有一定逻辑功能的硬件电路,要想改变此硬件电路板功能,只需对电路板上 CPLD 器件重新编程和配置,这使设计更加灵活,电路设计更新和升级也更加容易。

CPLD 器件也有很多种,在本设计中,我们主要采用 PLD 世界三大主要厂商之一的 Altera 公司的 MAX7000S 系列 CPLD 产品。

考虑到设计要求及以后设计发展的需要,选用具有 84 个管脚、128 个宏单元的 EPM7128SLC84-15 芯片,其管脚如图 B.1 所示。

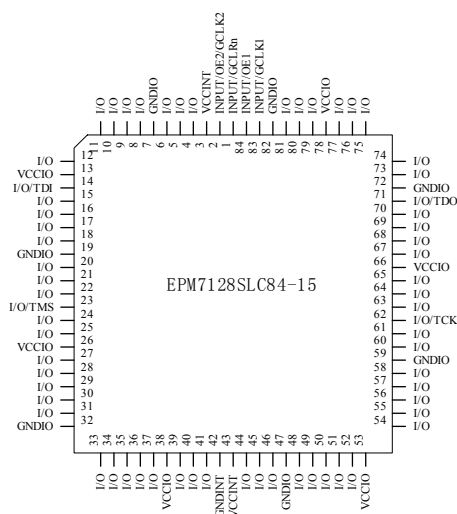


图 B.1 EPM7128SLC84-15 管脚图

管脚名称及功能说明如下:

INPUT/GCLRn: 可作为通用的输入信号端, 也可用于高速、全局清零信号;

INPUT/GCLK1、INPUT/OE2/GCLK2: 可作为通用的输入信号端, 也可用于全局信号输入端。

当作为全局信号输入时可以达到最快的输入至输出的性能;

INPUT/OE1: 可用于输入信号端, 也可用于输出使能信号的输入端;

I/O: 共有 68 个, 可由用户定义成输入、输出和双向工作方式的输入输出端口;

VCCINT、GNDINT: 为内部电路和输入缓冲器提供电压和电路地, VCCINT 接+5V;

VCCIO、GNDIO: 为芯片有 I/O 引脚提供电压和接地, VCC 接+5V 或+3.3V;

I/O/TDI、I/O/TMS、I/O/TCK、I/O/TDO: 可作为 I/O 口或编程时的接线端口。

(2) Altera PLD 开发平台介绍

不同厂商提供的 PLD 器件有相应进行设计的开发软件, 针对我们所选用的 CPLD 器件, 选用 Altera 公司发展较完善的 MAX+PlusII 软件, 它界面友好, 易学易用。设计时可以利用 Altera 公司提供的免费基本版 MAX+PlusII 10.2 软件实现, 此软件可通过 Altera 公司网站免费下载。

MAX+PlusII 软件的设计流程分四步, 即设计输入、设计编译、设计验证和器件编程。在 MAX+PlusII 软件环境下如何实现这四个流程, 在后面针对具体的频率计的设计将会详细说明, 在此仅对它们的功能、作用作简单介绍。

①设计输入。MAX+PlusII 软件的设计输入的方法有多种, 主要包括:

原理图输入方式: 这种输入方式多用于不太复杂的系统设计中, 对于我们的频率计设计就可以采用, 因为用此方式不但方便也很直观。

文本设计输入方式: 文本设计文件可以使用 AHDL 语言、VHDL 语言、Verilog HDL 语言, 三种都是硬件描述语言, 每种都有其各自的特点。

波形输入方式: 设计者根据建立的输入/输出波形生成逻辑关系, 本设计将不使用这种输入方式, 但可以利用波形关系进行设计验证。

②设计编译。MAX+PlusII 提供了一个全集成编译器, 编译过程经历网表提取, 数据库建立, 逻辑综合, 资源分配, 适配, 时序仿真网表文件提取, 装配等环节, 生成一系列标准文件, 若在其中某个环节出现错误, 编译器会停止编译, 告诉你错误出现的位置及原因。

③设计验证。MAX+PlusII 还有时序分析, 功能仿真, 输入输出波形分析等功能, 以帮助验证设计的正确性。

④器件编程。对设计文件编译, 仿真后, 将设计的项目下载(或称为配置)到所选器件上的过程。

(3) VHDL 语言简介

PLD 设计中, 原理图输入比较直观, 效率高, 但设计大规模 CPLD 时显得很繁琐, 当进行大规模 CPLD 设计时通常选择文本输入方式, 如前所述, 文本输入有 AHDL、VHDL、Verilog HDL 三种语言, 我们选择其中 VHDL 语言简单介绍给大家。

VHDL 的硬件描述能很力强, 完整的 VHDL 程序一般由库、实体、结构体三个最基本的部分构成。

①库(LIBRARY)。在库内存放了可被其他 VHDL 程序调用的数据定义、器件说明、程序包等资源, 库的种类很多, 在安装元件库的目录下有 vhd187 或 vhd193 文件夹, 里面就含有 ieee、altera、lpm、std 四个库, 任何一个库被引用的一般格式为:

LIBRARY 库名;

USE 库名. 程序包名.all;

实际应用中根据要求输入具体的 ieee 库名、altera 库名、lpm 库名和程序包名,如:

```
LIBRARY ieee;           --使用 ieee 库
USE ieee.STD-LOGIC-1164.all; --输入输出、相互连接数据类型标准和 std_logic、
                             --std_logic_vector 形态
```

其中“--”为批注符号,此符号后所接的均属批注文字,说明该程序包中已定义的内容。ieee 标准库中有 4 种程序包,基中 STD-LOGIC-1164 是最重要和最常用的,每个 VHDL 程序的开头都有这个程序包的定义。

②实体(ENTITY)。仅仅定义设计模块输入/输出信号,不涉及模块内部逻辑功能的实现,一般格式为:

```
ENTITY 实体名 IS
    PORT (端口名: 端口模式 数据类型);
END 实体名;
```

实体名是设计者自定义的模块电路的名称,其命名规则为 32 个字以内长度,使用英文字母 a~z(不区分大小写)、数字 0~9 或下划线(下划线不能连用),必须以字母开头,以字母或数字结束。ENTITY 后所接实体名必须与实体结束 END 后所接的实体名相同。

端口名是设计者定义的输入/输出信号名称。

端口模式共有四种模式:

IN (输入模式): 表示信号进入实体;

OUT (输出模式): 表示该信号离开实体;

BUFFER (缓冲模式): 表示信号输出到实体外部的同时也在实体内部进行反馈,典型的如计数器的输出;

INOUT (输入输出模式): 表示信号可以进入实体也可离开实体,是双向的信号。

说明对象时必须说明它的数据类型,才能正常进行设计工作,数据类型有很多种,几种常用类型有:

整数(Integer): 整数取值范围 $-(2^{31}-1) \sim (2^{31}-1)$ 即 $(-214783647 \sim 214783647)$;

位(Bit): 如二值枚举型数据类型,只有 0 和 1 两种取值;

位矢量(Bit-Vector): 基于位数据类型的数组,用括号括起表示一组位数据,如

```
qq: out Bit-Vector(3 to 0);
```

表示输出端口 qq 被定义为 4 位位宽的矢量,最左位为 qq3,最右位 qq0。

标准逻辑位(STD-LOGIC): 位类型的扩展;

标准逻辑矢量(STD-LOGIC_VECTOR): 位矢量类型的扩展,是 STD-LOGIC 数据类型的组合,最后两种类型数据使用前必须用 LIBRARY 和 USE 语句加以说明

③结构体(ARCHITECTURE)。描述设计模块的逻辑功能,结构体必须和实体相联系,确定实体定义的输入与输出信号的逻辑关系,一个设计实体可以有多个结构体,每个结构体的格式如下:

```
ARCHITECTURE 结构体名 OF 实体名 IS
    [说明语句]
BEGIN
    [功能描述语句]
END 结构体名;
```

说明语句是对结构体用到的信号,常量,元件,函数等加以定义和说明,这些定义和说明只适用于本结构体中,不能被其它结构体调用。

功能描述语句用于描述实体的逻辑功能和电路结构,用户想要改变设计模块的逻辑功能可以只改变此描述即可。

VHDL 语言同样是基于英语的一种编程语言，类似其他高级编程语言，只要有一定英语知识，就会很容易掌握并理解 VHDL 语言的描述。VHDL 有五种以并行方式工作的功能描述语句，所谓并行即语句的执行是同步的，与书写顺序无关，这五种并行语句分别为块语句、进程语句、信号赋值语句、程序调用语句和元件例化语句。

下面我们简单介绍一下本次设计中使用的信号赋值语句和进程语句。

①信号赋值语句。将数值表达式或处理结果向所定义的信号进行赋值，常用的有直接赋值语句，和条件赋值语句。如 $Y \leftarrow A \text{ AND } B$ 即逻辑函数 $Y=AB$ ，“ \leftarrow ”是信号赋值符号，将右边的值赋给左边，这是一个直接赋值语句，我们也可以得到其一般格式为：

信号赋值目标<=表达式

条件信号赋值语句一般格式为:

信号赋值目标<=表达式 1 WHEN 赋值条件
 ELSE 表达式 2

当有多个赋值条件时，以条件出现的先后次序决定优先权，当条件成立时，将表达式 1 赋给信号，否则将表达式 2 赋给信号。

②进程语句。用于描述硬件电路的行为，内部由顺序语句构成，而进程语句和进程语句之间是并行关系，基本格式：

PROCESS (敏感信号)
[进程说明部分]

BEGIN

顺序语句

END PROCESS:

敏感信号即进程的激活条件，当敏感信号发生变化，将启动进程执行进程内部的顺序语句。

讲程说明部分主要定义一些局部量。

顺序语句只能处于进程内部，语句执行是按照书写顺序进行的，本次设计中使用的顺序语句有 IF 语句和 CASE 语句，简单介绍如下。

IF 语句结构一般表达式:

IF 条件句 1 THEN

顺序语句 1

ELSEIF 条件句 2 THEN

顺序语句 2

ELSE

顺序语句 3

END IF;

根据条件要求可以适当选择 ELSE 及 ELSEIF 设定语句,表示为当条件名 1 成立则执行顺序语句 1,当条件名 1 不成立而条件名 2 成立,执行顺序语句 2,当条件名 1、2 都不成立则执行顺序语句 3,IF 语句结束必须以 END IF 表示。

CASE 语句结构一般表达式:

CASE 表达式 IS

WHEN 选择值 1 \Rightarrow 顺序语句 1:

WHEN 选择值 2 => 顺序语名 2:

END CASE:

当执行 CASE 语句时，首先计算表达式，此表达式有两种可选值，当选择值 1 满足条件（与表达式计算值一致）时执行顺序语名 1，当选择值 2 满足条件时执行顺序语名 2，最后

以 END CASE 结束 CASE 语句。

以上介绍的库、实体、结构体，以及 IF 语句、CASE 语句在 MAX+plusII 软件中有其样本格式，应用时只需改变样本中所有带有“—”的变量名称，非常方便。

2. 四位数字频率计原理框图和外围电路

设计要求：设计一个四位数字频率计，测量范围 1~9999Hz，由数码管显示测量值，要求测量值能被及时更新，采用 CPLD 器件 EPM7128SLC84-15 作为设计的主芯片。

(1)原理框图

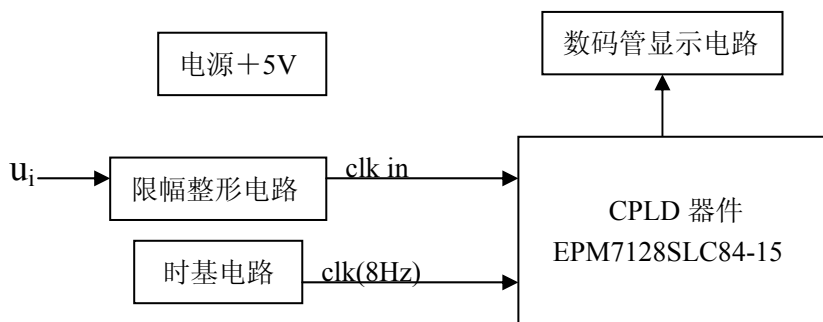


图 B.2 数字频率计原理框图

图 B.2 所示是数字频率计的原理框图，其中要求用 CPLD 器件 EPM7128SLC84-15 芯片实现计数、锁存、译码等功能，芯片以外的电路是外围电路。

(2)外围电路组成及工作原理

1. 限幅整形电路

限幅整形电路如图 B.3 所示。该电路在本书附录 B 中用普通集成电路设计的四位频率计中已有介绍，其中由 $G_1 \sim G_4$ 组成的电路是二级施密特电路，对波形进行整形。采用二级施密特的原因是编者在调试中发现，用一级施密特整形后输出的信号作为 CPLD 芯片中十进制计数模块的计数信号时，其前沿陡峭度不够而出现不稳定现象。

二级施密特电路前面的两个 $5k\Omega$ 的电阻是偏置电阻，给予这样的偏置以后，对 u_i 幅值的要求可下降到 $u_{ipp} \geq U_T^+ - U_T^- = \frac{10k\Omega}{200k\Omega} \times 5V = 0.25V$ 即可，两个二极管是限幅二极管，起保护作用。

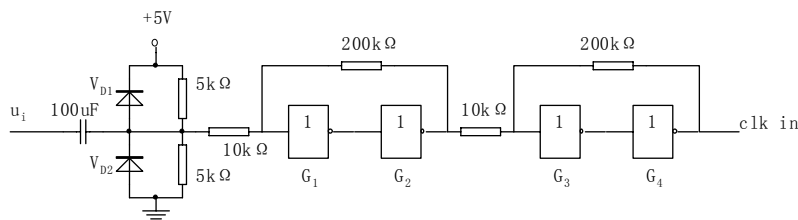


图 B.3 限幅整形电路

2. 时基信号产生电路

电路如图 B.4 所示，本书 3.7 用标准集成电路组成的数字钟案例中已经介绍过同样的时基信号产生电路。图中以非门 G_1 为核心的 32768Hz 晶体振荡电路产生 32768Hz 的信号，该信号经过 11 级二分频从 Q_{11} 输出 8Hz 信号作为 clk。二分频电路是由 D 触发器组成的 T' 触发器实现的，该电路也可用 CD4060 来完成。

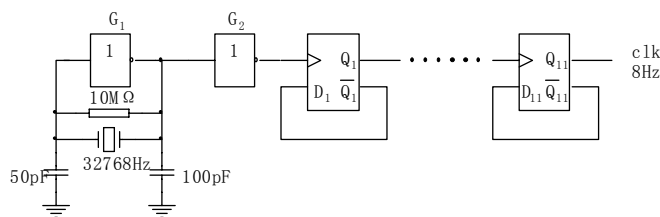


图 B.4 时基信号产生电路

3. CPLD 器件内部电路的设计

采用自顶向下的方法：首先定义好系统高层次的功能，然后按照要求对系统进行分解，分解出的每个子系统具有相应的功能，对这些子系统仍然可以继续分解，直到分解为许多基本逻辑模块。

(1)CPLD 器件的顶层设计

根据系统设计要求，确定可行的功能描述以及各功能模块之间的连接关系，即为系统一级（顶层）设计。图 B.5 虚线框内所示即为 CPLD 器件根据设计要求得到的顶层子系统设计框图。

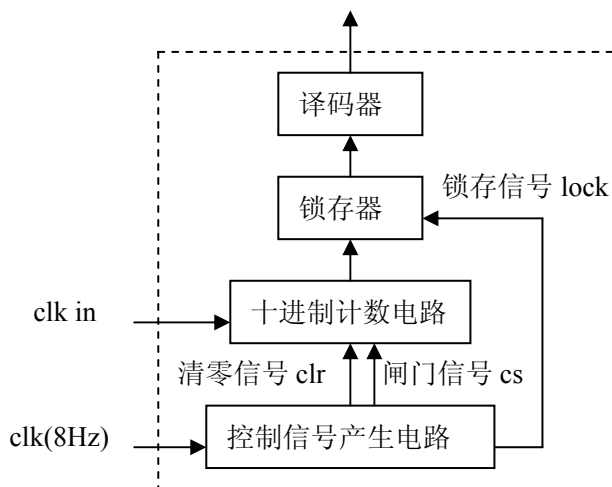


图 B.5 CPLD 器件内部设计的顶层原理框图

在图 B.5 中对于控制信号产生电路的功能要求是对外部电路产生送入的 $\text{clk}(8\text{Hz})$ 信号进行计数，周期性地产生 3 个控制信号，这三个信号分别是：

① 闸门信号 cs ，也称计数控制信号：控制计数模块的计数和停止计数，计数控制 cs 的高电平部分正好是 1 秒，在这期间计数模块所计到的数值即为被测频率。 cs 的低电平部分是计数模块停止计数时间。

② 锁存信号 lock ：当计数模块在 1 秒时间计数结束后产生一个送数信号，即把计数信号送进锁存器。

③ 清零信号 clr ：在每次计数模块开始计数前，清除模块内原先的计数值，使其为零。这三个控制信号时序关系如图 B.6 所示。

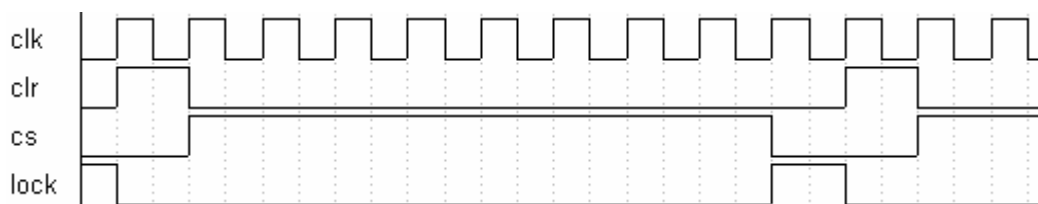


图 B.6 三个控制信号的时序图

图 B.5 中十进制计数电路到锁存器到译码器的功能电路要求是读者非常熟悉的,这里就不再细述了。

根据原理框图,对其中每一个子系统继续进行分解,得到五种不同的功能模块: addself10 模块、contro 模块、add10_2 模块、lock_2 模块、decoder 模块。五种功能模块名称由设计者自定义,但必须要遵守前述命名规则。将五种模块连成相应顶层原理图如图 B.7 所示。

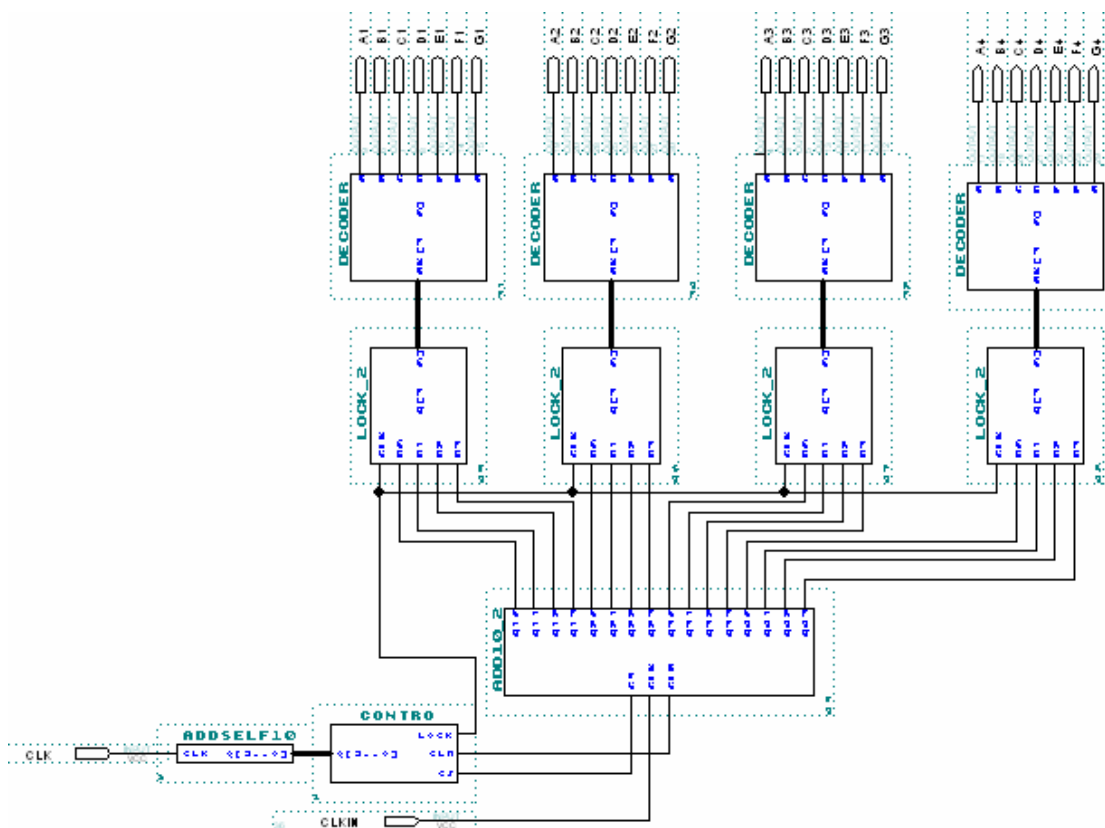


图 B.7 CPLD 器件内部用基本逻辑模块设计的顶层原理图

(2)CPLD 器件底层设计

所谓底层设计是指在 MAX+PlusII10.2 软件支持下,在计算机上用 CPLD 内部的基本逻辑单元电路完成顶层设计原理图中各功能模块的设计和连线。在本案例中我们采用原理图输入和文本输入两种设计方式介绍给大家,这样可以对比一下这两种设计方式在本设计中各自特点。

1. 原理图输入方式

所谓原理图输入方式是指根据 CPLD 内部集成的基本逻辑单元,在纸上设计好各模块,然后利用计算机完成应有的连线和编译的过程。下面对图 B.7 所示的各个模块用原理图输入方式设计,设计过程和操作方法介绍如下。

①对 8Hz 信号进行十进制计数模块 addself10.gdf 的设计

- (a) 新建文件 。运行 MAX+PlusII10.2 选择菜单 File→New 出现新建文件夹类型对话框图 B.8 所示。选中“Graphic Editor File”建立一个原理输入文件，单击 OK，进入图形编辑画面。

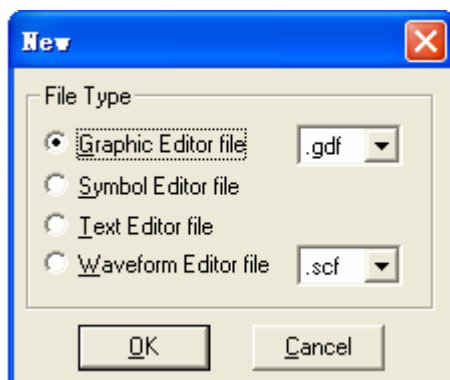




图 B.8 新建文件对话框

- (b) 保存文件 。选择窗口菜单 File→Save，出现对话框，输入文件名称 addself10(32 个字以内，字母大小写代表意义相同)扩展名为.gdf，将文件存于一个新建文件夹，如 D:\design 内。
- (c) 指定项目名称与文件名相同 。选择窗口菜单“File→Project→Set Project to Current File”，或“File→Project→Name”，在对话框中输入 addself10，单击 OK，即可设定项目名称与文件名相同，以便编译后产生有共同文件名但不同扩展名的文件。
- (d) 原理图输入。选择窗口菜单 Symbol→Enter Symbol，出现对话框，如图 B.9 所示。在 Symbol Libraries 中会出现 5 个元件库，这需要你阅读相关资料知道每个库中有哪些元件符号，对应每个元件库，在 Symbol Files 菜单中出现该目录下所有基本逻辑符号文件，选择 74160，也可以在你知道名称的前提下，直接在此对话框 Symbol Name 输入栏输入 74160，单击 OK，则图形编辑区会出现一个边框为红色的 74160 器件（当你选中一个元件符号或一条连线，它便是红色表示激活状态，此时你可以对它进行移动、复制、删除等操作）将鼠标移至此红色边框内部，用左键拖动可将符号移动到任意合适位置松开左键，同样的方法输入 Prim 目录下 input, output, vcc, gnd 符号，放至合适位置，开始电路连线。

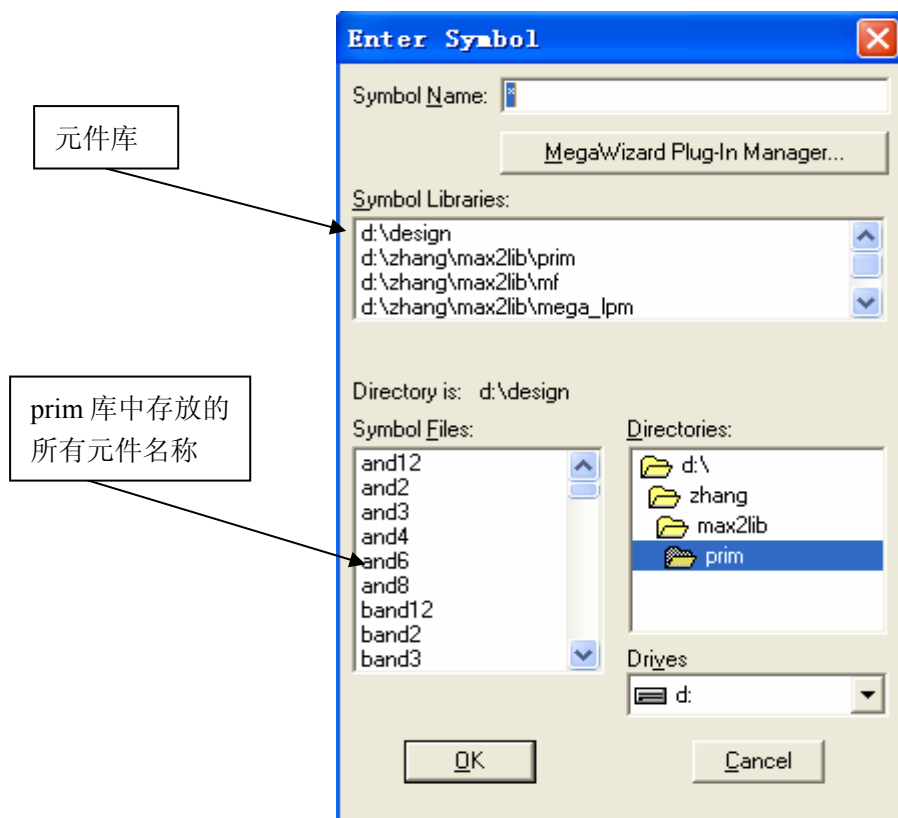





图 B.9 元件输入对话框

(e) 电路连线。有如下两种连线方法：

将鼠标停留在逻辑符号将要连接的引脚尾端，鼠标光标则变为“+”字形，此时按住鼠标左键并拖拽即可实现连线。

选取窗口左边工具面板  或  画正交线或直线工具，图形编辑区内光标是“+”字，可以连线。

连线结束，在连接线相交处会自动生成一个黑点，表示交接点，若想断开此交点只需在黑点处待光标变为“+”字，双击左键，同样的方法也可实现连接交点的设置；另一种方法是在待插入或去除连接点处用鼠标点中，此处会出现一个闪动的黑点，选中窗口左边工具面板 ，可连接或断开交点。

最后还要注意对于 addself10 模块不是采用 4 个输出端，而是总线输出形式，总线传递多种信号，必须用粗实线，与其他仅传送一种信号的连接线（细实线）相区别，粗细的控制可在窗口菜单 Option→Line Style 中选择。

(f) 管脚命名。输入输出管脚在输入到图形编辑区后系统默认其引脚名为“PIN_NAME”，用鼠标左键双击该引脚名，“PIN_NAME”变为黑底白字显示，从键盘键入所定义的管脚名即可定义输入引脚 clk，输出 q，总线输出中总线命名要求在名称后面加上[m..n]表示该总线含有的结点编号，如本例输出为 q[3..0]，表示 q3，q2，q1，q0 四个结点，他们与 74160 的 4 个输出端 QD、QC、QB、QA 应对应相连，连接方法如下，例如要 QA 和 q0 相连，只要在 QA 输出引线上直接从键盘键入结点名 q0，表示 QA 和 q0 已经进行了相连。按图 B. 10 完成输入，即得到 addself10 模块原理图。

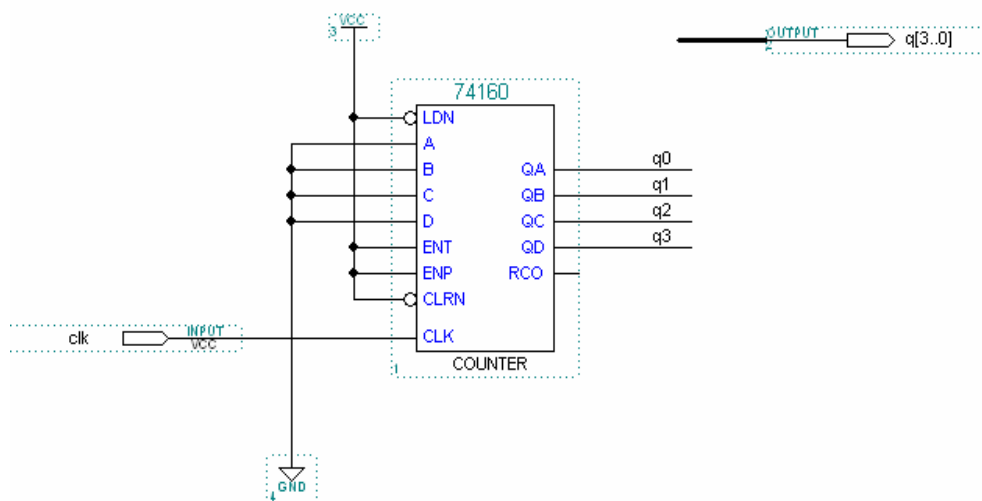


图 B.10 addself10.gdf 原理图

- (g) 保存并编译。原理图输入完成后，通过窗口菜单 File→Project→Save & Compile，电脑将设计文件自动保存至第二步所设定的路径处，并开始编译，即查找电路中的逻辑错误，生成时序模拟文件及器件编程文件。若电路中存在逻辑错误，系统会弹出信息窗口，通常双击某条错误信息，会在原理图中为你指示出有错误处，针对错误修改后再进行保存并编译，直至系统显示“0 errors”、“0 warnings”。
- (h) 逻辑功能仿真。当 addself.gdf 为当前设计项目时，如前述方法创建一个新的未命名的波形编辑文件，进入波形编辑窗口，选择此时菜单 Node→Enter Nodes from SNF，则出现一个对话框，选中框中 Type 框为 input, output, group 选项，再单击 List，可在“Available Nodes & Groups”区看到 addself10.gdf 的所有输入信号和输出信号名称，选中所有信号再按“→”按钮则把所有信号结点送至右边 selected nodes & groups 窗口如图 B.11 所示，单击 OK，关闭对话框。

此时在波形编辑窗口，我们看 Name 项目下有 clk、q[3.0]，下面要设置输入信号 clk 的值进行仿真观察输出是否正确（是否是十进计数器）。

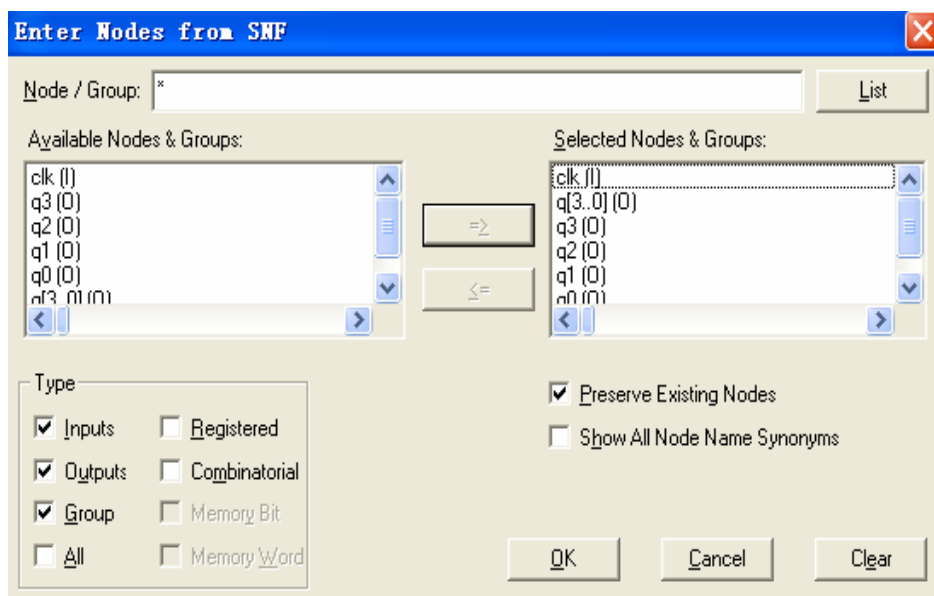



图 B.11 输入观察结点对话框

设置输入信号取值(建立输入信号波形),选择窗口菜单 File→End Time , 在对话框中键入 20.0ns, 作为每个逻辑电平持续的最小时间,单击 OK, 选中信号 clk, 单击窗口左侧  图标为周期性/有规律的单个信号或总线赋值, 出现一个对话框, 其中默认的起始值为 0, 单击 OK, clk 波形即为起始为 0, 周期 40ns 的时钟信号, 于是可以进行时序模拟分析。

分析方法为: 选择 File→Project→Save & Simulate, 首先将波形文件保存, 即在对话框中将此波形文件自动保存到 addself10.scf 文件, 然后点击 OK, 随即系统自动进行模拟仿真, 仿真结束时系统会自动告知, 若没有错误, 在波形编辑区可以看到输出信号 q[3..0] 的波形, 如图 B.12, 该波形为十进制计数器波形。

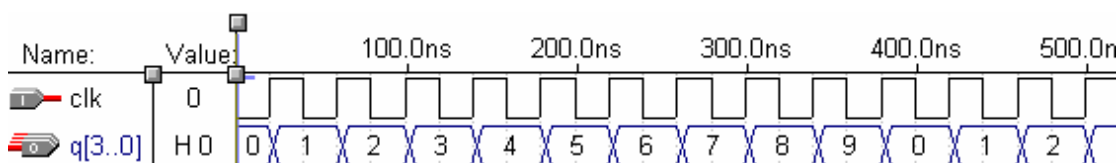


图 B.12 addself10.gdf 的仿真波形 (十进制计数波形)

(i) 定时分析。MAX+PlusII 软件中的定时分析器, 提供了三种分析模式:

延迟矩阵, 观察输入信号与输出信号之间的传输延迟时间; 时序逻辑电路的性能分析, 包括限制性能的延迟最小钟脉冲周期和电路最高工作频率; 建立/保持矩阵, 计算从输入引脚到触发器, 锁存器和异步 RAM 的信号输入所需最少的建立和保持时间。

操作方法是: 通过选择菜单 MAX+PlusII →Timing Analyzer 项即可打开定时分析窗口, 此时在窗口菜单 “Analysis” 中有 Delay Matrix, Register Performance, Set/Hold Matrix 三项分别表示以上三种分析模式, 若进行传输延迟分析, 选择 Delay Matrix 项, 然后选择 “start” 使定时分析开始工作。

对于 addself10.gdf 模块, 编者进行了传输延迟分析, 结果显示 clk 到 q0、q1、q2、q3 的传输延迟为 2.8ns。

(j) 创建电路符号文件。在底层模块 addself10 的设计、输入和仿真均已完成, 不要忘记还必须做一项工作, 创建电路符号文件, 即产生一个代表 addself10 逻辑函数的电路符号, 此符号放在用户自建的元件库中, 同 mf 库中的 74160 一样可被其他电路图使用。

操作方法是: 在已完成输入和编译的原理图 (图 B.10) 编辑窗口下, 利用菜单 File→Great Default Symbol 即可, 此时没有任何对话框告诉你创建成功, 你可以选择 File→Edit Symbol 查看所创建的电路符号文件。

经过以上 10 步即完成了 addself10 模块的设计, 用同样的过程可以设计其它模块。

②控制信号产生模块 contro.gdf 的设计

该模块的功能要求是: 用计数模块 addself10 的四个输出 q3q2q1q0 作为输入, 要求模块输出三个信号, 这三个输出信号的名称和时序关系如下:

清零信号 clr, 时序关系为: 当 q3q2q1q0=0000 时 clr=1;

闸门信号 cs, 时序关系为: 当 q3q2q1q0=0001~1000 期间 cs=1;

锁存信号 lock, 时序关系为: 当 q3q2q1q0=1001 时 lock=1。

根据功能可知, contro.gdf 模块是一个组合逻辑电路, 根据组合逻辑电路设计方法, 具体设计如下:

根据功能要求列出真值表如表 C.1 所示。

表 C.1 contro. gdf 模块真值表

输入				输出		
q3	q2	q1	q0	clr	cs	lock
0	0	0	0	1	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	1	0
0	1	0	1	0	1	0
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	0	1	0
1	0	0	1	0	0	1
1	0	1	0	×	×	×
1	0	1	1	×	×	×
1	1	0	0	×	×	×
1	1	0	1	×	×	×
1	1	1	0	×	×	×
1	1	1	1	×	×	×

根据真值表用卡诺图化简得到三个输出的逻辑函数表达式如式 (1)、(2)、(3) (卡诺图化简过程省略)。

$$clr = \overline{q3q2q1q0} = \overline{q3 + q2 + q1 + q0} \dots\dots\dots (1)$$

$$cs = q2 + q1 + q3\overline{q0} + \overline{q3}q0 \dots\dots\dots (2)$$

$$lock = q3q0 \dots\dots\dots (3)$$

根据逻辑函数表达式作出逻辑电路图如图 B.13 所示。图 B.13 中所用逻辑单元符号是 CPLD 内元件库所用符号。

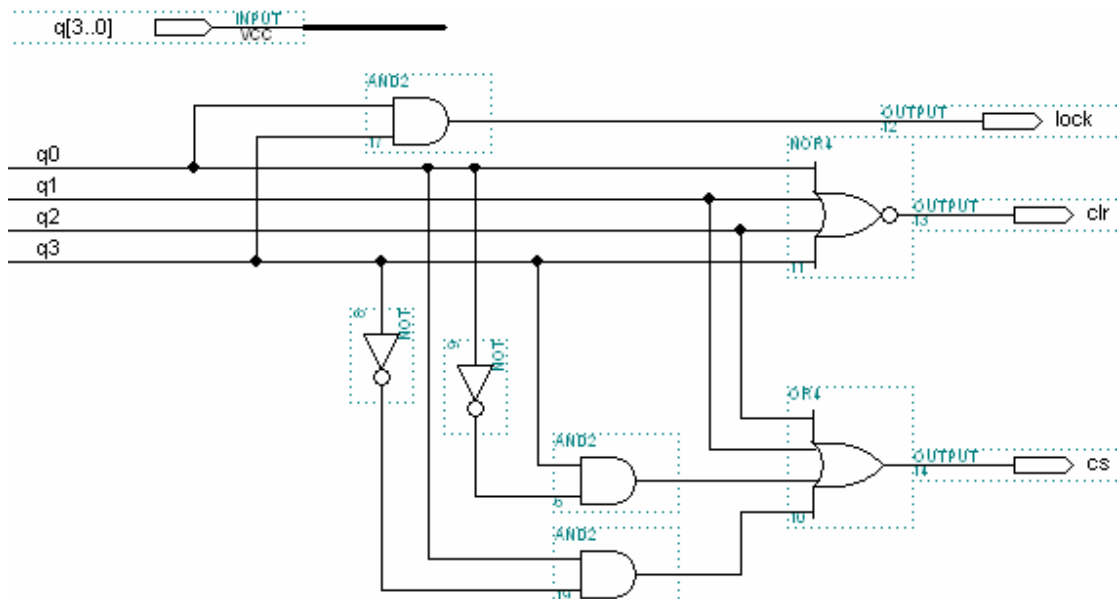


图 B.13 contro.gdf 原理图

根据图 B. 13，用原理图输入方式按照 addself10 模块设计的十个步骤即可完成在 CPLD 内部的设计。

③四位十进制计数模块 add10_2.gdf 的设计

用两块 74160 设计 100 进制计数器在课本时序逻辑电路部分已有介绍，在此与前面介绍略有不同的是要用闸门信号 cs 去控制 74160 中的使能输入 ENT 和 ENP，其中对于个位，用 cs 同时控制 ENT 和 ENP，对于十位、百位、千位，cs 控制 ENT 或 ENP 其中一个，另一个用前级的进位去控制，其原理图如图 B. 14 所示。

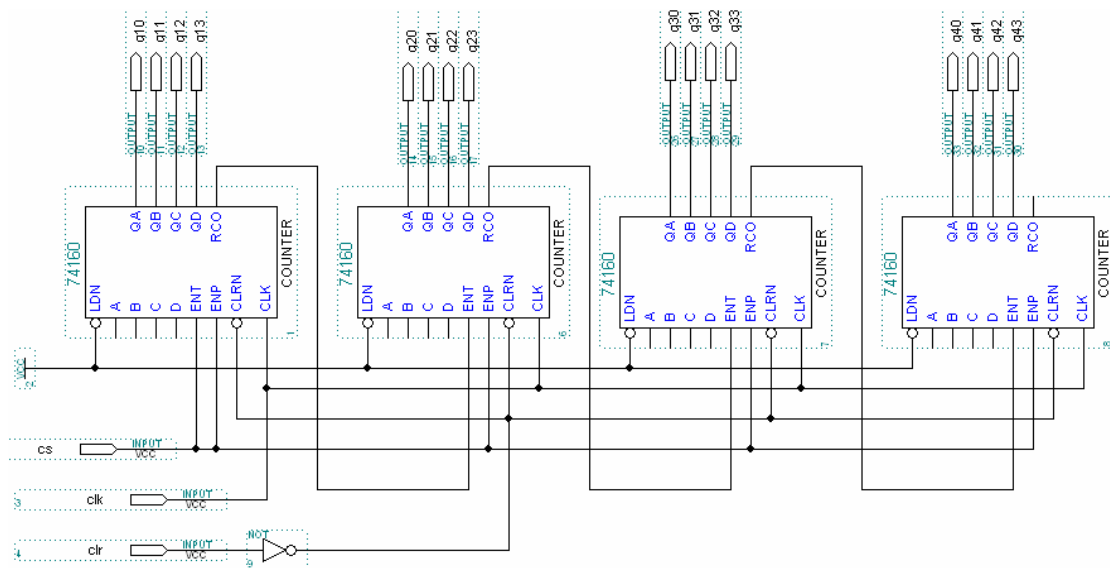


图 B.14 add10_2.gdf 原理图

同样，根据图 B. 14，用原理图输入方式按照 addself10 模块设计的十个步骤即可完成在 CPLD 内部的设计。

④计数锁存模块 lock_2.gdf 设计

功能要求为：当锁存信号 lock=1 时，lock 模块输出等于输入信号，当 lock=0 时，lock 模块输出保持不变实现锁存，其原理图如图 B. 15。根据原理图采用原理图输入方式即可完成 CPLD 内部的设计。

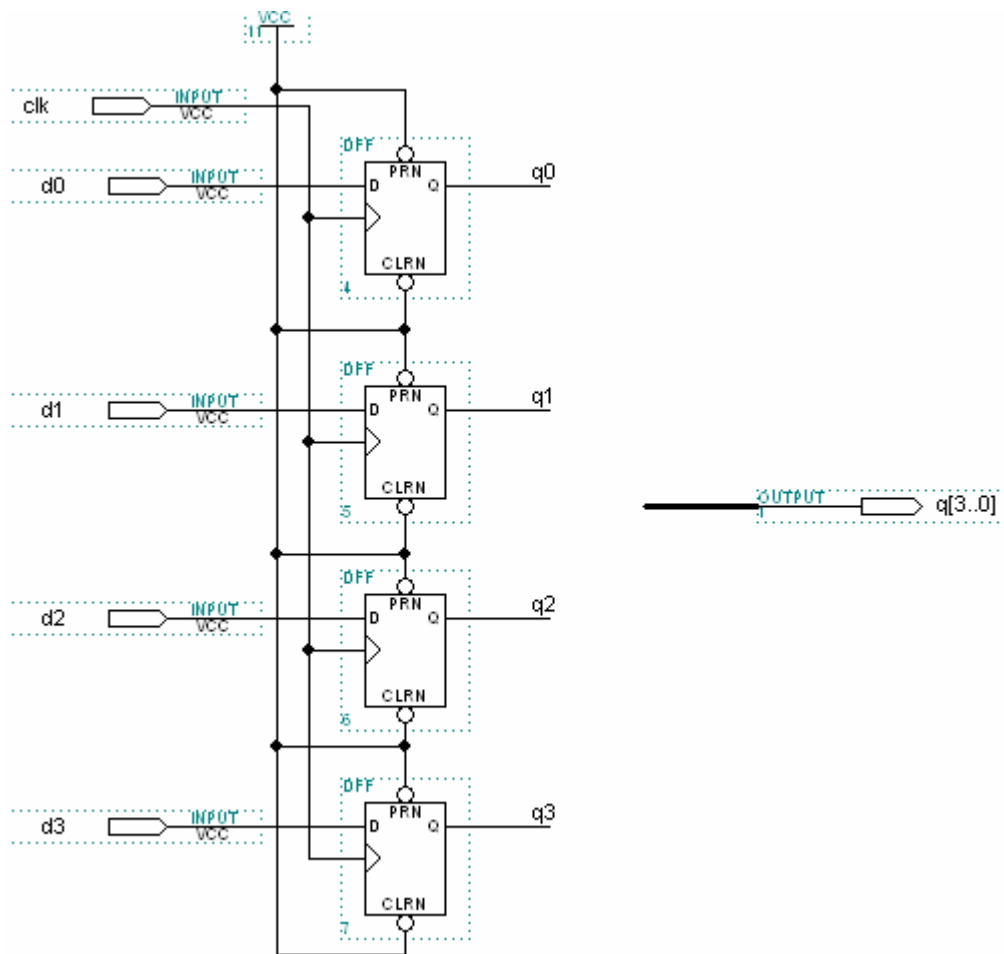


图 B.15 lock_2.gdf 原理图

⑤数字显示译码模块 decoder.gdf 的设计

数字显示译码电路读者肯定很熟悉，它在组合逻辑电路中已有详细介绍，在本设计中只要在 CPLD 内部元件库中选用 74248 即可。74248 的原理图如图 B. 16 所示。

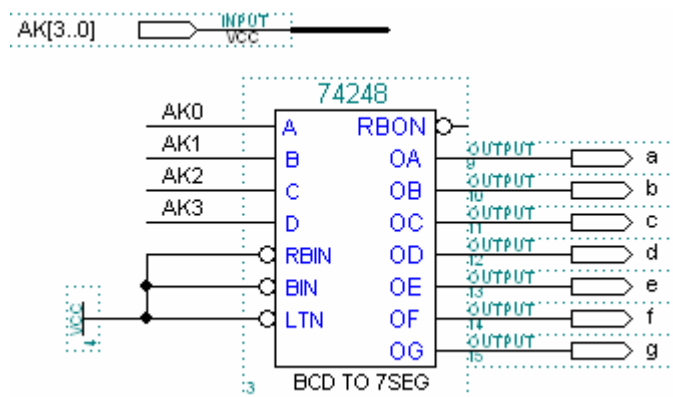


图 B.16 decoder.gdf 原理图


将各个模块设计完成后，用原理图输入法连接成如图 B. 7 所示的顶层原理图，对于顶层原理图所示的电路，还需命名。本案例中把顶层原理图命名为 fre.gdf，然后还要通过保存、编译。当确认正确无误后才可以说完成了 CPLD 内部电路的设计。

2. 文本输入方式

为了便于区别，在文本输入方式设计底层模块时，其名称与原理图设计时定义的名称不同，但它们的功能完全相同。

①对 8HZ 信号十进制计数模块 wenben 的 VHDL 语言程序设计：

新建文件图片动作 MAX+plusII10.2 选择菜单 File→New, 出现对话框, 选定图形编辑 Text Editor file, 进入文字编辑画面。

保存文件 : 菜单 File→Save, 在对话框中输入文件名称 wenben 扩展名. vhd。

指定项目名称与文件名相同 : 与原理图输入时操作相同, 不再赘述。

插入库样本并更改: 从窗口菜单 Templates→VHDL Template., 出现一个对话框, 内包含 VHDL 电路设计的各种结构, 选取 Library Clause 和 Use Clause, 得到

```
LIBRARY _library_name ;
USE _library_name._package_name.ALL ;
```

根据 wenben 模块逻辑功能, 替换 “_library_name” 和 “_package_name” 得结果

```
LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSTGNETD.ALL;
```

插入实体样本并更改: 从 VHDL Template..对话框中选择 Entity Declaration 插入 VHDL 样本为:

```
ENTITY __entity_name IS
  GENERIC(__parameter_name : string := __default_value;
    __parameter_name : integer:= __default_value);
  PORT(
    __input_name, __input_name: IN STD_LOGIC;
    __input_vector_name : IN STD_LOGIC_VECTOR(__high downto __low);
    __bidir_name, __bidir_name: INOUT STD_LOGIC;
    __output_name, __output_name: OUT STD_LOGIC);
END __entity_name;
```

更改电路名称 “entity_name” 为文件名 wenben, “generic(类属说明)” 用来确定设计实体中定义的局部常数, 我们的设计不使用类属说明, 只需更改端口说明, 将 “_input_name” 和 “_output_name” 换成自定义的输入输出端口名, 合理选择端口模式及数据类型, 更改后实体描述如:

```
ENTITY wenben IS
  PORT (clk: IN STD_LOGIC;
    qq: BUFFER STD_LOGIC_VECTOR(3 DOENTO 0)
  );
```

END;

逻辑描述: 同样从 VHDL template..中引入样本 Architecture Body, 如:

```
ARCHITECTURE a OF _entity_name IS
  SIGNAL _signal_name : STD_LOGIC;
  SIGNAL _signal_name : STD_LOGIC;
BEGIN
  -- Process Statement
  -- Concurrent Procedure Call
  -- Concurrent Signal Assignment
  -- Conditional Signal Assignment
  -- Selected Signal Assignment
```

```
-- Component Instantiation Statement
-- Generate Statement
```

在 BEGIN 和 END 间描述逻辑功能如下:

```
ARCHITECTURE one OF wenben IS
```

```
BEGIN
```

```
PROCESS (CLK) --以 clk 为进程敏感信号, 当 clk 发生变化执行进程内部语句
```

```
BEGIN
```

```
IF ( CLK' EVENT' AND CLK=' 1' ) THEN -- “EVENT” 用于检测信号值
```

```
IF (qq=11) THEN --是否发生变化, 这个语句表示
```

```
qq<=" 0000" ; --信号 clk 发生变化并且结果为
```

```
ELSE -- ‘1’ 即 clk 发生上跳;
```

```
qq<=" 1111" ;
```

```
END IF; --实现 clk 上升边十进制计数;
```

```
END IF;
```

```
END PROCESS;
```

```
END one;
```

保存并编译: 完成编辑后, 选取 File→Project→Save&Compile; 检查文本编辑中的错误并说明错误所在, 根据错误信息修改程序直至 “0 errors” “0 warnings”, 编译成功产生烧写文件。

逻辑功能仿真: 创建波形编辑文件, 保存为 wenben.scf, 与原理图设计仿真操作步骤相同, 得到仿真结果:

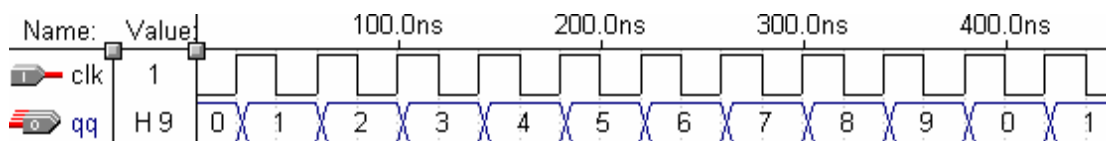


图 B.17 wenben.vhd 的仿真结果

时间分析: 选取窗口菜单 Utilities→Analyze Timing, 再从菜单 Anglysis→Deley Matrix 产生时间分析结果。

创建电路符号: 选取窗口菜单 File→Creat Default Symbol, 可以产生 wenben.sym 文件它代表你所设计的电路的符号, 可供其他程序调用。

同样的步骤设计其他功能模块, 以下设计供参考:

②控制信号模块 kongzhi 的 VHDL 语言程序设计:

```
LIBRARY IEEE;
```

```
USE IEEE.STD_LOGIC_1164.ALL;
```

```
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
```

```
ENTITY kongzhi IS
```

```
PORT (dd: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
```

```
cs: OUT STD_LOGIC;
```

```
clr: OUT STD_LOGIC;
```

```
lock: OUT STD_LOGIC
```

```
);
```

```
END kongzhi;
```

```

ARCHITECTURE one OF kongzhi IS
BEGIN
    PROCESS (dd)
    BEGIN
        IF (dd=0) THEN
            clr<=' 1 ' ;
        ELSE
            clr<=' 0 ' ;
        END IF;
        IF (dd=9) THEN
            lock<=' 1 ' ;
        ELSE
            lock<=' 0 ' ;
        END IF;
        IF (dd>0)AND(dd<9) THEN
            cs<=' 1 '
        ELSE
            cs<=' 0 ' ;
        END IF;
    END PROCESS;
END one;

```

③十进制加法计数器 wenben10 的 VHDL 语言程序设计:

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY wenben10 IS
    PORT (clk: IN STD_LOGIC;
          clr: IN STD_LOGIC;
          cs: IN STD_LOGIC;
          qq: BUFFER STD_LOGIC_VECTOR(3 DOWNTO 0);
          co: OUT STD_LOGIC
    );
END wenben10;

ARCHITECTURE one OF wenben10 IS
BEGIN
    PROCESS (clk, clr, cs)
    BEGIN
        IF (clr=' 1 ' ) THEN
            qq<= " 0000 " ;
        ELSEIF (clk' EVENT AND clk=' 1 ' ) THEN
            IF ( cs=' 1 ' ) THEN
                IF (qq=9) THEN

```

```

        qq<= " 0000 " ;
    ELSE
        qq<=qq+1;
    END IF;
END IF;
END PROCESS;

```

```

PROCESS (qq)
BEGIN
    IF (qq=9) THEN
        co<= ' 0 ' ;
    ELSE
        co<= ' 1 ' ;
    END IF;
END PROCESS;

```

END one;

④锁存器 suocun 的 VHDL 语言程序设计:

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

ENTITY suocun IS
    PORT( clk : IN STD_LOGIC;
          dd: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
          qq: OUT STD_LOGIC_VECTOR(3 DOWNTO 0)
        );
END suocun;

```

```

ARCHITECTURE one OF suocun IS
BEGIN
    PROCESS(clk, dd)
    BEGIN
        IF (clk' EVENT AND clk=' 1 ' ) THEN
            qq<=dd;
        END IF;
    END PROCESS;

```

END one;

⑤译码模块 decode 的 VHDL 语言程序设计:

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

```

```

ENTITY decode IS
PORT (
    AK: IN INTEGER RANGE 0 TO 9;

```



```

        A, B, C, D, E, F, G: OUT STD_LOGIC);
END decode;

ARCHITECTURE one OF decode IS
BEGIN
    PROCESS (AK)
    BEGIN
        CASE AK IS
            WHEN 0=>A<='1';B<='1'; C<='1'; D<='1'; E<='1'; F<='1'; G<='0';
            WHEN 1=>A<='0';B<='1'; C<='1'; D<='0'; E<='0'; F<='0'; G<='0';
            WHEN 2=>A<='1';B<='1'; C<='0'; D<='1'; E<='1'; F<='0'; G<='0';
            WHEN 3=>A<='1';B<='1'; C<='1'; D<='1'; E<='0'; F<='0'; G<='1';
            WHEN 4=>A<='0';B<='1'; C<='1'; D<='0'; E<='0'; F<='1'; G<='1';
            WHEN 5=>A<='1';B<='0'; C<='1'; D<='1'; E<='0'; F<='1'; G<='1';
            WHEN 6=>A<='1';B<='0'; C<='1'; D<='1'; E<='1'; F<='1'; G<='0';
            WHEN 7=>A<='1';B<='1'; C<='1'; D<='0'; E<='0'; F<='0'; G<='0';
            WHEN 8=>A<='1';B<='1'; C<='1'; D<='1'; E<='1'; F<='1'; G<='1';
            WHEN 9=>A<='1';B<='1'; C<='1'; D<='1'; E<='0'; F<='1'; G<='1';
            WHEN OTHERS=>A<='0';B<='0'; C<='0'; D<='0'; E<='0'; F<='0'; G<='0';
        END CASE;
    END PROCESS;
END one;

```

各模块设计完成后，均创建电路符号，然后用原理图输入方式将各底层模块按顶层原理图 B.7 所示连接，保存为 fmeter.gdf 编译并通过。

以上是用两种输入方法所设计的 CPLD 内部电路，可以对比一下两种方法各自的特点。

4. 完成四位数字频率计设计

将设计项目下载至芯片 EPM7128SL84-15，完成数字电路功能，还需进行项目处理，包括器件选择，管脚锁定，编程下载等工作，fre.gdf 和 fmeter.gdf 项目处理过程完全相同，以 fre.gdf 为例加以说明。

(1) 器件选择

顶层原理图完成后选择窗口菜单 Assign→Device，出现对话框，在 Device Family 下拉按钮中选中 MAX 7000S 系列，其下方 Devices 会出现这一系列所有器件供选择，找到 EPM7128SLC84-15，有时找不到此器件，将对话框下方 Show Only Fastest Speed Grades 取消即可，如图 B.18 所示，单击 OK。

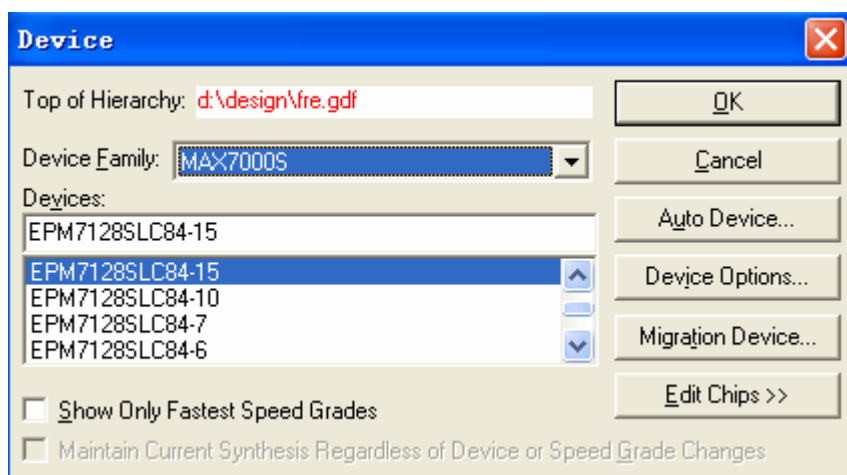


图 B.18 器件选择对话框

(2)管脚锁定

将输入输出信号安排在器件的指定管脚上的过程,实际 PLD 器件的应用还要与其它电路连在一起配合使用,管脚锁定要根据实际电路来确定,电路板可以选用标准实验板或自己制作一块实验板。本次设计中使用的是 JX002B 型 CPLD 实验板,将管脚锁定为表 C.2 的信号对应关系。

表 C.2 管脚锁定信号

信号	管脚	信号	管脚	信号	管脚	信号	管脚	信号	管脚
CLK	83	B1	60	C3	29	E1	56	F3	33
CLKIN	12	B2	73	C4	17	E2	68	F4	21
A1	61	B3	28	D1	57	E3	31	G1	54
A2	74	B4	16	D2	69	E4	20	G2	65
A3	27	C1	58	D3	30	F1	55	G3	34
A4	15	C2	70	D4	18	F2	67	G4	22

实现管脚锁定方法为: MAX+PlusII 软件窗口菜单中选择 Assign→Pin/Location/chip, 出现管脚锁定对话框, 在 Node Name 栏中键入信号名 CLK, 其下方 Pin Type 栏中会自动出现“input”指示此管脚为输入脚, 在 Pin 栏中键入管脚号 83, 点击对话框右下角 Add 按钮, 实现 CLK 管脚锁定, 同样的方法将其它信号锁定, 如图 B.19 所示, 点击 OK, 关闭对话框, 回到原理图文件 fre.gdf 中可以看到, 在每个输入输出信号旁都有所对应的管脚号(呈紫色)如图 B.20 所示。

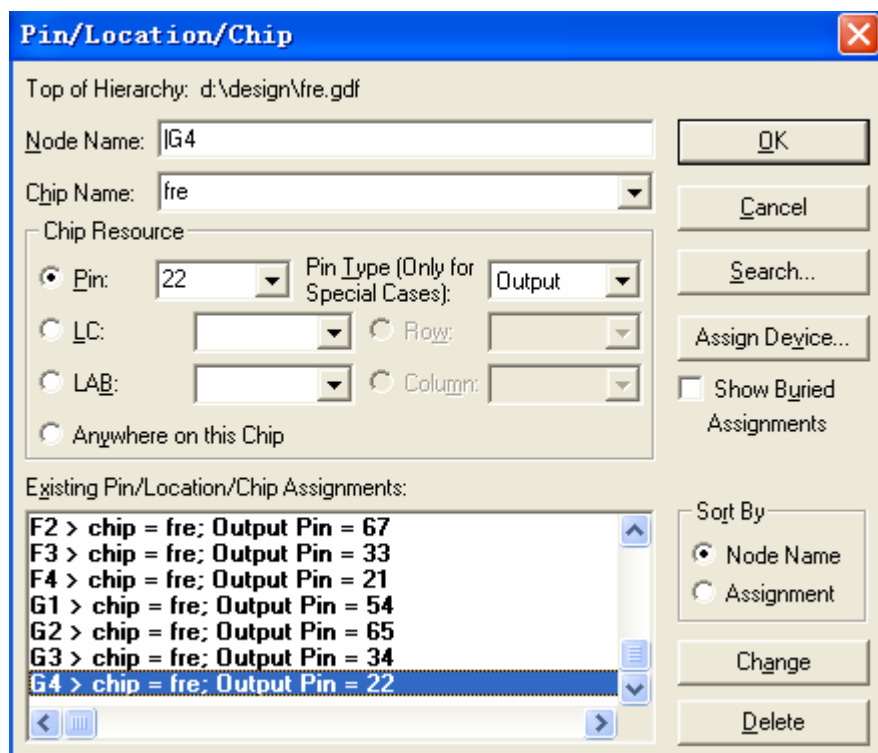


图 B.19 管脚锁定对话框



图 B.20 管脚锁定后信号图

(3) 设定全局综合方式

选择全局项目逻辑综合方式，以指导编译器的逻辑综合模块工作，在菜单命令 Assign → Global Project Logic Synthesis，出现相应对话框，在 Global Project Synthesis Style 下拉列表中选择 FAST（快速），NORMAL（常规），WYS/WYG（我行我素）等逻辑综合方式之一，默认方式是 NORMAL，该方式的逻辑综合优化目标是使逻辑单元使用数达最小。移动 Optimize(优化)栏中的滑动块，移至最左侧（0），则逻辑综合时优先考虑减少器件的资源占用率，若移至最右侧（10）则逻辑综合时优先考虑系统执行速度，默认滑块在中间（5）。设置自动全局信号 Automatic Global，默认时钟，清除，预置，输出使能信号均使用全局信号端口，本设计 CLKIN 锁定在通用 I/O 口上，所以将全局时钟设为无效（去掉 CLOCK 前面的√），同样可以设定其它全局信号端口无效，相应信号端口可由设计者自定义，设定结束，如图 B. 20 所示，单击 OK 关闭对话框。

经过以上步骤后，再运行编译器，产生报告文件和编程文件，双击编译窗口报告文件图标即可阅读相应报告文件。

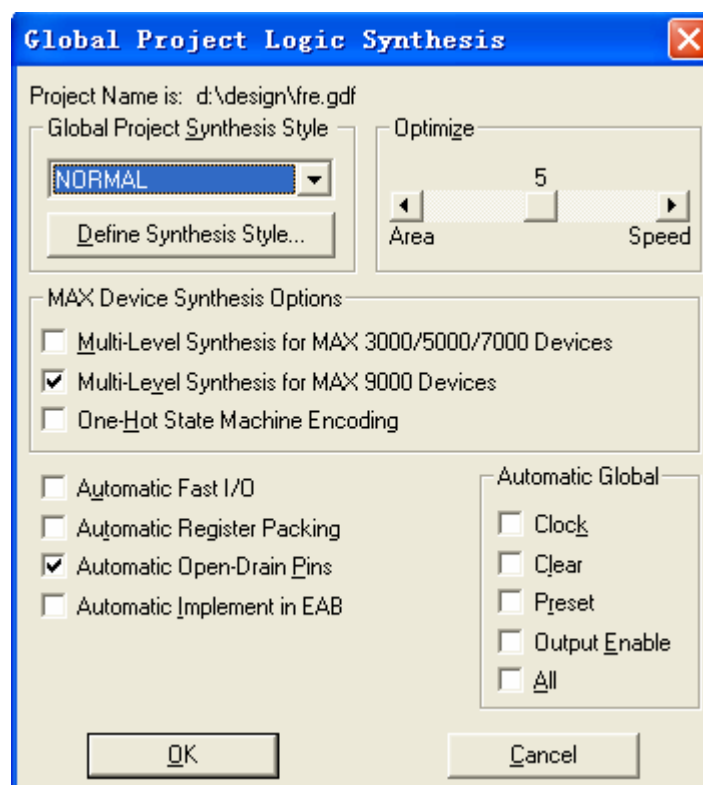


图 B.21 设定全局综合方式对话框

(4) 器件编程

选择菜单 MAX+PlusII→programmer，出现编程对话框如图 B. 21，对话框显示保密位选项，项目编程文件名称，项目所用 Altera 器件名称等信息，此时在 option 菜单上选 Hardware Setup 在对话框中 Hardware Type 中选择 ByteBlaste(MV)，在 Parallel Port 中选择 LPT1，然后点“OK”，返回编程对话框，单击左侧 Program 按钮开始编程。若器件或电缆有问题，编程中会产生错误警告信息，若编程成功，也会有成功信息提示框，单击确定，就可以在实验板上验证器件的逻辑功能。

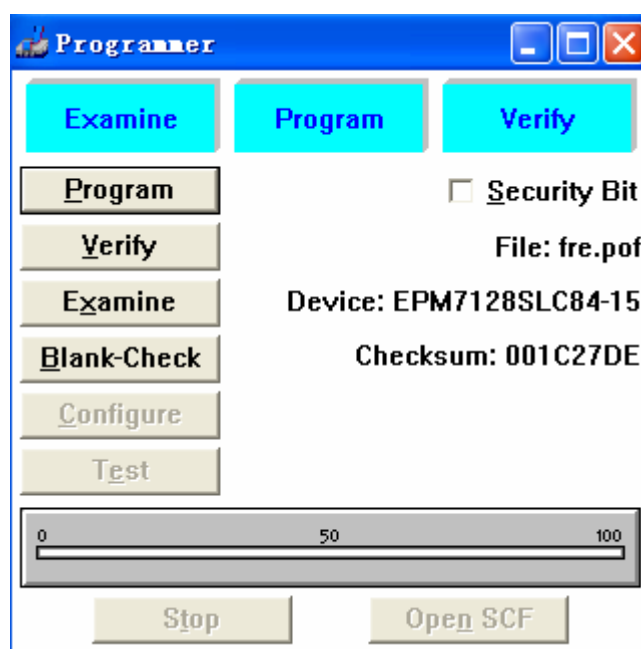


图 B. 22 编程器对话框

5. 思考题

(1) 当使用原理图输入方式对 CPLD 内部电路进行设计时, 可以将外围电路部分也设计到 CPLD 内部, 这样使得整个电路更加简单, 读者可以思考一下如何设计。

(2) 将设计项目下载至芯片前, 如果没有设定全局综合方式, 对验证结果会有怎样的影响?

参考文献

- 1 康华光主编. 电子技术基础. 北京: 高等教育出版社, 1991
- 2 胡宴如主编. 模拟电子技术. 北京: 高等教育出版社, 2000
- 3 虞光楣主编. 电子技术基础模拟部分. 北京: 北京工业大学出版社, 1995
- 4 江晓安编. 模拟电子技术. 西安: 西安电子科技大学出版社, 1998
- 5 林玉江主编. 模拟电子技术基础. 哈尔滨: 哈尔滨工业大学出版社, 1997
- 6 何希才 刘洪梅编著. 新型通用集成电路实用技术. 北京: 国防工业出版社, 1997
- 7 阎石主编. 数字电子技术基础. 北京: 高等教育出版社, 1998
- 8 杨志忠主编. 数字电子技术. 北京: 高等教育出版社, 2000
- 9 王福瑞等编. 单片机微机测控系统设计大全. 北京: 北京航空航天大学出版社, 1998
- 10 张端主编. 实用电子电路手册数字电路分册. 北京: 高等教育出版社, 1992
- 11 谭建成. 电机控制专用集成电路. 北京: 机械工业出版社
- 12 李宏. 电力电子设备用器件与集成电路应用指南第一册. 北京: 机械工业出版社
- 13 王晓明. 电动机的单片机控制. 北京: 北京航空航天大学出版社
- 14 Atmel Corporation. AT28C256 Datasheet. Atmel Corporation, 1999
- 15 Hyundai Semiconductor. HY62256A series Datasheet. Hyundai Semiconductor, 1999
- 16 L297 STEPPER MOTOR CONTROLLERS. <http://www.st.com>, 浏览日期: 2004 年 12 月 5 日
- 17 APPLICATION NOTE THE L297 STEPPER MOTOR CONTROLLER. <http://www.st.com>, 浏览日期: 2004 年 12 月 5 日