

**Atividade Acadêmica:** Arquitetura e Organização de Computadores II e Projeto de Sistemas Digitais

### ROTEIRO PARA DESENVOLVIMENTO DO ESTUDO DE CASO

Desenvolver o somador completo de 8 bits (full adder 1 Byte):

- 1) Desenhar o esquemático no Logisim (implementar de modo modularizado, 1 bit >>> 8 bits) usando portas AND, OR, NOT e XOR apenas;
- 2) Implementar o código de descrição do hardware (HDL) em Verilog usando a ferramenta EDA Playground, usar abordagem comportamental com *assign* ou *always*;
- 3) Implementar o testbench para validação de cenários, pela abordagem self-checking;
- 4) Simular o processamento e analisar as saídas de log e gráfico de waveform para diferentes valores de entrada;
- 5) Gerar o zip contendo:
  - a. **esquemático .circ** do item 1;
  - b. **código fonte .v ou .sv do módulo e do testbench** dos itens 2 e 3;
  - c. **.png ou .jpg do waveform** gerado.

### Observações:

Link para o Logisim: <http://www.cburch.com/logisim/pt/index.html>

Link para o EDA Playground: <https://www.edaplayground.com/home>