
Atividade Acadêmica: Arquitetura e Organização de Computadores II e Projeto de Sistemas Digitais**ROTEIRO PARA DESENVOLVIMENTO DO ESTUDO DE CASO**

Considere um contexto genérico em que existem 3 variáveis (entradas A, B e C) que geram um comportamento verificável (saída Y), utilizando-se a lógica digital.

Após analisar o respectivo caso, proceda:

- 1) A partir da Tabela Verdade (TV), obter as expressões por Soma de Produtos (SdP), Produto de Somas (PdS) e Mapa de Karnaugh (MK). Se possível, simplificar as expressões;

A	B	C	Y	mintermo	maxtermo
0	0	0	0		
0	0	1	0		
0	1	0	0		
0	1	1	0		
1	0	0	0		
1	0	1	0		
1	1	0	1		
1	1	1	1		

Expressão lógica resultante:

- 2) Desenhar o circuito da expressão lógica mais simplificada, do item 1, no Logisim;
- 3) Implementar o código de descrição do hardware (HDL) em Verilog usando a ferramenta EDA Playground. Implementar um módulo para a representação estrutural e outro para a comportamental;
- 4) Simular o processamento e analisar o gráfico de waveform;
- 5) Gerar o zip contendo:
 - a. **.doc preenchido** com os itens 1 acima;
 - b. **esquemático .circ** do item 2 acima;
 - c. **código fonte .v ou .sv do módulo e do testbench** do item 3;
 - d. **.png ou .jpg do waveform** gerado do item 4.

Link para o Logisim: <http://www.cburch.com/logisim/pt/index.html>

Link para o EDA Playground: <https://www.edaplayground.com/home>