

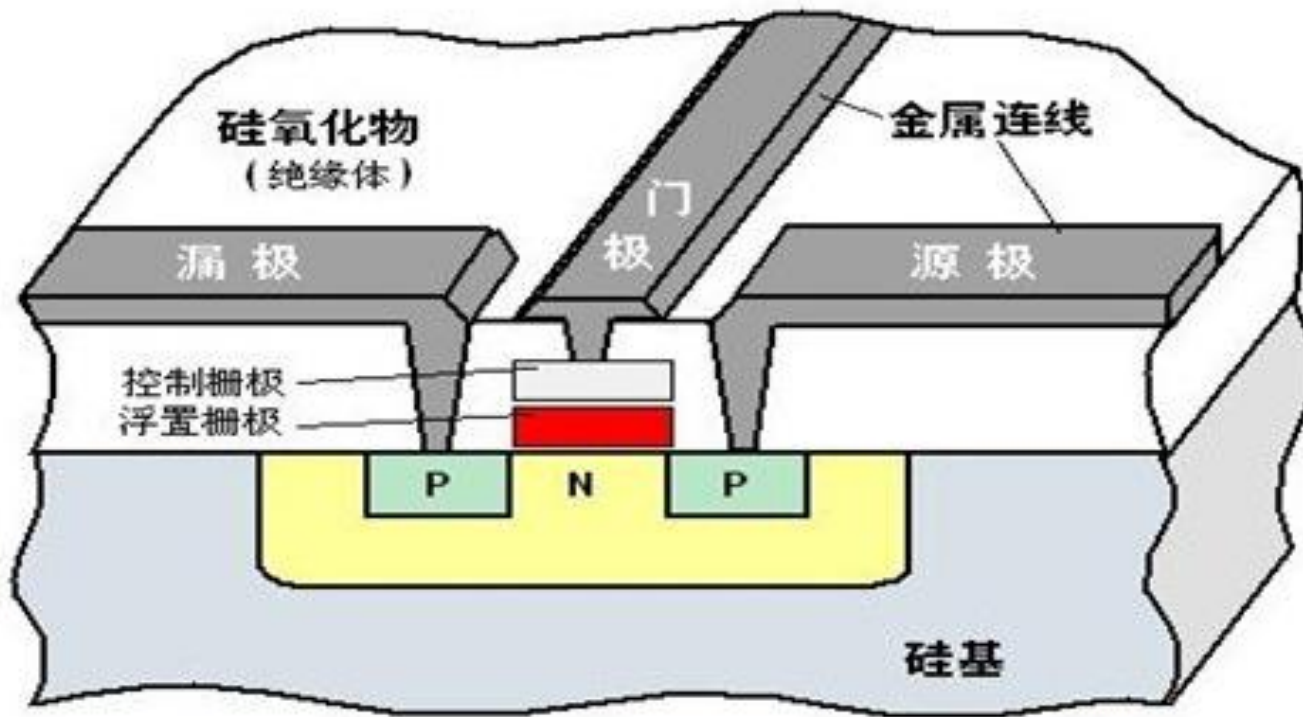


MICROCHIP

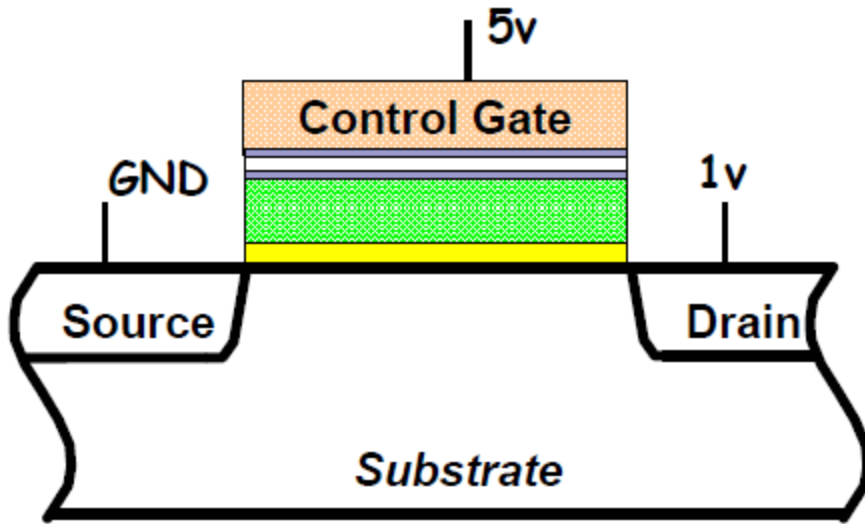
Flash 存储原理及编程注意事项

- Flash 存储原理
- 什么是边界编程
- 干扰是如何影响数据存储的
- 降低边界编程几率
- Q & A

Flash 存储原理



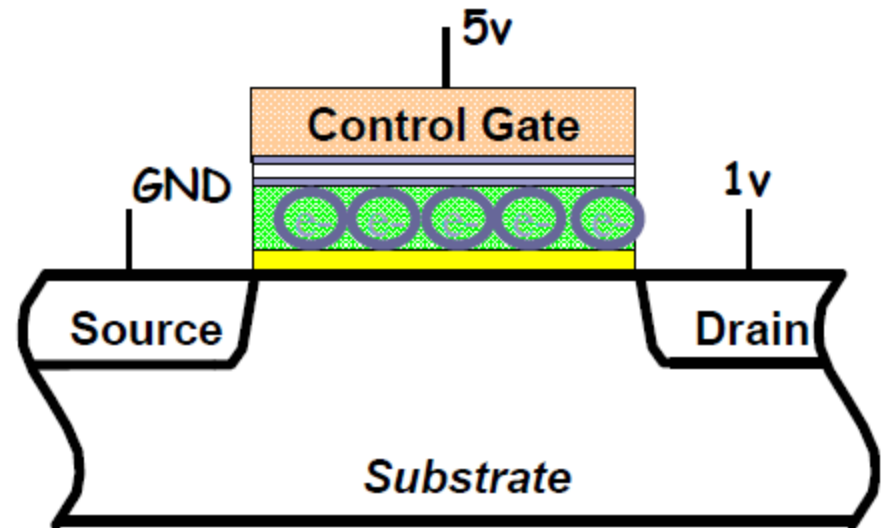
Flash 存储原理



Erased cell, "1"

右图为编程后的存储单元，绿色浮栅中有电子，MOS管的导通电压 V_t 变高，读数据的时候当在橙色控制栅加5V电压时，不足以让MOS管导通，就会没有流过源极漏极的电流 I_{DS} ，通过判断无 I_{DS} 获知存储单元存储0

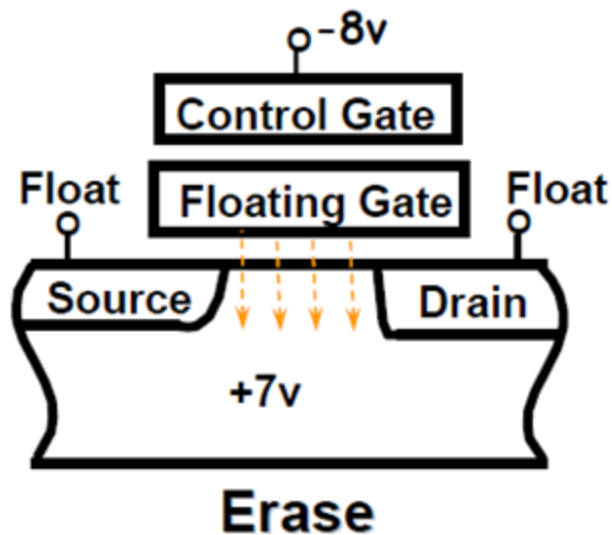
左图为擦除后的存储单元，绿色浮栅中没有电子，MOS管的导通电压 V_t 比较小，读数据的时候当在橙色控制栅加5V电压时，足以让MOS管导通，就会有流过源极漏极的电流 I_{DS} ，通过判断有 I_{DS} 获知存储单元存储1



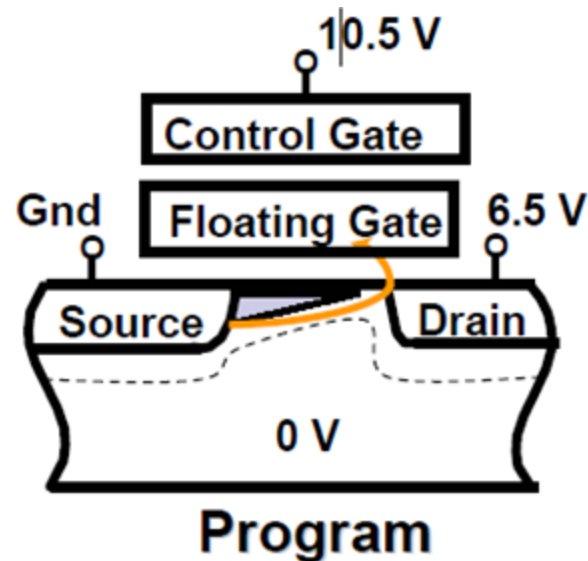
Programmed Cell, "0"

Flash 存储原理

擦除是通过隧道效应来实现的，在控制栅和衬底加入正负电压，在高电场的作用下，浮栅中的电子会通过隧道效应，注入到衬底，实现删除动作

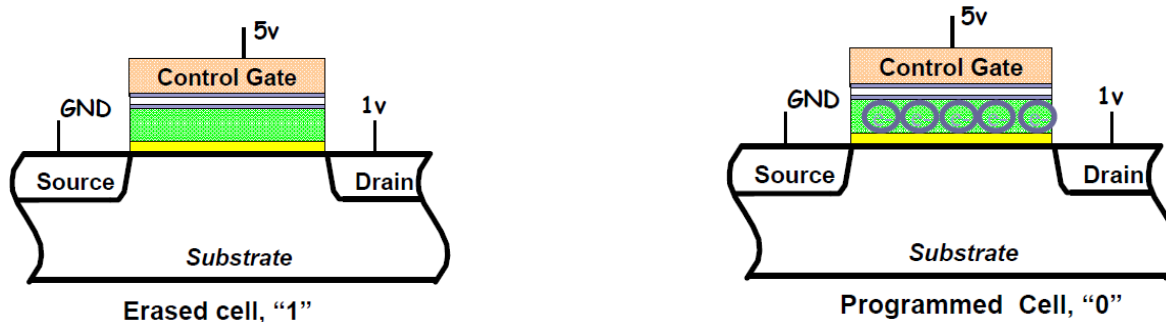


编程是通过热电子注入实现的，在源极和漏极间加入电压差，同时在衬底和控制栅加入电压差，大量电子在源极到漏极过程中，在控制栅极的作用下，会注入到浮栅中，实现编程



什么是边界编程

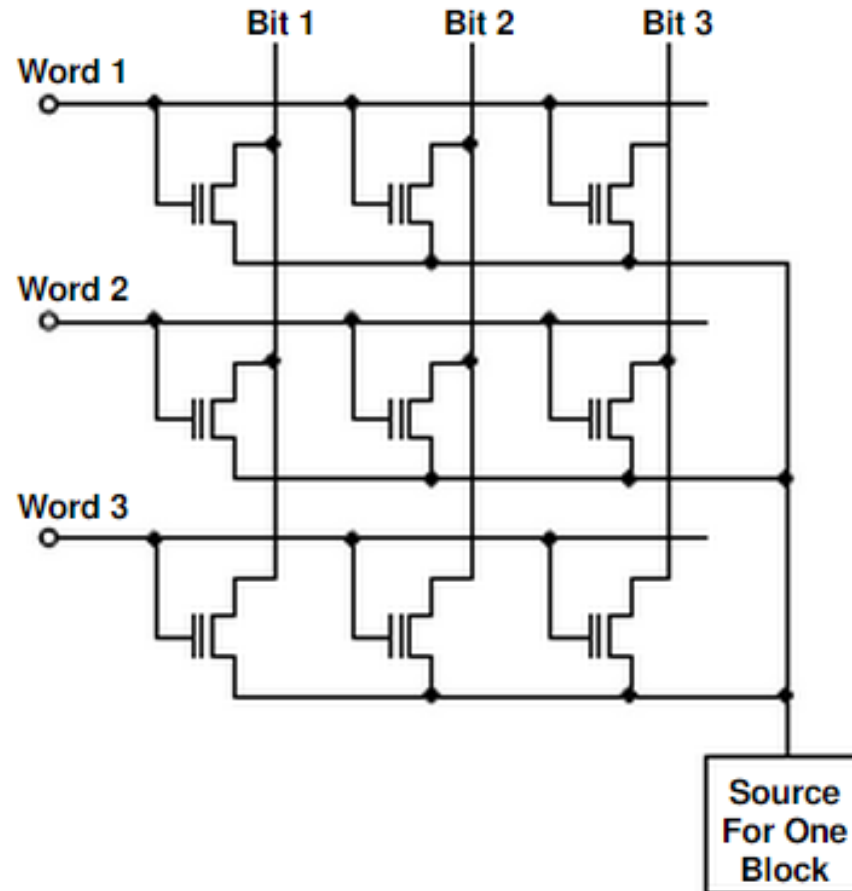
- 是指浮栅所保存的电子不足或过多，在某些条件下无法正常读取数值的现象。



从存储原理可知MOS管导通电压 V_t 与浮栅中电子的数量相关，成正比例关系。假设编程过程因干扰因素导致电子不充足时，就会导致 V_t 比正常编程单元低，控制栅加入较高工作电压时，本不应导通的单元，成了导通单元。同样若本应没有电子的存储单元，因干扰因素，被注入了少量电子，抬高了 V_t ，则在较低工作电压下，本应该导通的单元，变得无法导通。这也是高低压校验的理论支撑。

存储单元排布

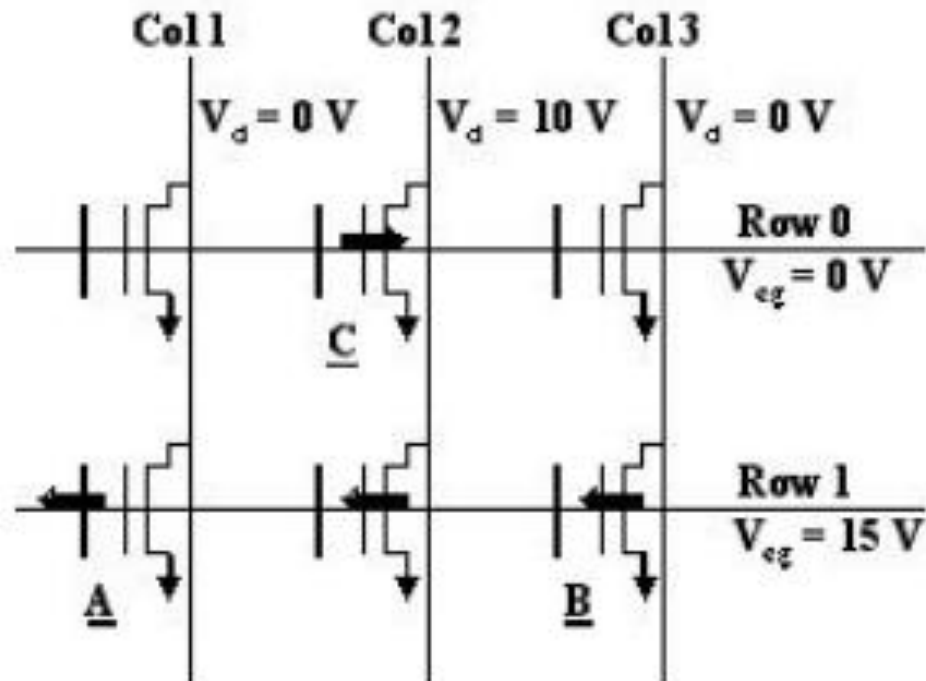
NOR ARCHITECTURE



存储器干扰

● DC Erase

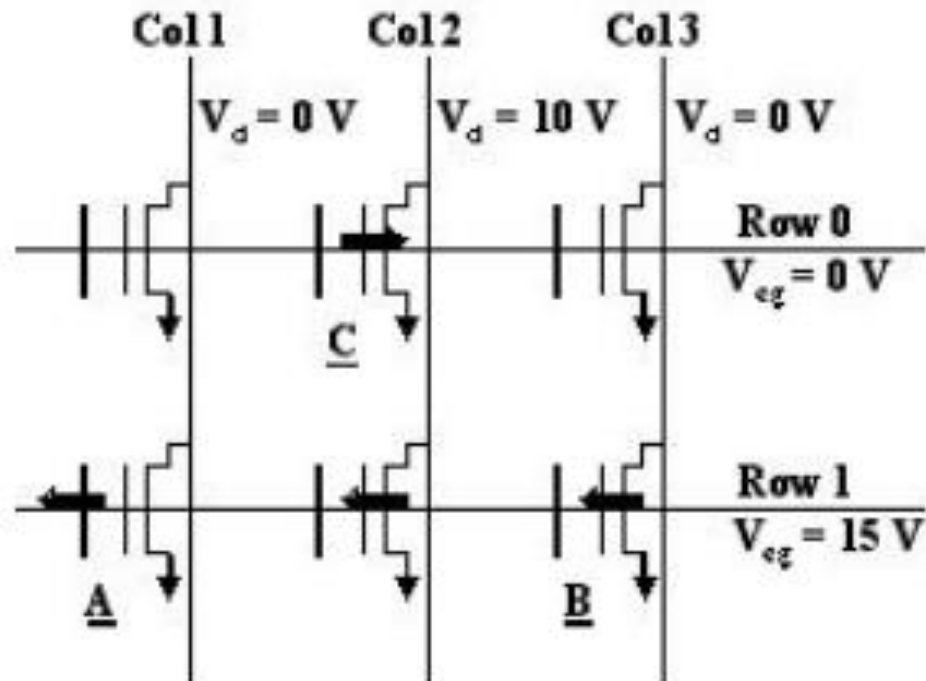
- ROW 1 被加载一个高电压 15 V，由此产生的一个高电场出现在 IPD 的两侧。这个电压可能导致 A Cell 电子从浮栅区移动到控制门区，结果是电荷流失造成单元的阈值电压减小。



存储器干扰

● DC Program

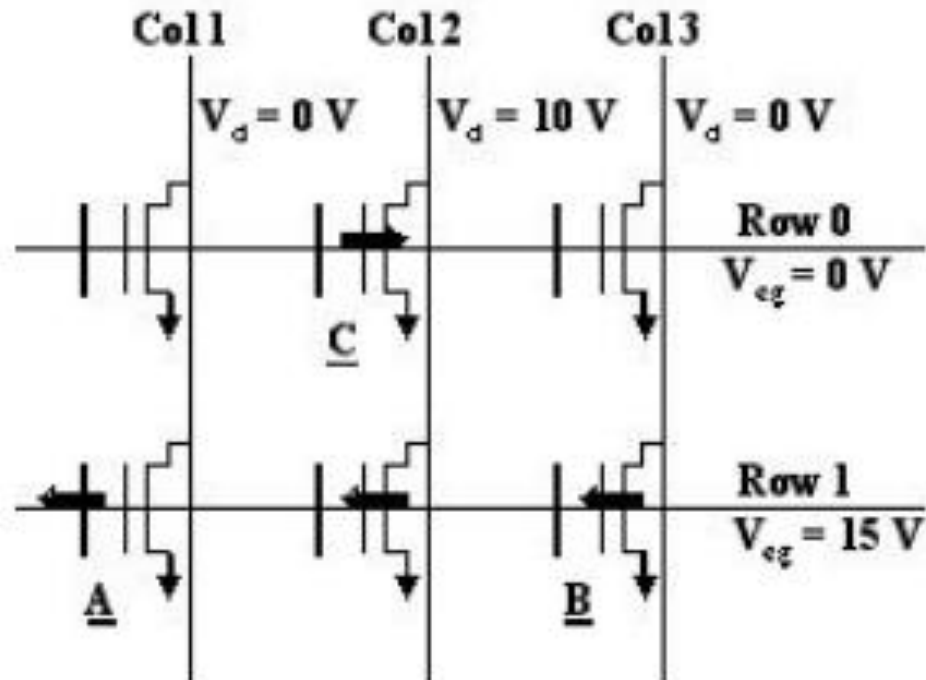
- ROW1 加载 15V 时，通过门极氧化层的电场变得被得很强，这一电场可能导致B Cell电子进入浮栅区从而提高阈值电压。



存储器干扰

● Program Disturb

- 一个被编程过的单元 (Cell C) 与正在被编程的单元 (COL 2 和 ROW 1) 共享一条位线。在它的浮栅/漏极区有一个高电场存在。这一高电场导致了电子从浮栅区移向漏极区从而导致阈值电压减小



降低边界编程风险

- 选用官方或授权的量产型烧写工具
- 远离工业设备，最好独立区域烧写
- 缩短编程线长度，减少外界辐射干扰
- 烧写治具，定期维护清洁，保证接触可靠
- 高低两种电压下校验编程



MICROCHIP

Q & A

THANK YOU