

DIC HW2

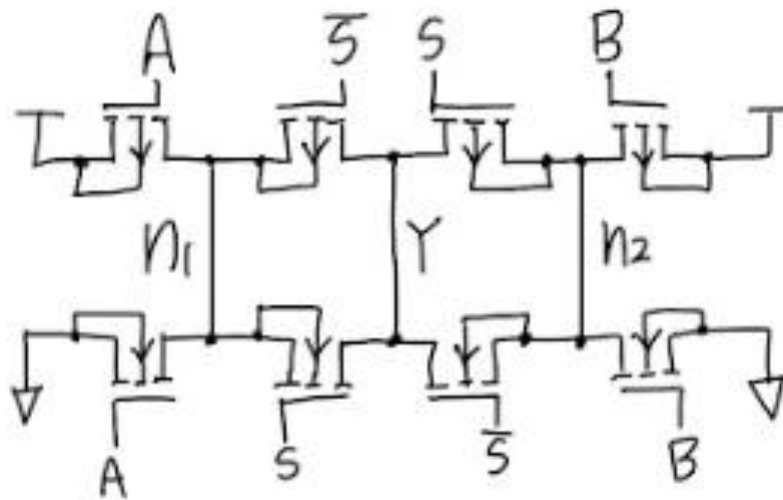
313580059 李元睿

Given $V_{DD}=0.8V$, $W_{min}=64nm$, $L_{min}=32nm$ with resolution of $1nm$; Use Low V_t CMOS in this homework. Please submit your SPICE to E3.

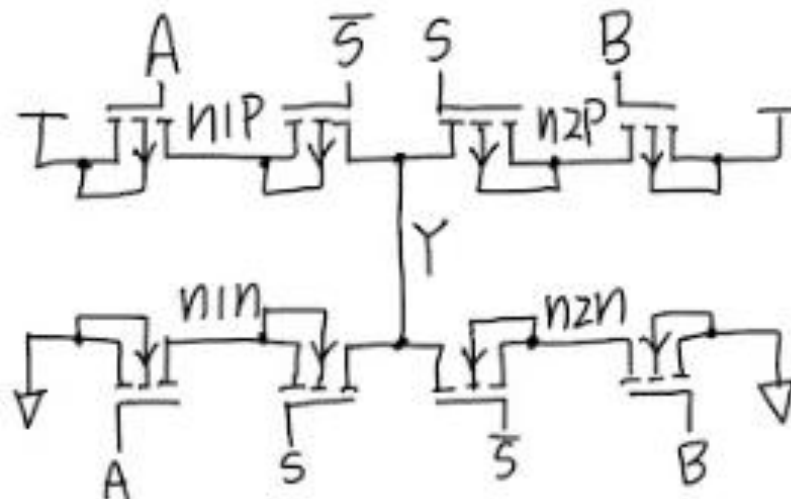
(1) Layout (40%)

- A. Draw the circuit schematic of the attached layout (a) and (b). The signal name each node shall be marked at the schematic. **Explain** which circuit has higher speed. (20%)

Layout (a):



Layout (b):



兩電路的架構差別僅在於(a)多了 n1、n2 兩金屬線，這會產生 transmission gate 的效果，會降低導通時的導通電阻，進而提高切換速度。因此，(a)在訊號切換時會有較快的反應速度。

- B. Indicate the W/L ratio of each transistors in both (a) and (b) and AD, AS in terms of λ . (10%)

Layout(a):

根據題目 layout 圖以及 lambda design rule，並假設所有 contact 與 diffusion 邊界都為最小值(1λ)，推測 PMOS 的 W 為 $(1+2+3+2+3+2+1) = 14\lambda$ ，NMOS 的 W 則為 $(1+2+1) = 4\lambda$ 。L 的部分，PMOS 及 NMOS 均為最短(2λ)。在 Lec4 講義第 10 頁中有提到，metal 的 spacing 及 width 皆為 4λ ，而 poly 的 spacing 為 3λ 、width 為 2λ ，代表在最左邊及最右邊的 MOS 其 source 端 diffusion 的長度為 $(1+2+1+(4-2)/2) = 5\lambda$ ，中間兩顆 MOS 的長度則為 $(1+1+2+1+1) = 6\lambda$ 。而有共用 diffusion 的部分其長度要除 2 來平分。根據上述規則可得到以下表格:

	W/L(λ/λ)	LD(λ)	LS(λ)	AD(λ^2)	AS(λ^2)
M1	14/2	6/2=3	5	42	70
M2	14/2	6/2=3	6/2=3	42	42
M3	14/2	6/2=3	6/2=3	42	42
M4	14/2	6/2=3	5	42	70
M5	4/2	6/2=3	5	12	20
M6	4/2	6/2=3	6/2=3	12	12
M7	4/2	6/2=3	6/2=3	12	12
M8	4/2	6/2=3	5	12	20

在此表格中，LD 與 LS 分別代表 drain 及 source 端 diffusion 的長度， $AD=LD \times W$ ， $AS=LS \times W$ 。M1 到 M4 則是 PMOS 由左至右的編號，M5 到 M8 則是 NMOS 由左至右的編號。

Layout(b):

由於 n1n、n2n、n1p、n2p 都沒有打 contact，其 diffusion 長度應為 poly 的 spacing(3λ)，而最左邊及最右邊的 MOS 其 source 端 diffusion 的長度因為沒受到 metal spacing rule 的影響，其值為 4λ 即可。同理，Y 也一樣為 4λ 。而有共用 diffusion 的部分其長度也要除 2 來平分。根據上述規則可得到以下表格:

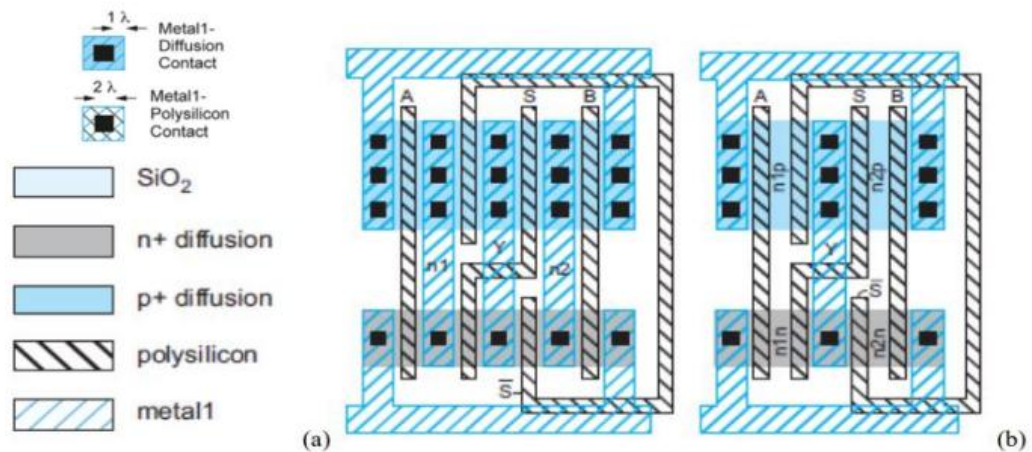
	W/L(λ/λ)	LD(λ)	LS(λ)	AD(λ^2)	AS(λ^2)
M1	14/2	3/2=1.5	4	21	56

M2	14/2	4/2=2	3/2=1.5	28	21
M3	14/2	4/2=2	3/2=1.5	28	21
M4	14/2	3/2=1.5	4	21	56
M5	4/2	3/2=1.5	4	6	16
M6	4/2	4/2=2	3/2=1.5	8	6
M7	4/2	4/2=2	3/2=1.5	8	6
M8	4/2	3/2=1.5	4	6	16

此表格參數定義與 layout(a) 相同。

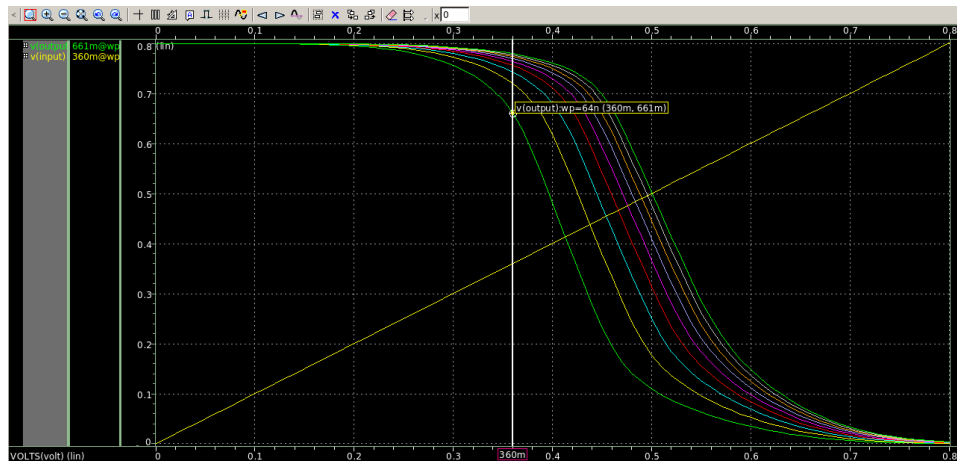
- C. Mark the design rules in (a) and (b) that determine the width of this layout. (10%)

二 layout 的長度皆相同，皆為 $(4+4+14+6+6+4+4+4)=46\lambda$ 。上下邊界的部分需要考慮 metal spacing、width rule，以及 poly extension、spacing、width rule。而因為 metal 的限制長度 $(4+4)=8\lambda$ 比 poly 的限制長度 $(2+3+2)=7\lambda$ 還大，所以在靠近 layout 邊界的部分以 8λ 來計算 layout 整體的長度。寬度的部分，layout(a) 為 $(6+5+2+6+2+6+2+6+2+5+6)=48\lambda$ ，layout(b) 為 $(6+4+2+3+2+4+2+3+2+4+6)=38\lambda$ 。因最右邊的 poly 其左邊皆沒有受到 spacing rule 的影響，所以都以本身的 width rule 來去計算。



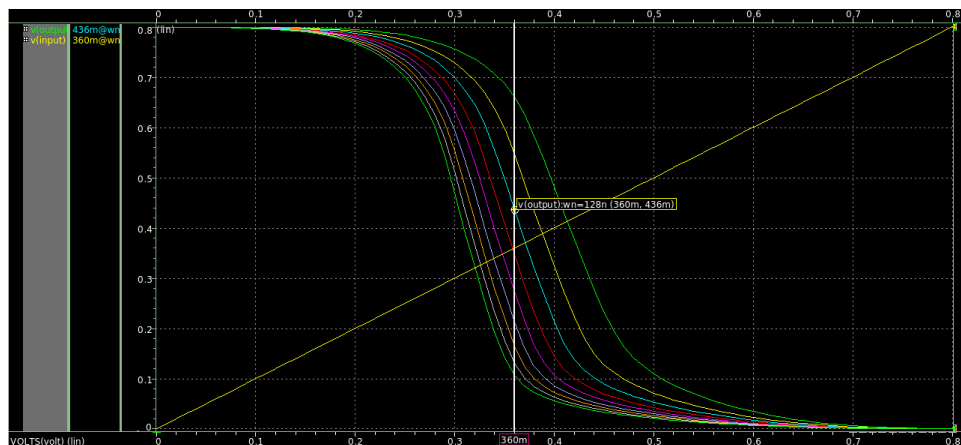
(2) Timing and Power Analysis (60%)

- A. Design a two inputs NAND logic gate as shown in the following figure such that it has the logic threshold of $0.45 \cdot V_{DD}$ (when two inputs have the same voltage). Indicate the W/L of PMOS and NMOS and show the SPICE simulation results of VTC. (15%)



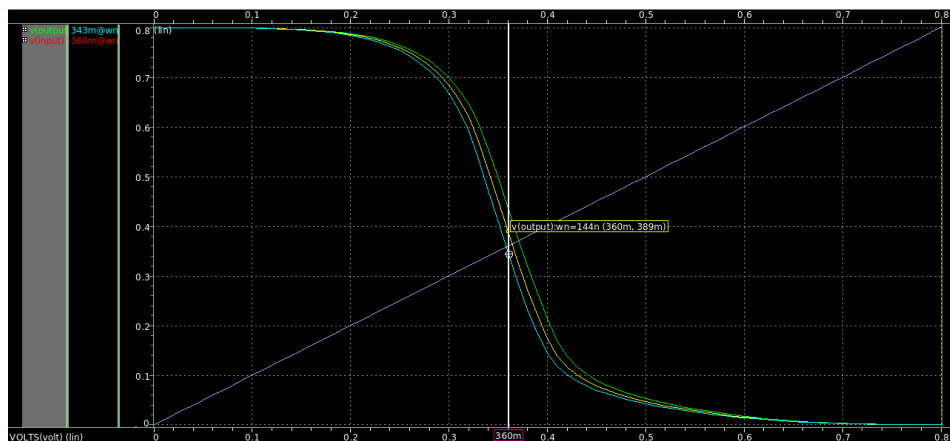
```
.SUBCKT nand2 in out vdd vss
MP1 out in vdd vdd pmos_lvt w=wp L=32n
MP2 out in vdd vdd pmos_lvt w=wp L=32n
MN1 out in net1 net1 nmos_lvt w=64n L=32n
MN2 out in net2 net2 nmos_lvt w=64n L=32n
MN3 net1 in vss vss nmos_lvt w=64n L=32n
MN4 net2 in vss vss nmos_lvt w=64n L=32n
.ENDS
```

首先我先固定住 $w_n=64n$ ，然後 sweep w_p 從 $64n$ 到 $320n$ (間隔 $32n$)，可以看到當 $w_p=64n$ 時，logic threshold 已經超過 $0.5V_{DD}$ ($0.4V$)，因此可以判斷 w_p 應該就是在 $64n$ 。



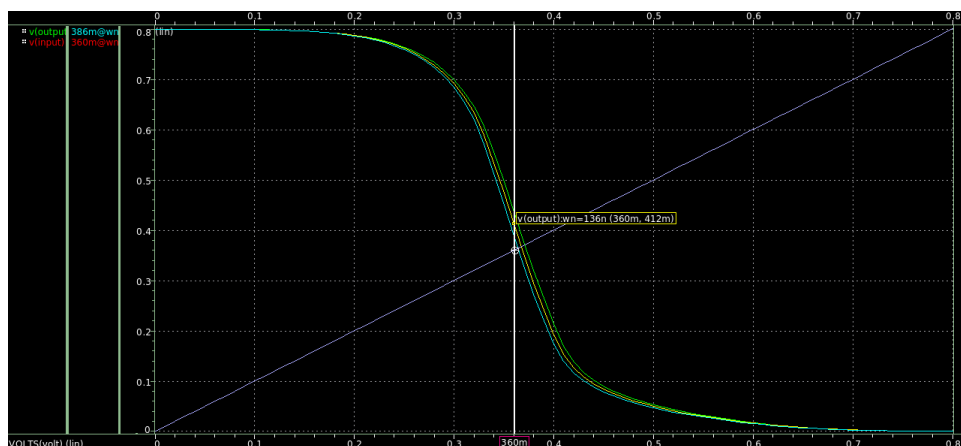
```
.SUBCKT nand2 in out vdd vss
MP1 out in vdd vdd pmos_lvt w=64n L=32n
MP2 out in vdd vdd pmos_lvt w=64n L=32n
MN1 out in net1 net1 nmos_lvt w=wn L=32n
MN2 out in net2 net2 nmos_lvt w=wn L=32n
MN3 net1 in vss vss nmos_lvt w=wn L=32n
MN4 net2 in vss vss nmos_lvt w=wn L=32n
.ENDS
```

接著，固定住 $w_p=64n$ ，然後改成去 sweep w_n 從 $64n$ 到 $320n$ (間隔 $32n$)，可以看到 w_n 應該是在 $128n$ 到 $160n$ 之間。



```
*****
** Analysis setting **
*****
.dc vin 0 0.8 0.01 sweep wn 128n 160n 16n
```

接著重複上述動作，改成 sweep w_n 從 $128n$ 到 $160n$ (間隔 $16n$)，可以看到 w_n 應該是在 $128n$ 到 $144n$ 之間。

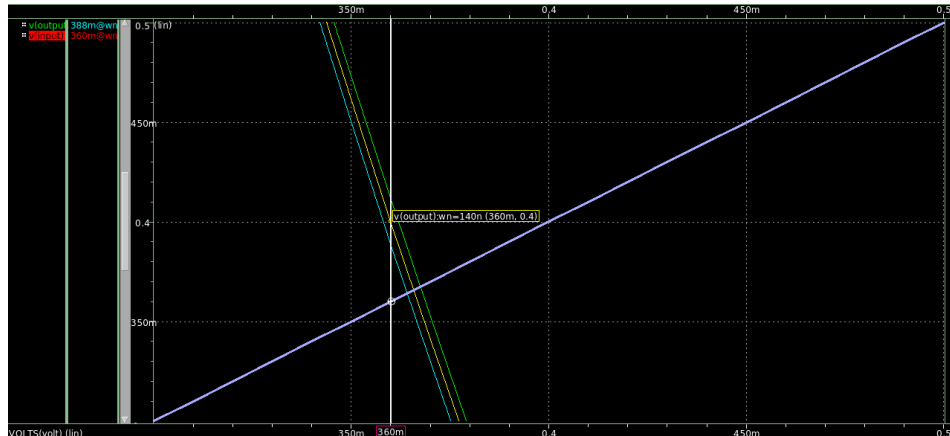


```

*****
** Analysis setting **
*****
.dc vin 0 0.8 0.01 sweep wn 128n 144n 8n

```

繼續 sweep wn 從 128n 到 144n(間隔 8n)，可以看到 wn 應該是在 136n 到 144n 之間。



```

*****
** Analysis setting **
*****
.dc vin 0 0.8 0.01 sweep wn 136n 144n 4n

```

最後，sweep wn 從 136n 到 144n(間隔 4n)，可以看到當 wn=140n 時，logic threshold 剛好等於 0.5VDD(0.4V)。因此，最後得到 PMOS 的 W/L=64/32，NMOS 的 W/L=140/32。

B. Run SPICE to get the followings: (25%)

- i. output capacitances and input capacitance of the NAND circuit.

```

***** dc transfer curves tnom= 25.000 temp= 25.000 *****
inputcap01= 444.8019a
inputcap10= 564.1680a
outputcap01= 318.8831a
outputcap10= 353.6801a
**info** dc convergence successful at Newton-Raphson method

```

```

.meas dc inputcap01 FIND cap(input) when v(input)=0
.meas dc inputcap10 FIND cap(input) when v(input)=0.8
.meas dc outputcap01 FIND cap(output) when v(input)=0
.meas dc outputcap10 FIND cap(output) when v(input)=0.8

```

我利用.meas 來測量 input/output 的四種 case 下的電容值，結果如圖所示。inputcap01 為 input capacitance 在 input=0V 時的電容

值，inputcap10 為 input capacitance 在 input=0.8V 時的電容值，
outputcap01 為 output capacitance 在 input=0V 時的電容值，
outputcap10 為 output capacitance 在 input=0.8V 時的電容值。

- ii. Leakage power dissipation when V_{in} = logic 1, and V_{out} = logic 0.

```
subckt
element 0:vin      0:vvdd      0:vvss
volts    800.0000m  800.0000m  0.
current  -408.8072p -224.8243n  225.2331n
power    327.0458p  179.8594n  0.

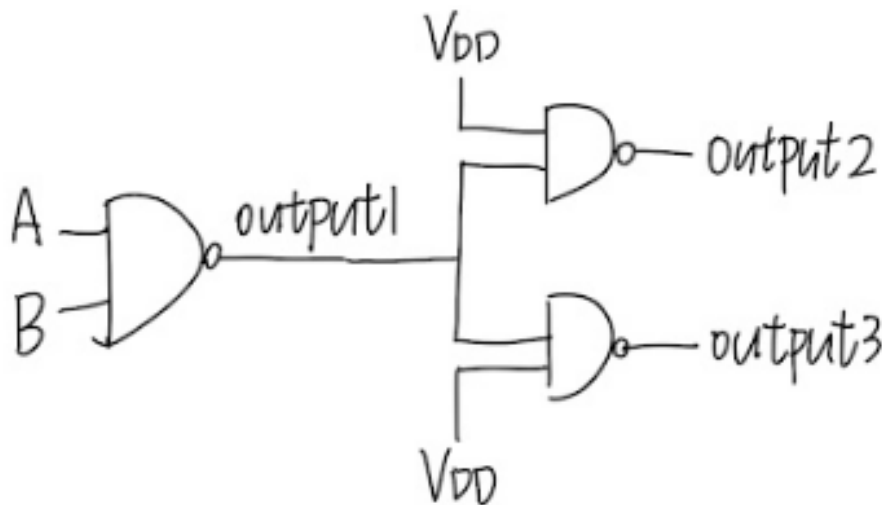
total voltage source power dissipation= 180.1865n watts
```

- iii. Leakage power dissipation when V_{in} = logic 0, and V_{out} = logic 1.

```
subckt
element 0:vin      0:vvdd      0:vvss
volts    0.         800.0000m  0.
current   73.6151p  -35.7953n  35.7217n
power     0.         28.6362n  0.

total voltage source power dissipation= 28.6362n watts
```

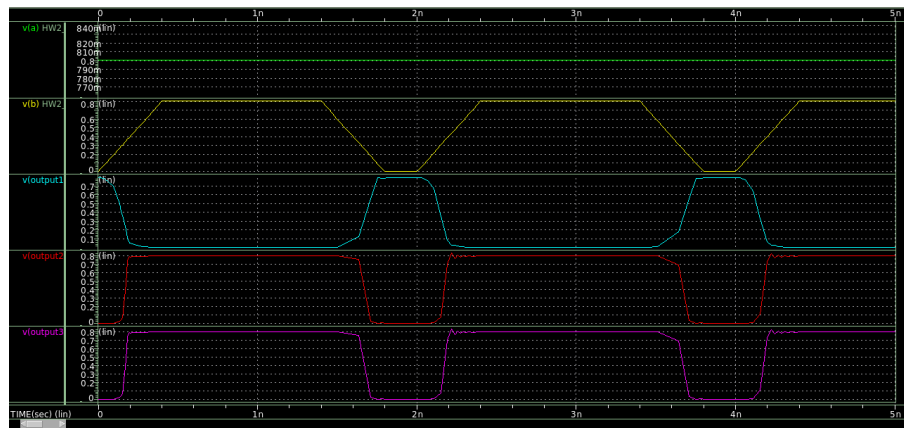
- C. Do the timing analysis of the NAND circuit which has a fanout of two NANDs. Input signal is a pulse waveform with duration of 2ns (with $t_r = t_f = 0.4\text{ns}$ defined as 0%-100%, duty = 0.5) Run two cases by using SPICE (5ns) to get the timing (tdf and tdr) and power waveform: (20%)



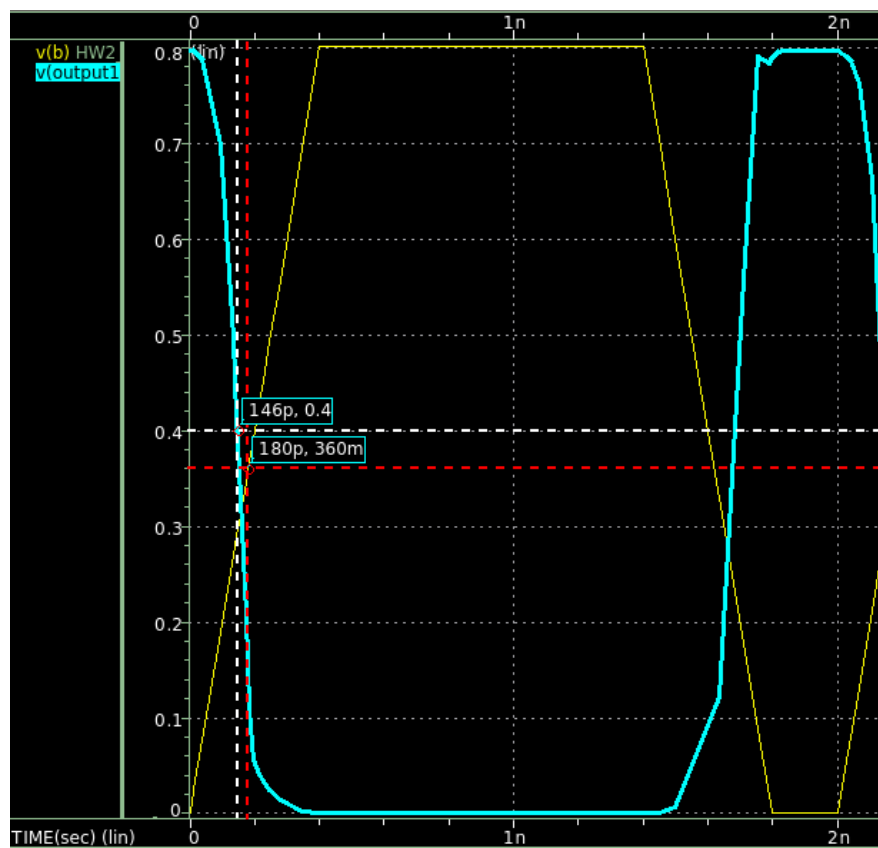
- i. $A=1$ and B changes from 0 to 1.

```
***** transient analysis tnom= 25.000 temp= 25.000 *****
avg_power= 7.0316u from= 0. to= 5.0000n
peak_power= 67.5603u at= 4.1563n
from= 0. to= 5.0000n
```

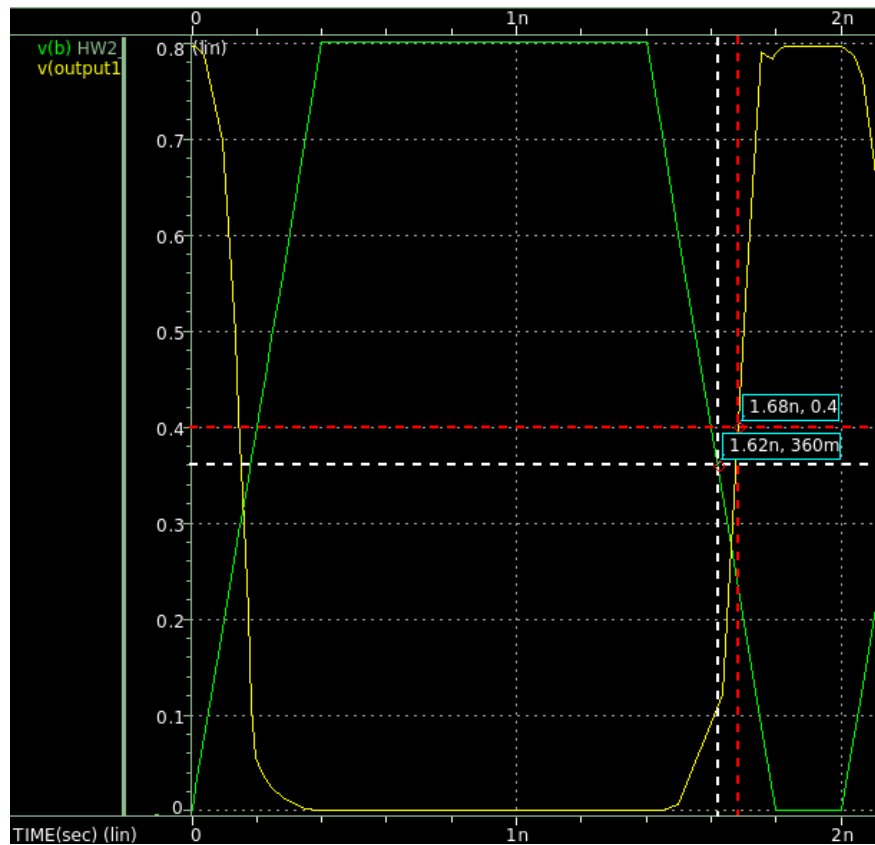
此為 NAND circuit 的 total average power 及 total peak power。



此為 a、b、output1、output2、output3 的電壓隨時間變化圖(由上至下)。a 為 logic 1(0.8V)，b 為 pulse，output1、2、3 則分別為 3 個 NAND 的 output。



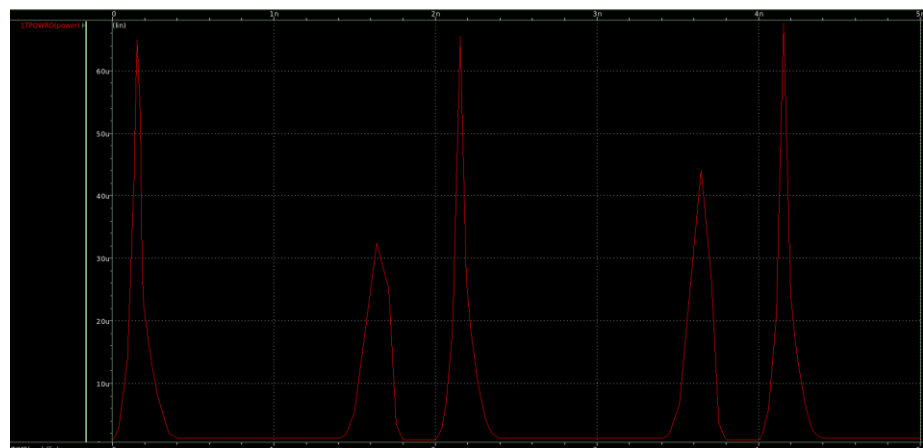
此為 t_{df} 的測量，可以看到 $t_{df}=146\text{ps}-180\text{ps}=-34\text{ps}$ 。



此為 t_{dr} 的測量，可以看到 $t_{dr}=1.68\text{ns}-1.62\text{ns}=0.06\text{ns}=60\text{ps}$ 。

t_{df}	t_{dr}	average power	peak power
-34ps	60ps	7.0316μW	67.5603μW

此為 A=1 and B changes from 0 to 1 的表格整理。



此為 power waveform。

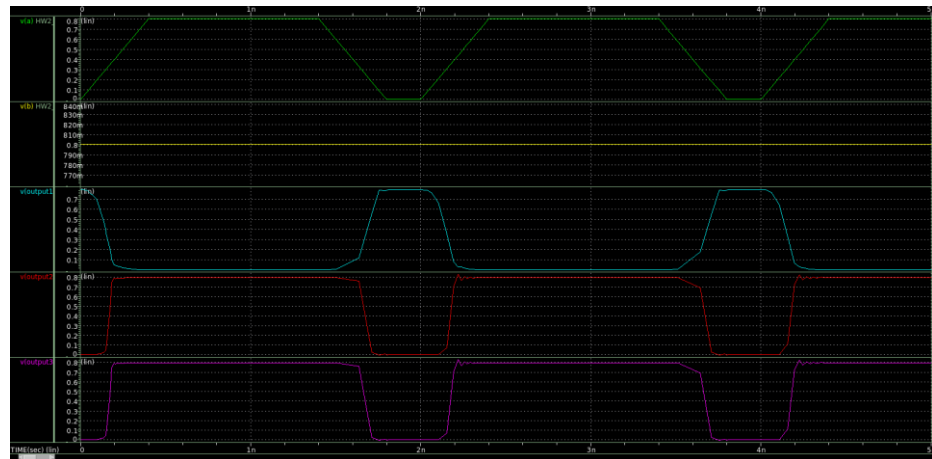
ii. B=1 and A changes from 0 to 1

```

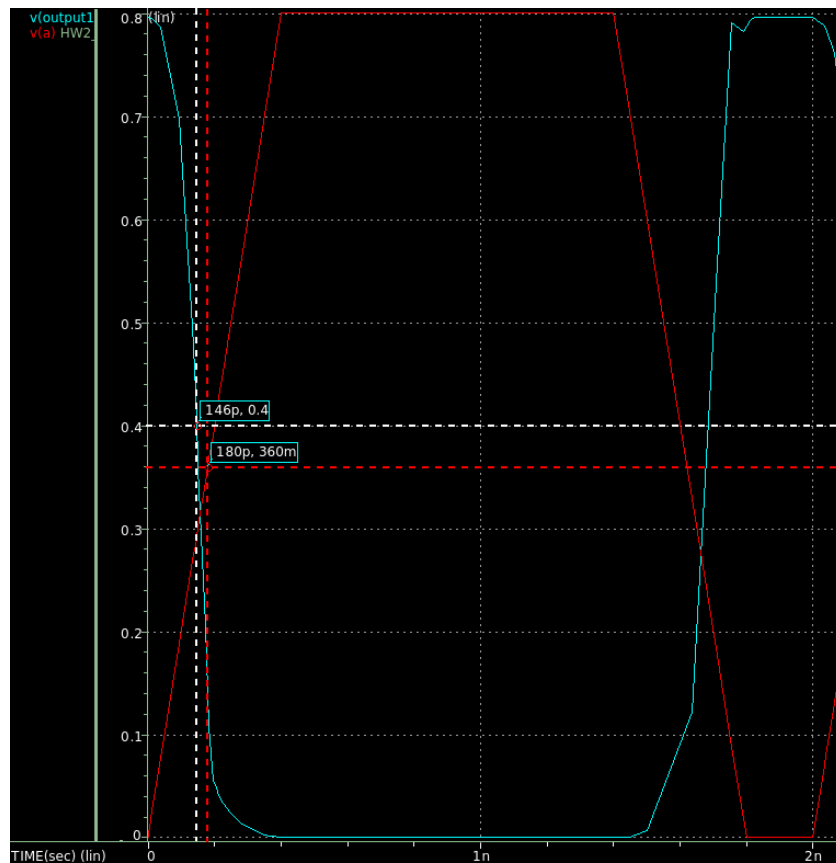
avg_power= 7.0316u from= 0. to= 5.0000n
peak_power= 67.5603u at= 4.1563n
            from= 0. to= 5.0000n

```

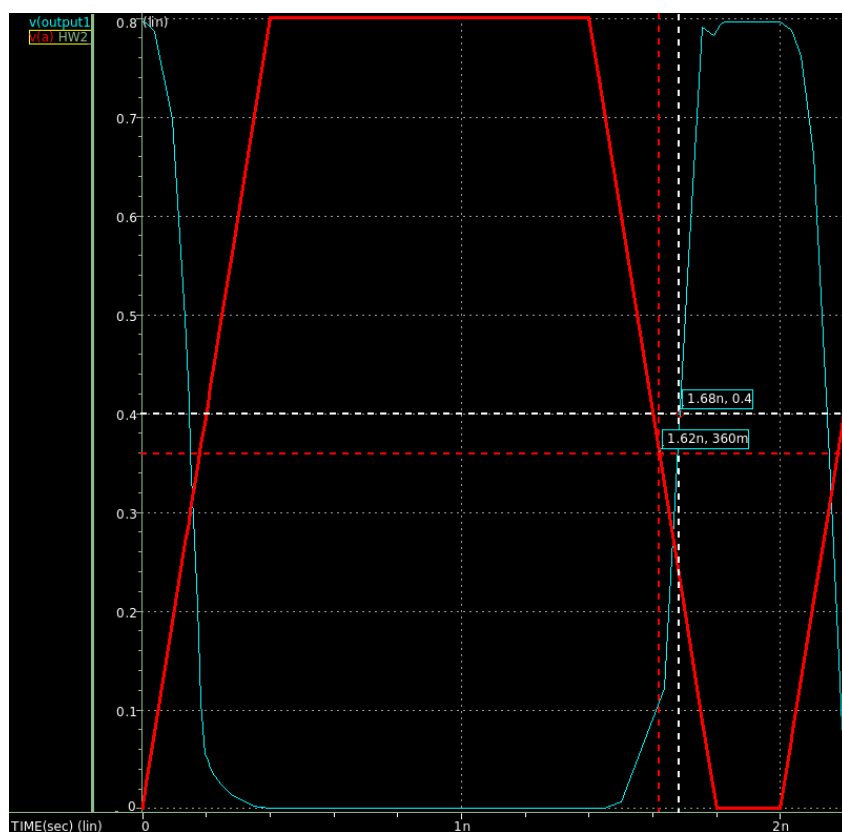
此為 NAND circuit 的 total average power 及 total peak power 。



此為 a、b、output1、output2、output3 的電壓隨時間變化圖(由上至下)。a 為 pulse，b 為 logic 1(0.8V)，output1、2、3 則分別為 3 個 NAND 的 output。



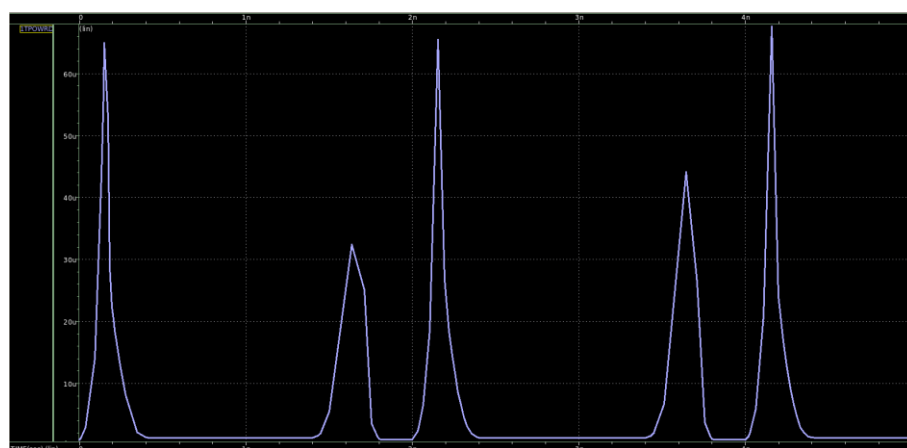
此為 t_{df} 的測量，可以看到 $t_{df}=146\text{ps}-180\text{ps}=-34\text{ps}$ 。



此為 t_{dr} 的測量，可以看到 $t_{dr}=1.68\text{ns}-1.62\text{ns}=0.06\text{ns}=60\text{ps}$ 。

t_{df}	t_{dr}	average power	peak power
-34ps	60ps	7.0316 μW	67.5603 μW

此為 A=1 and B changes from 0 to 1 的表格整理。



此為 power waveform。