

DIC HW5

313580059 李元睿

Using 32nm technology with $V_{DD} = 0.9V$, $L = 32nm$, medium V_t CMOS process.

Rise time and fall time of input signals are 0.02ns (0V-0.9V)

32nm tech. path: /RAID2/COURSE/dic/dicTA01/DIC_2024_Fall/bulk_32nm.l

- (1) A 6T SRAM is shown in Fig. 1. Design the transistor widths for the SRAM to ensure proper functionality during both read and write operations. (20%)
Generate the read and write operation curves for your SRAM cell, similar to those shown in Fig.2. (20%)

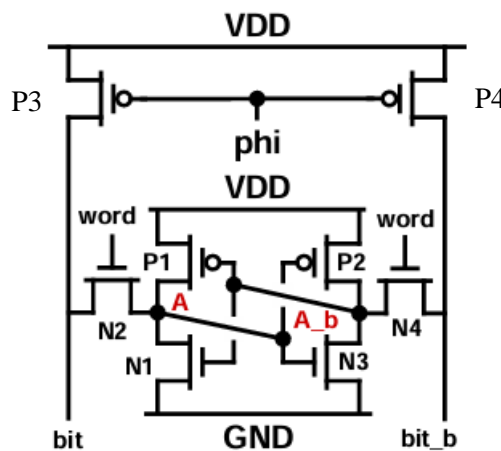


Fig1. 6T SRAM Cell

根據講義及老師所述，N1、N3的size要最大，N2、N4次高，P1、P2最小，才能確保6T SRAM架構的read/write function能正確執行。因此，我設計了所有transistor的size，如Table1所示：

	N1	N2	N3	N4	P1	P2	P3	P4
Width	256n	128n	256n	128n	64n	64n	64n	64n
length	32n	32n	32n	32n	32n	32n	32n	32n

Table1. 6T SRAM transistor size

在Table1中，P3、P4分別是連接bit和bit_b的PMOS，即為precharge電路。在此為了方便，我將所有PMOS的size都設計為相同。接著去跑HSPICE模擬(read的狀態)，發現bit_b的值很不穩定，如Fig2所示。在此判斷原因可能是沒有太大的loading，導致bit_b無法穩壓，因此在後續實際操作我都有在bit和bit_b端加上20fF的電容來穩壓，以確保數值不會亂跳。這裡也發現一個問題，若加的電容太大，會導致充放電速度太快，進而使預期的期望值產生誤差(可能bit還沒被拉到0，就重新充電了)。而下述的A到D為read/write的各種可能性：

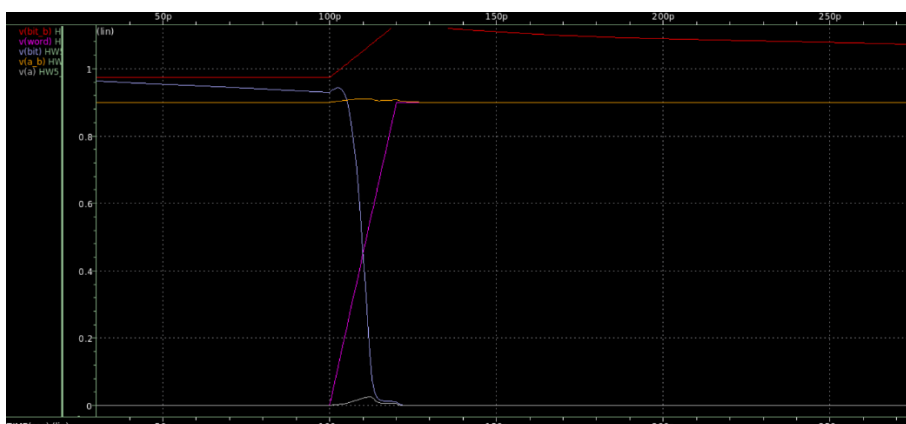


Fig2. Waveform without loading(read)

A. Read($A = 0$, $A_b = 1$)

設定 $V(\text{bit})$ 及 $V(\text{bit_b})$ 起始值為 0.9V ，可以看到當word打開後 $V(a)$ 有些微起伏，但最後還是穩定下降到 0 ，而 $V(a_b)$ 也是有些許起伏，但不影響read的判斷。 $V(\text{bit})$ 及 $V(\text{bit_b})$ 則與預期相同， $V(\text{bit})$ 緩慢下降至 0 ， $V(\text{bit_b})$ 則保持 $V_{DD}(1)$ 。

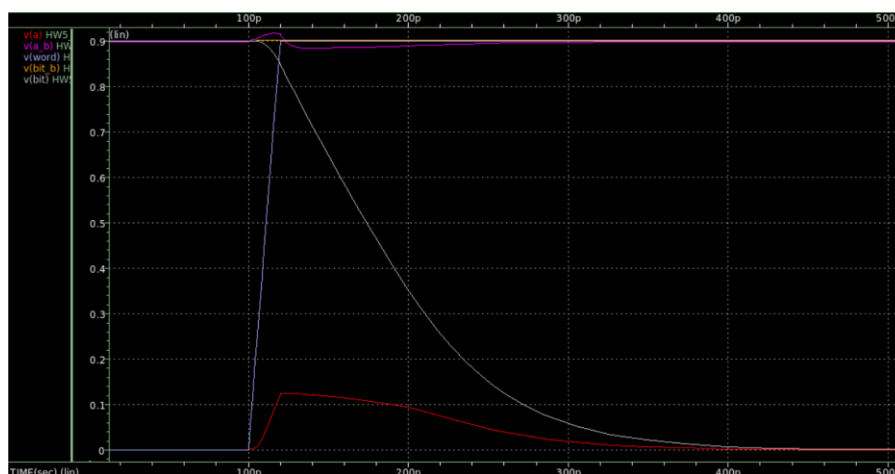


Fig3. Read($A = 0$, $A_b = 1$)

B. Read($A = 1$, $A_b = 0$)

與A的趨勢相同，僅把A及 A_b 的值對調而已。

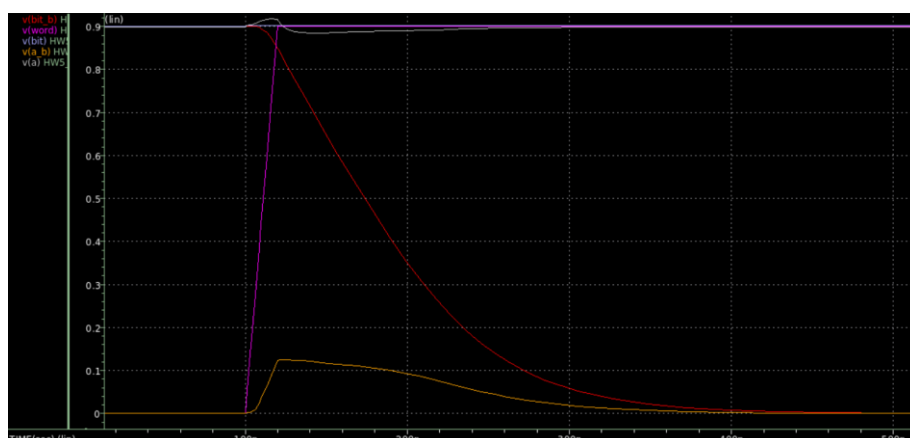


Fig4. Read($A = 1$, $A_b = 0$)

C. Write(bit : 0→1, bit_b : 1→0)

從Fig5可以看到V(a_b)隨著V(bit_b)從1變0也跟著下降至0，進而導致V(a)因V(a_b)從1變0所以上升至1，符合預期的write功能。

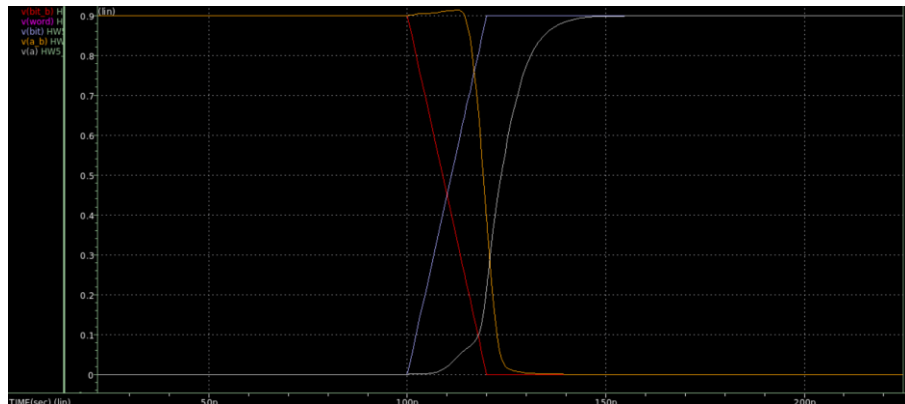


Fig5. Write(bit : 0→1, bit_b : 1→0)

D. Write(bit : 1→0, bit_b : 0→1)

與C的趨勢相同，僅把bit及bit_b的值對調而已。

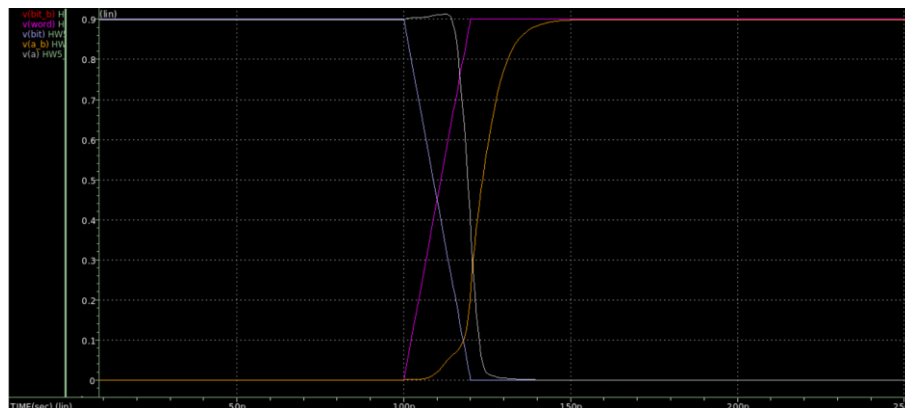


Fig6. Write(bit : 1→0, bit_b : 0→1)

- (2) Determine the butterfly curve and the quiescent Static Noise Margin (SVM_{hold}) of your SRAM cell in TT corners. (20%) Determine the butterfly curve and the read Static Noise Margin (SVM_{read}) of your SRAM cell TT corners. (20%)

A. butterfly curve and the quiescent Static Noise Margin (SVM_{hold})

在此情形下，word設定為0，僅去觀察兩個inverter相互連結的關係。接著透過跑.DC VA_b來去獲得VA對VA_b的關係，同樣再去跑.DC VA來去獲得VA_b對VA的關係，然後再將數據丟到python裡去繪製butterfly curve並觀察Static Noise Margin，結果如Fig7所示：

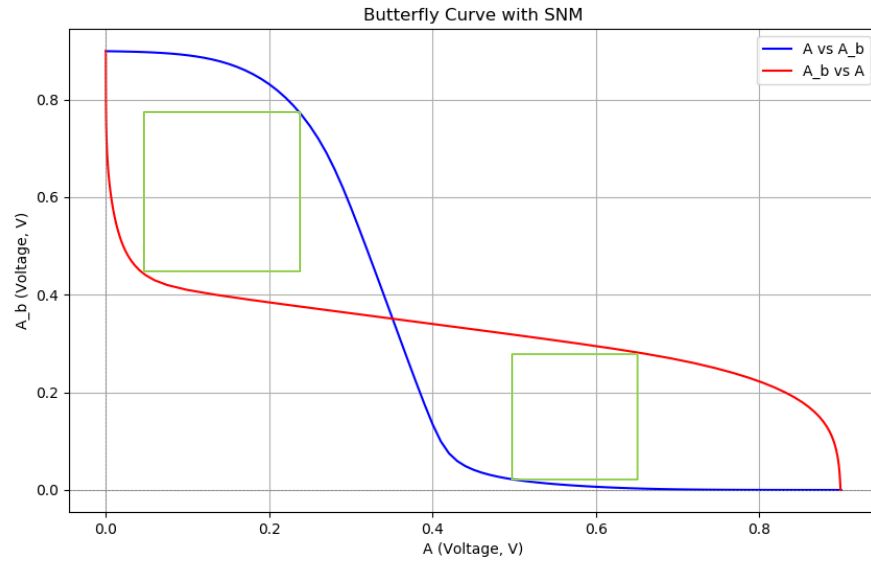


Fig7. Butterfly curve with SNM for hold

在Fig7中，綠色的正方形是SNM，SNM越大代表SRAM的穩定性越高，且更不容易受到外界噪音的干擾，能夠有效地抑制讀寫過程中的噪聲影響，從而提升SRAM設計的可靠性和速度。

B. butterfly curve and the read Static Noise Margin (SVM_{read})

在read時，word打開(1)，然後phi設定為1，把precharge電路關上，接著進行與A小題一樣的步驟，最後得到Fig8。

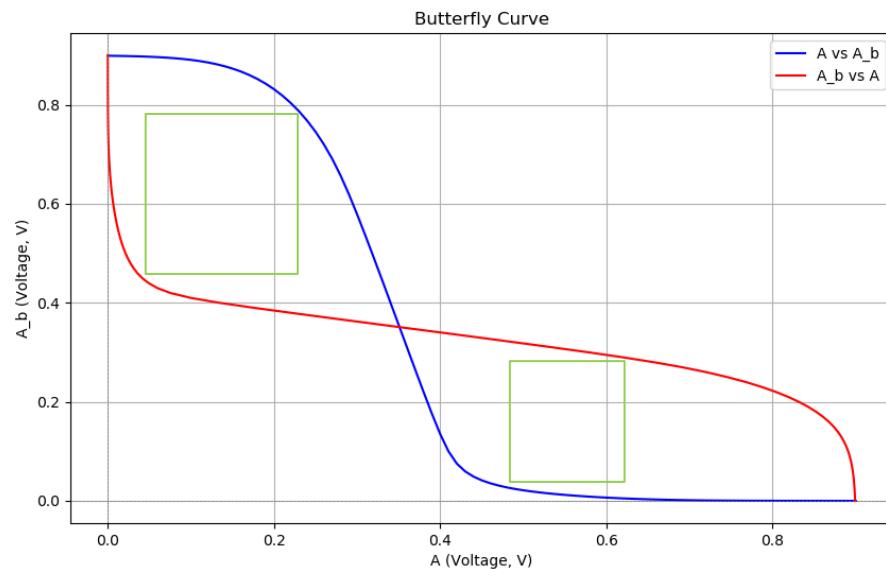


Fig8. Butterfly curve with SNM for read

同樣地，在Fig8中，綠色的正方形是SNM。雖然差異極小，但可以發現在read狀態時的SNM較小，也就是較不穩定，原因有以下幾點：

1. 在read狀態時兩個連接外部bitline的NMOS會打開(因為此時word=1)，會增加額外的導通路徑，進而降低內部inverter的增益，使得內部節點的電壓更容易受到噪聲或外部信號的影響

響。

2. Bitline的電壓（通常為Vdd）會對內部節點形成拉扯效應，降低電路的穩定性。
3. Read狀態的動態過程中，內部節點可能會受到外部電壓擾動，進一步降低穩定性。

根據以上幾點原因，可以得知在read狀態時，SRAM的穩定性會較差。

- (3) Design a 6T SRAM cell array under TT corner as shown in Fig. 3. Set the initial value of A=0 and A_b=1 in SRAM₀. Set the initial value of A=1 and A_b=0 in SRAM₁~SRAM₆₄. Perform a proper read operation ($W_0 \sim W_{63}=0$, $\phi=0 \rightarrow \phi=1 \rightarrow W_0=1$) for SRAM₀. Generate the read operation curve and discuss the result to that of (1). What makes the difference? (20%)

首先，與(1)小題比較可以發現，若設計成array的形式，因為bitline會連接多個SRAM Cells，因此其負載足夠大，自然具備穩壓能力，而不需要再額外添加loading元件來穩定bitline。此外，bitline的負載效應還能減少外部干擾對內部節點的影響，使array結構在穩定性上優於單一cell。然而，透過Fig9可以觀察到blb的電壓會稍微下掉，這可能是因為設計中NMOS的尺寸相對PMOS太大，導致內部節點的拉低能力強於拉高能力，使得blb無法穩定維持在0.9V。這一現象進一步表明，交叉耦合反相器的NMOS和PMOS尺寸比必須謹慎設計。此外，在array中，未選擇的cells處於非激活狀態，這些cells雖不參與操作，但仍對bitline施加了寄生電容，這也會對blb的穩定性產生輕微影響。總結來說，array的設計在負載穩壓和穩定性方面有先天優勢，但需要在NMOS和PMOS的尺寸設計上保持適當的平衡，以避免因不對稱的拉高或拉低能力導致bitline壓降或數據錯誤。

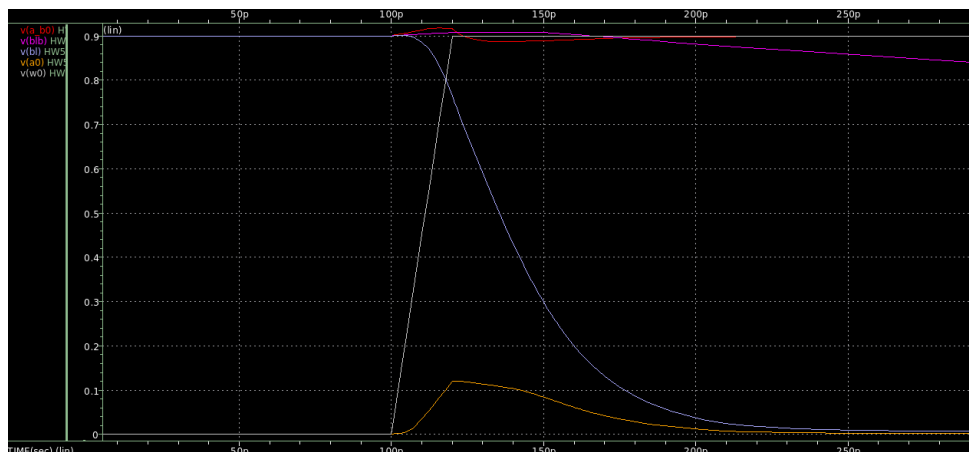


Fig9. Waveform for 6T SRAM cell array(read)

