

Universidad de Costa Rica

Facultad de Ingeniería

Escuela de Ingeniería Eléctrica

Curso IE-0523: Circuitos Digitales II

II ciclo 2023

Tarea 5

Leonardo Leiva Vasquez C14172

Grupo 01

Profesor: Enrique Coen Alfaro

1 de noviembre, 2023

1. Resumen

A lo largo de este reporte, se detalló el proceso de diseño, implementación y validación de un módulo transmisor SPI junto con su respectivo receptor. El protocolo SPI, conocido por su flexibilidad y capacidad para operar a altas velocidades, es fundamental en una amplia variedad de aplicaciones en sistemas embebidos y electrónica digital.

Se examinaron cinco configuraciones distintas, correspondientes a los diferentes modos del protocolo SPI y a un escenario con múltiples receptores. Estos modos alteran la forma en que los datos son muestreados y transmitidos.

A través de las simulaciones, se pudo observar el comportamiento esperado del sistema en cada uno de los modos de operación. Las ondas resultantes, presentadas en las secciones anteriores, validan la correcta funcionalidad del módulo desarrollado.

2. Descripción Arquitectónica

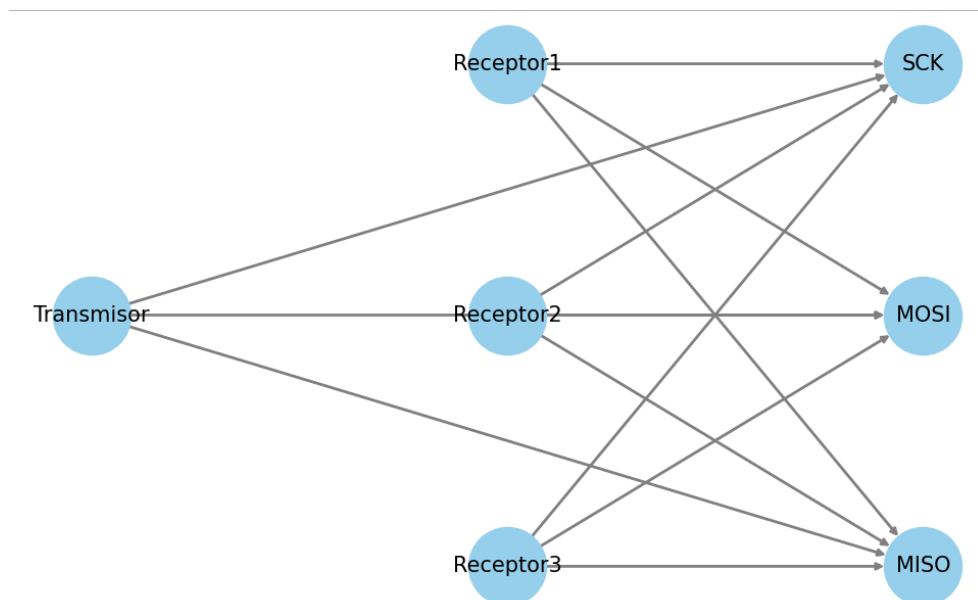


Figura 1: Diagrama de bloques de la configuración de protocolo y comunicación entre módulos

Como se puede observar en la Figura 1, el sistema está organizado en un diseño modular. A continuación, se describen brevemente los componentes principales:

- **Transmisor SPI:** Representa el dispositivo maestro en la comunicación SPI. Es el encargado de iniciar y controlar las transacciones de datos, enviando información a los Receptores a través del canal MOSI y recibiendo datos a través del canal MISO.
- **Receptor SPI:** Estos dispositivos actúan como esclavos en la comunicación. Hay tres receptores en total en el diagrama. Cada Receptor está configurado para recibir datos del Transmisor a través del canal MOSI y para enviar datos de vuelta al Transmisor a través del canal MISO.
- **Reloj y Control:** Refiere a la señal SCK, la cual es la señal de reloj utilizada para sincronizar la transmisión de datos entre el Transmisor y los Receptores. Asegura que tanto el Transmisor como los Receptores estén sincronizados durante la transacción de datos.

- **Lógica de Modo:** Se refiere a la lógica implementada para gestionar los distintos modos de operación del protocolo SPI, como la polaridad y la fase del reloj, así como la selección del modo maestro o esclavo para cada dispositivo en la red.

3. Plan de pruebas y ejemplos de resultados

3.1. Prueba #1 - Modo SPI 0 (CPOL=0, CPHA=0)

- **Descripción:** En este modo, la polaridad del reloj (CPOL) se encuentra en un estado bajo en inactividad. La transmisión de valores del carnet ocurre en el flanco ascendente del reloj debido a que la fase del reloj (CPHA) está configurada en 0, permitiendo una transmisión full duplex.
- **Resultado:** El sistema debe muestrear los datos en el flanco ascendente, manteniendo el reloj en un estado bajo cuando no está activo.

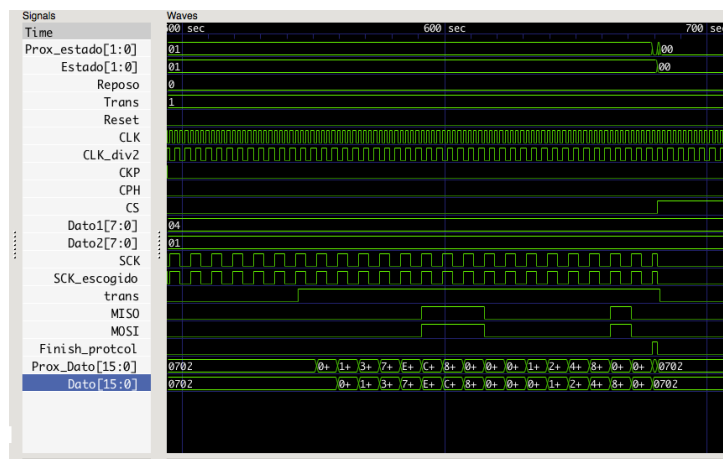


Figura 2: Onda del Modo SPI 0 en transmisión full duplex.(Transmisor)

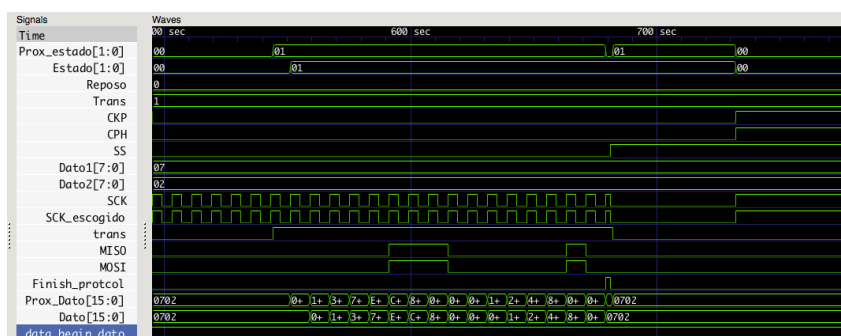


Figura 3: Onda del Modo SPI 0 en transmisión full duplex.(Receptor)

3.2. Prueba #2 - Modo SPI 1 (CPOL=0, CPHA=1)

- **Descripción:** En este modo, con la misma polaridad de reloj baja que el modo 0, la transmisión de valores del carnet se realiza en el flanco descendente gracias a la fase del reloj (CPHA) configurada en 1, garantizando así una transmisión full duplex.

- **Resultado:** Se espera que los datos se muestreen en el flanco descendente con el reloj en un estado inactivo bajo.

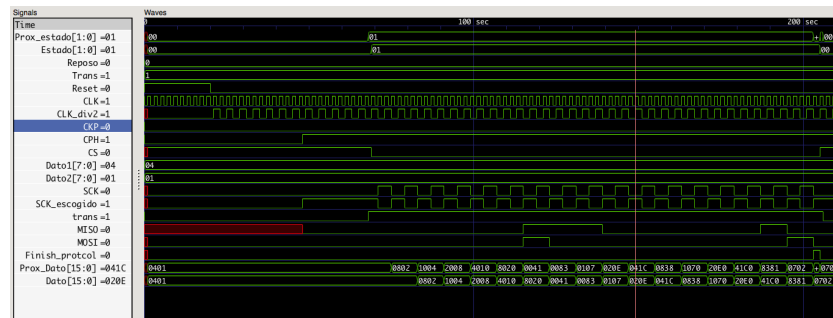


Figura 4: Onda del Modo SPI 1 en transmisión full duplex.(Transmisor)

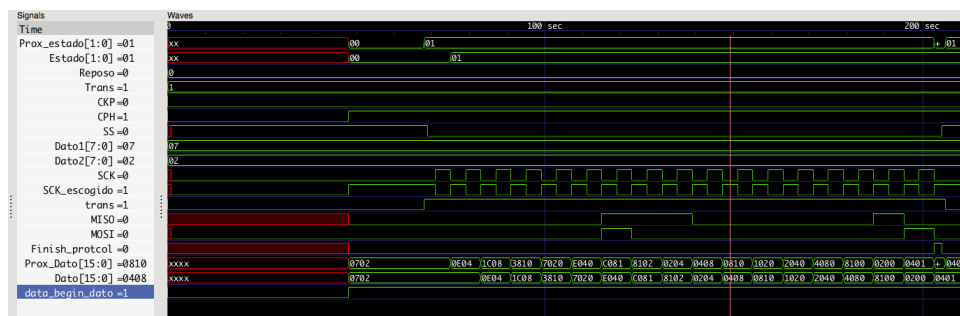


Figura 5: Onda del Modo SPI 1 en transmisión full duplex.(Receptor)

3.3. Prueba #3 - Modo SPI 2 (CPOL=1, CPHA=0)

- **Descripción:** Aquí, con una polaridad de reloj alta en inactividad, la transmisión de valores del carnet sucede en el flanco ascendente, permitiendo una transmisión full duplex.
- **Resultado:** El sistema deberá muestrear los datos en el flanco ascendente, manteniendo el reloj alto en inactividad.

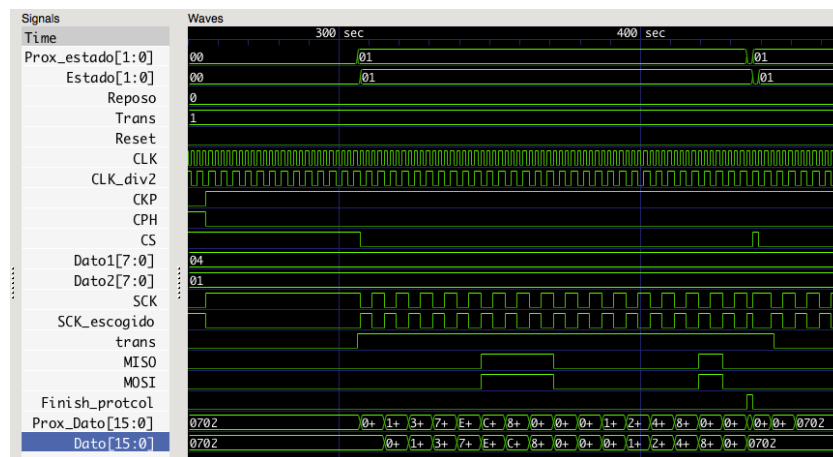


Figura 6: Onda del Modo SPI 2 en transmisión full duplex.(Transmisor)

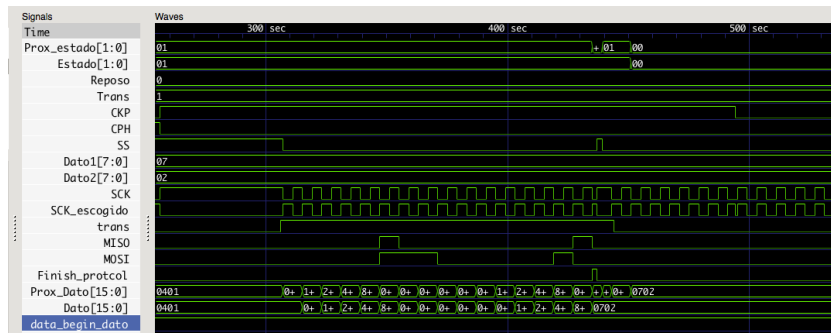


Figura 7: Onda del Modo SPI 2 en transmisión full duplex.(Receptor)

3.4. Prueba #4 - Modo SPI 3 (CPOL=1, CPHA=1)

- **Descripción:** En este modo, la transmisión de valores del carnet ocurre en el flanco descendente, garantizando una transmisión full duplex con el reloj alto en inactividad.
- **Resultado:** El sistema muestrearán datos en el flanco descendente, con el reloj alto cuando esté inactivo.

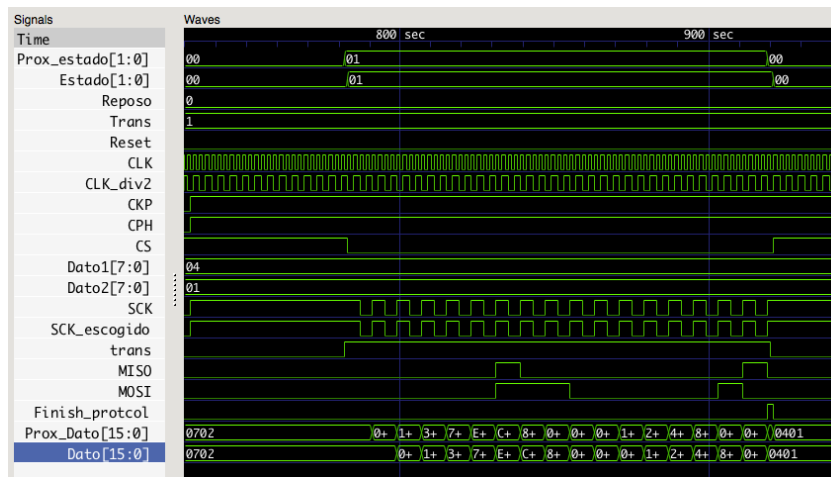


Figura 8: Onda del Modo SPI 3 en transmisión full duplex.(Transmisor)

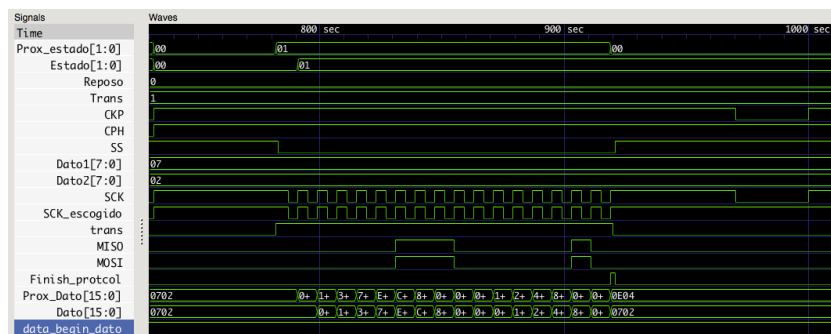


Figura 9: Onda del Modo SPI 3 en transmisión full duplex.(Receptor)

3.5. Prueba #5 - Operación con múltiples receptores

- **Descripción:** Se evalúa la eficacia del sistema en una configuración con múltiples receptores, priorizando la transmisión full duplex de los valores del carnet a cada receptor sin interferencias.
- **Resultado:** El sistema deberá transmitir de forma clara y coherente a todos los receptores, garantizando que no haya interferencia ni pérdida de datos.

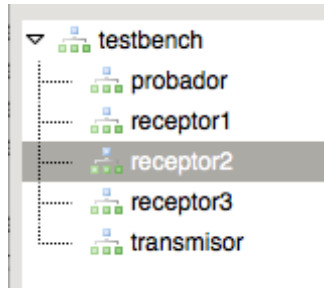


Figura 10: Receptores

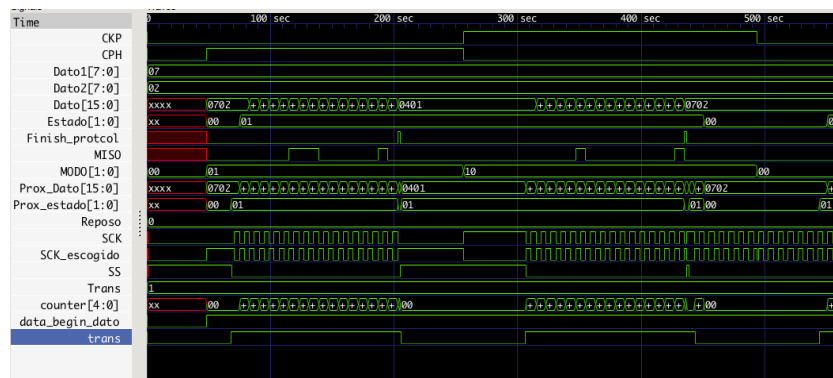


Figura 11: Receptor 1

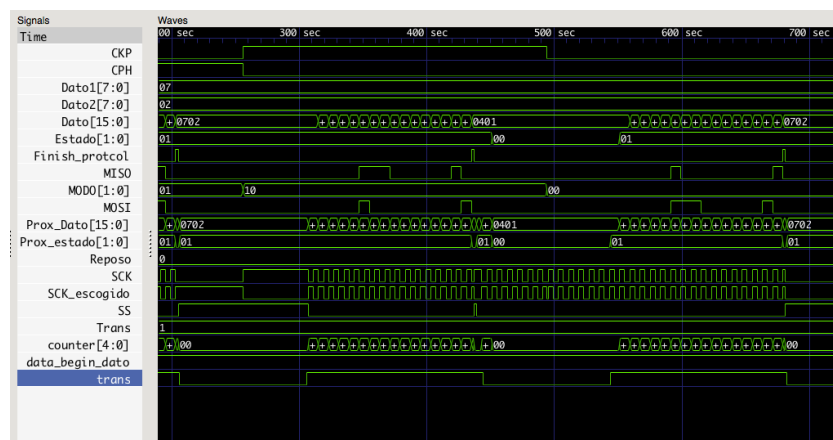


Figura 12: Receptor 2

4. Instrucciones de Utilización de la Simulación

El programa cuenta con un archivo Makefile:

```
1 tarea: testbench.v
2     iverilog -o resultado testbench.v
3     vvp resultado
4     gtkwave resultado.vcd
```

Listing 1: Makefile

Puede ejecutar el programa utilizando el comando make. Este comando automatiza el proceso de compilación y ejecución, simplificando la ejecución del proyecto de manera eficiente.

5. Conclusiones y recomendaciones

1. **Conclusiones sobre el Protocolo SPI:** El protocolo SPI es esencial para la comunicación entre dispositivos digitales. Al poder operar en diferentes modos, brinda una flexibilidad que puede adaptarse a diferentes requerimientos de sistemas y dispositivos. Las pruebas realizadas confirmaron que el transmisor y receptor propuestos son capaces de operar adecuadamente en los cuatro modos de operación del protocolo.
2. **Importancia de un Plan de Pruebas Robusto:** Las pruebas no sólo validaron la funcionalidad básica del diseño, sino que también aseguraron que se gestionan correctamente las transacciones de múltiples bytes. Además, al considerar variaciones como el envío y recepción de datos específicos (por ejemplo, los números del carné), se asegura una comprobación más exhaustiva del sistema.
3. **Recomendación sobre la Señal SCK:** Es fundamental garantizar que la señal SCK en reposo sea correcta. Una señal incorrecta podría resultar en una lectura errónea o en la pérdida de datos. Por lo tanto, siempre se debe verificar su comportamiento en los diseños que implementen el protocolo SPI.
4. **Recomendación para Futuros Diseños:** Al diseñar o mejorar sistemas basados en el protocolo SPI, es recomendable considerar la posibilidad de integrar mecanismos de detección de errores. Esto aumentará la robustez del sistema, garantizando una comunicación más confiable entre el transmisor y el receptor.