

Lab02

1. 輸出要記得 Reset。
2. $a \leq b$; $c \leq a+1$;，此時 $c \leq a+1$; 讀到的 a 是前一個 CLK 的。
3. `reg[3:0][5:0] A;`，當我寫 `A[1:0]` 時，這個 `[1:0]` 是指 `[3:0]` (前者) 這個文度上的。
4. for 裡用 if & elsif，要注意被 unroll 開會不會衝突，只用 if 比較不會有這問題
5. 組合電路 for 裡有 if 會 Latch
- 5.02 線路有條太長，可以卡著輸出，讓時間充足
6. 判別式盡量去抓開頭(比如說 `in_valid`)，不要去抓後續被驅動的，或 gate level 的 testbench 會來不及抓正確值。