

Lab3

311651055_林柏宇 交大電物碩二

A. 這次主要在用 Veilog 實踐 FIR RTL Code，並用 Verilog 的 Testbench，驗證功能的波型是否正常。我將 FIR 電路本身拆為用來控制的部件和用來運算本身的部件。底下簡單介紹一下電路機制。

1. 控制部件(fir.v)：

(1)ap_idle、ap_done、ap_start 控制位元：去看現在是否啟動這筆資料。其中，start 在一筆進來後會立刻切換成 0，準備下一筆進來；idle 會在算完立刻切換回 1；done 會在 last data 也確定被 transfer 過才會切換到 1。

(2)Adress_Read、Read、Adress_Write、Write 狀態機：AXI Stream 的 Protocol 一般有這四組 concurrent 的狀態機，去處理現在寫入讀取的位置與寫入和讀取。

(3) Pointer：

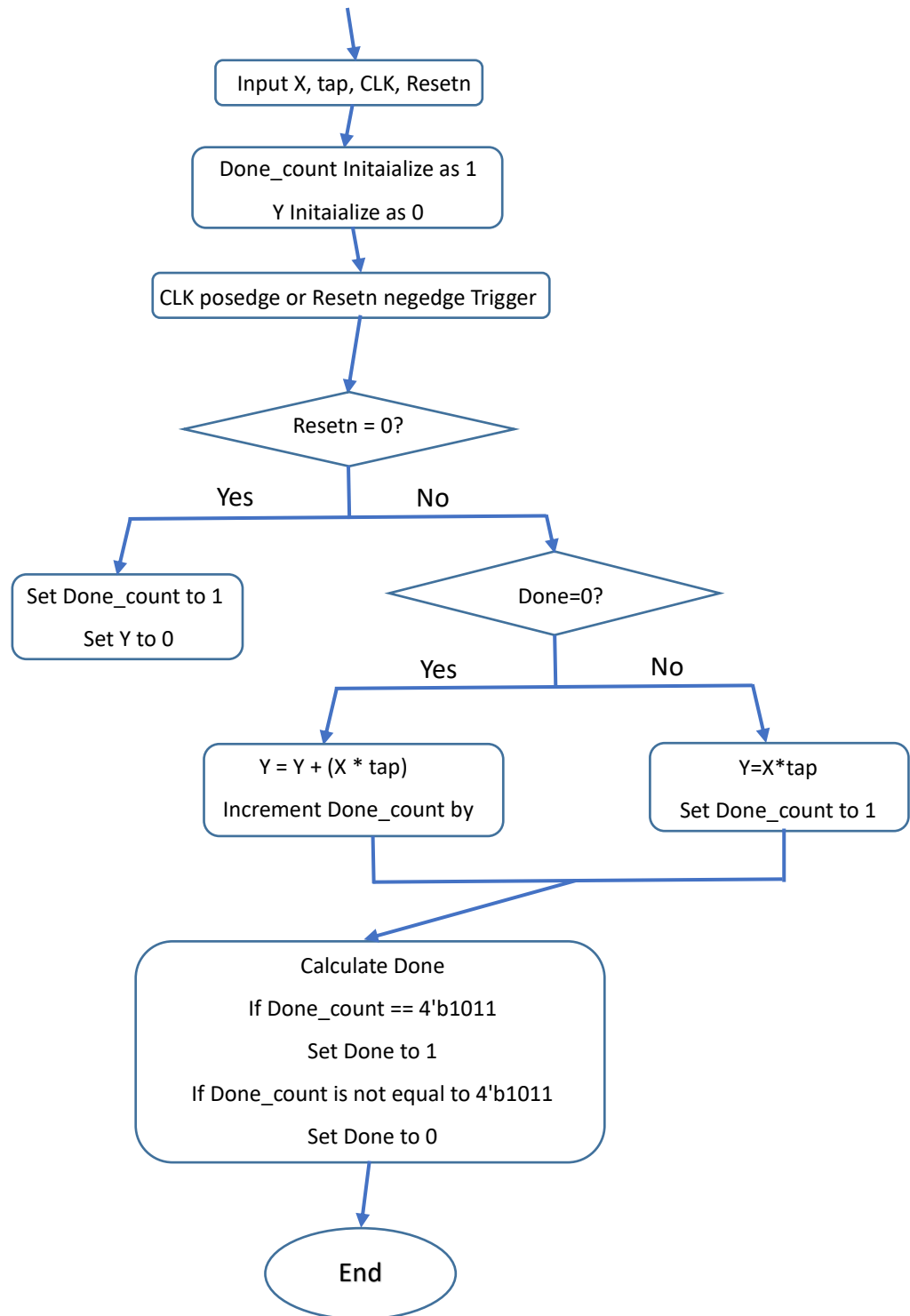
- (a)指派記憶體空間要存取哪一部分的 tap_count 與 data_count。
- (b)指派這段要存取甚麼內容到 rdata 的 Read_Address。

(4) data：ss_tdata 是讀取到的 data、sm_tdata 是算完輸出的 data。

2. 運算部件(Fir_kernel.v)：

用於計算每筆資料 FIR(convolution)的運算部件。

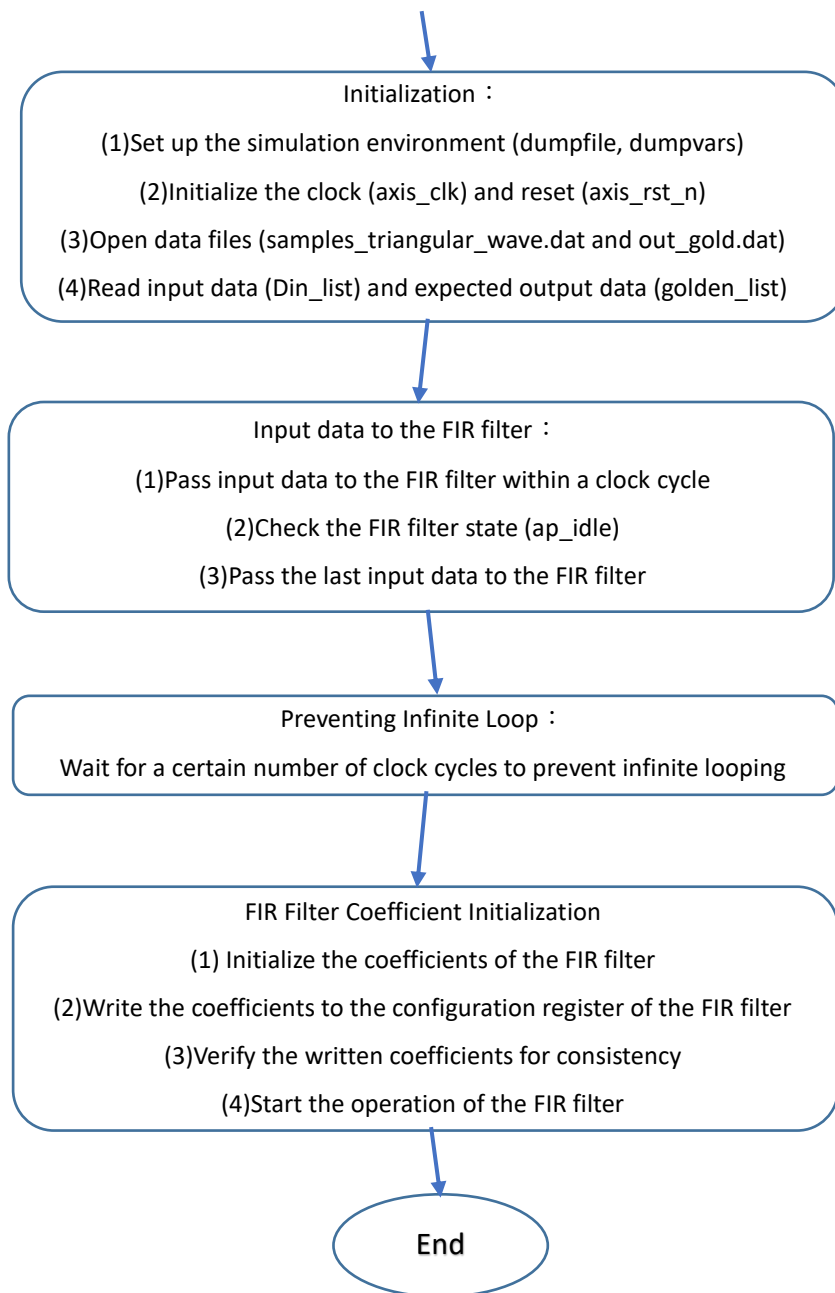




3. TestBench(fir_tb.v) :

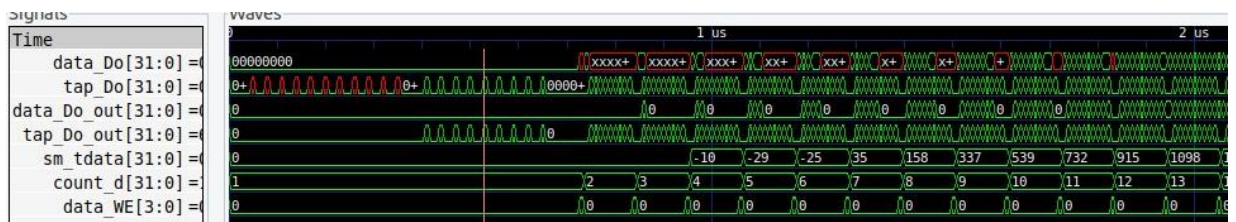
用於模擬驗證電路波型是否合理，且可用於設計電路時的除錯。





B. 設計上遇到的問題：

1. RAM 沒有初始化，讓前幾筆運算的資料讀取到 unknow 的資料出錯。



主要影響在 data_Do 的部分，也就是要運算的 600 筆資料，從 Memory 讀進來運算時會出錯。解決上，我設定了一塊 register 去在運算前攔截輸入的資料，並透過負緣 data_WE 開始增加特定延遲，去在該補 0 或該和 data_Do 同步的地方給予新的 data_Do (datado_out)。

不過這樣做會影響到電路原本設計的時序，因此我把 datado_out 推遲一個 CLK，運算才會是合理的答案。

2. 前面解決 RAM 初始化問題時，有推遲了一格 CLK，會導致我原本對 ap_start 提早啟動或 arvalid 太晚觸發，影響 rdata，因此我讓 ap_start 在 rvalid=1 時(確保最開始不受影響)，ap_start 的觸發晚一個 CLK。

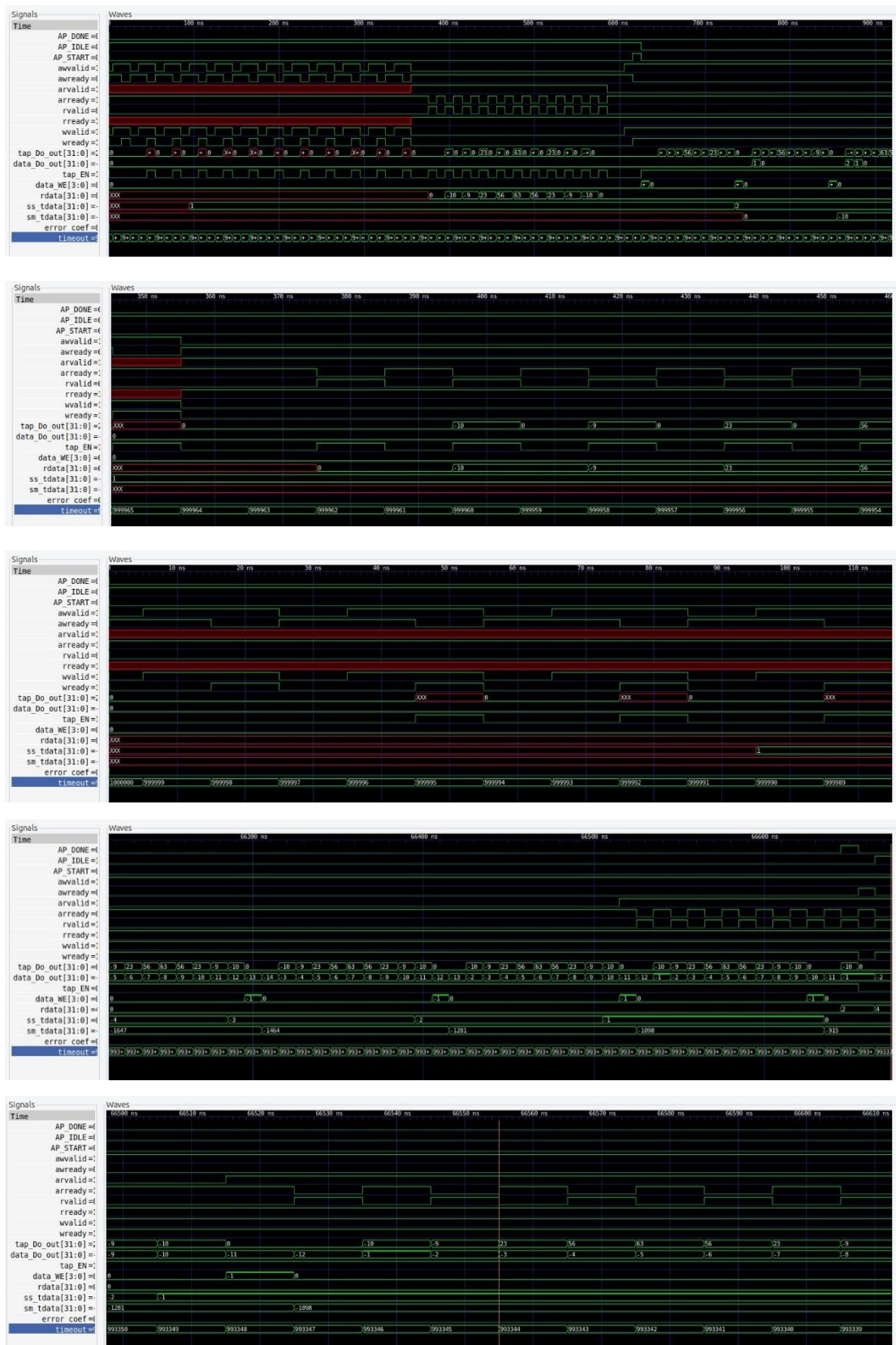
```
[PASS] [Pattern 595] Golden answer: -1647, Your answer: -1647
[PASS] [Pattern 596] Golden answer: -1464, Your answer: -1464
[PASS] [Pattern 597] Golden answer: -1281, Your answer: -1281
[PASS] [Pattern 598] Golden answer: -1098, Your answer: -1098
OK: exp = 0, rdata = 0
[PASS] [Pattern 599] Golden answer: -915, Your answer: -915
ERROR: exp = 2, rdata = 0
ERROR: exp = 4, rdata = 0
-----Simulation Failed-----
$finish called at time : 66805 ns : File "/home/ubuntu/course-lab_3/My_code/fir-dev/fir/tb/fir_tb.v" Line 257
exit
INFO: [Common 17-206] Exiting xsim at Mon Oct 23 07:00:12 2023...
```

這是 arvalid 太晚觸發的情況，若 ap_start 太早觸發，第二次對 rdata 的判斷則會變為 5。

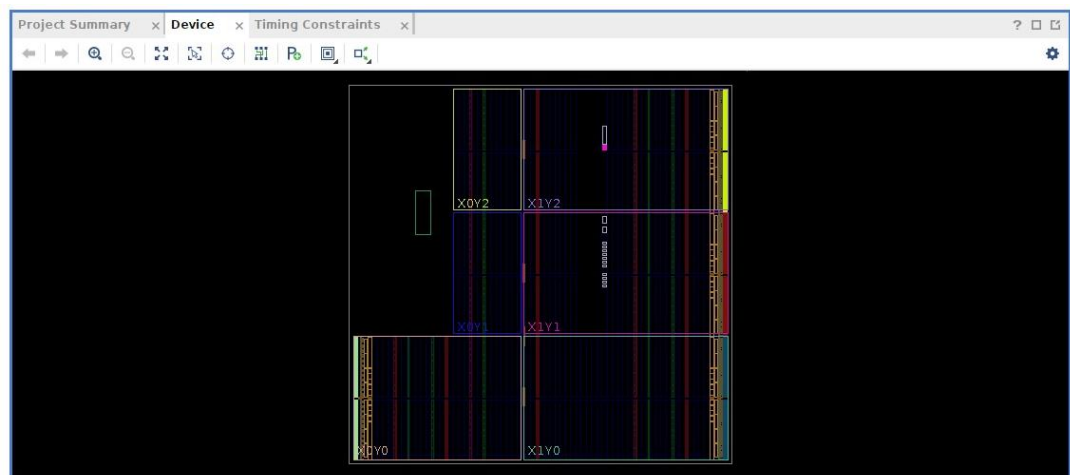
```
[PASS] [Pattern 596] Golden answer: -1464, Your answer: -1464
[PASS] [Pattern 597] Golden answer: -1281, Your answer: -1281
OK: exp = 0, rdata = 0
-----End the data input(AVI-Stream)-----
[PASS] [Pattern 598] Golden answer: -1098, Your answer: -1098
[PASS] [Pattern 599] Golden answer: -915, Your answer: -915
OK: exp = 2, rdata = 2
OK: exp = 4, rdata = 4
-----Simulation Failed-----
$finish called at time : 66805 ns : File "/home/ubuntu/course-lab_3/Example/fir-dev/fir/tb/fir_tb.v" Line 207
exit
INFO: [Common 17-206] Exiting xsim at Mon Oct 23 07:01:16 2023...
ubuntu@ubuntu2004:~/course-lab_3/Example/fir-dev/fir$
```

正確情況應該如上圖所示。

3. RTL 合成的語法錯誤：RTL 在推遲時間的語法上只能使用#(數字)，數字是時間單位，而我的一個 CLK 設定成 10 個時間單位，因此我要推遲#10，不能用@(posedge axis_clk);，否則在 simulation 時會出現問題。
- C. 波型結果：



D. Run Simulation 結果：



Design Runs

Timing

Design Timing Summary

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 6.015 ns	Worst Hold Slack (WHS): 0.113 ns	Worst Pulse Width Slack (WPWS): 4.500 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 201	Total Number of Endpoints: 201	Total Number of Endpoints: 130

All user specified timing constraints are met.

時間沒有超過我的設置。