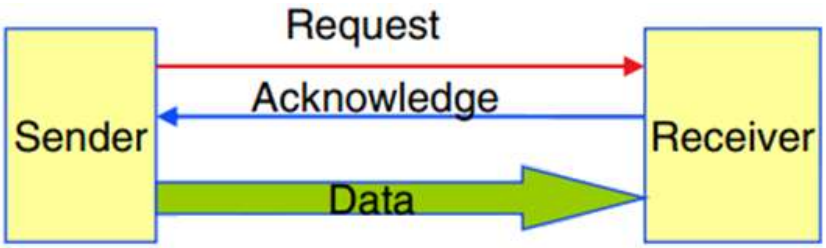
UNIVERSIDADE FEDERAL DA BAHIA – UFBA
ESCOLA POLITÉCNICA / DEPARTAMENTO DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO
2022.2 – ENGG56 – PROJETO DE CIRCUITOS INTEGRADOS DIGITAIS – 1º TRABALHO INDIVIDUAL
PROF. WAGNER L. A. DE OLIVEIRA

Considere as etapas envolvidas no protocolo ACK/REQ de 4 fases:



***Sender** e **Receiver** são módulos de interfaceamento utilizados por controladores situados em diferentes domínios de clock, assíncronos entre si.*

*Externamente, **Sender** faz interface com dois blocos: **Sender_Memory** e **Sender_Control**. **Sender_Control** deverá enviar sinais de controle **Clock**, **Reset** e **Transmit** para **Sender**, recebendo deste o sinal **Ready** (explicado adiante). **Sender_Memory** é uma SRAM, com profundidade de 16 endereços e largura de 16 bits, portas de entrada **DataIN**, **Address**, **ReadEnable** e **WriteEnable**, e porta de saída **DataOut**.*

*Analogamente, **Receiver** faz interface com dois blocos: **Receiver_Memory** e **Receiver_Control**. **Receiver_Control** deverá enviar sinais de controle **Clock** e **Reset** para **Receiver**, recebendo deste o sinal **Ready** (explicado adiante). **Receiver_Memory** é uma SRAM, de iguais características a **Sender_Memory**.*

O sistema opera da seguinte forma:

*- Após colocar dados na **Sender_Memory**,* o módulo ***Sender_Control** solicita o envio para o receptor, ativando o sinal **Transmit** por 3 pulsos de clock. O módulo de interface **Sender** detecta tal ativação e faz o processo de comunicação com **Receiver**, transferindo todo o conteúdo de **Sender_Memory**. Após o término da transferência, **Sender** ativa seu sinal **Ready** por 2 pulsos de clock.*

*- Considerando o lado da recepção, **Receiver** fica no aguardo de transmissão pelo **Sender**. Cada novo dado recebido é escrito numa posição consecutiva de **Receiver_Memory**. Ao atingir o último endereço de **Receiver_Memory**, seu ponteiro de escrita é atualizado para o endereço inicial e seu sinal **Ready** é ativado por 2 pulsos de clock, para sinalizar ao módulo **Receiver_Control** que há novos dados na memória.*

Q1 (1,5): *Faça o diagrama de estados (Mealy ou Moore) da FSM que controla **Sender**.*

Q2 (1,5): *Faça o diagrama de estados (Mealy ou Moore) da FSM que controla **Receiver**.*

Q3 (1,5): *Implemente em Verilog o módulo **Sender**, conforme especificado em **Q1**.*

Q4 (1,5): *Implemente em Verilog o módulo **Receiver**, conforme especificado em **Q2**.*

Q5 (2,0): *Implemente um testbench para **Sender**:*

Q6 (2,0): *Implemente um testbench para **Receiver**:*

Produtos:

Você deverá entregar os seguintes artefatos:

1. A pasta de projeto ***C:\ENGG56\Quartus\Protocolo*** compactada, contendo a implementação desenvolvida no Quartus;

2. A pasta de projeto ***C:\ENGG56\ModelSim\Protocolo*** compactada, contendo o *testbenches* desenvolvidos;

3. Um relatório em *.pdf*, contendo a descrição da solução das questões **Q1** a **Q6**, incluindo os cenários de teste realizados.

Entrega: 31/10

Via link do Google Drive compartilhado com o e-mail oliveira.wagner@ufba.br .

Software:

Dois softwares devem ser baixados: Intel Quartus Prime Lite Edition (versão 20.1.1) e ModelSim, considerando a família de dispositivos FPGA Cyclone IV.

https://www.intel.com/content/www/us/en/software-kit/660907/intel-quartus-prime-lite-edition-design-software-version-20-1-1-for-windows.html

https://www.intel.com/content/www/us/en/software-kit/660904/intel-quartus-prime-lite-edition-design-software-version-20-1-1-for-linux.html

Em qualquer dos casos, recomenda-se a opção “Individual Files”. Além disso, selecionem apenas o Quartus, o ModelSim e o suporte ao dispositivo Cyclone IV (arquivo .qdz).

Caso você deixe os arquivos baixados na mesma pasta, basta fazer a instalação do Quartus que o ModelSim e o dispositivo Cyclone IV serão instalados conjuntamente. Caso contrário, após a instalação do Quartus e do ModelSim, deve-se fazer a instalação do arquivo referente ao dispositivo Cyclone IV (arquivo .qdz). Para tal, use o menu do Quartus: “Tools -> Install Devices...”.

Para fazer o mapeamento para entradas/saídas disponíveis na placa DE2-115, veja o manual da placa:

https://www.terasic.com.tw/cgi-bin/page/archive_download.pl?Language=English&No=502&FID=cd9c7c1feaa2467c58c9aa4cc02131af