



Universidade Federal
do Rio de Janeiro
Escola Politécnica

CONVERSOR CC/CC EM PONTE COMPLETA COM ZVS E CONTROLE POR DESVIO DE FASE

Leonan Chicarelli de França

Projeto de Graduação apresentado ao Curso de Engenharia Eletrônica e de Computação da Escola Politécnica, Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Engenheiro.

Orientador: Carlos Fernando Teodósio Soares

Co-Orientador: Leonardo Alvim Muricy

Rio de Janeiro

Setembro de 2016

CONVERSOR CC/CC EM PONTE COMPLETA COM ZVS E CONTROLE POR DESVIO DE FASE

Leonan Chicarelli de França

PROJETO DE GRADUAÇÃO SUBMETIDO AO CORPO DOCENTE DO CURSO DE ENGENHARIA ELETRÔNICA E DE COMPUTAÇÃO DA ESCOLA POLITÉCNICA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE ENGENHEIRO ELETRÔNICO E DE COMPUTAÇÃO

Autor:

Leonan Chicarelli de França

Orientador:

Carlos Fernando Teodósio Soares, D. Sc.

Co-Orientador:

Leonardo Alvim Muricy, B. Eng.

Examinador:

Joarez Bastos Monteiro, D. Sc.

Examinador:

Heraldo Luis Silveira de Almeida, D. Sc.

Rio de Janeiro – RJ, Brasil

Setembro de 2016

Declaração de Autoria e de Direitos

Eu, Leonan Chicarelli de França CPF 124.885.577-90, autor da monografia Conversor CC/CC em Ponte Completa e Controle por Desvio de Fase, subscrevo para os devidos fins, as seguintes informações:

1. O autor declara que o trabalho apresentado na disciplina de Projeto de Graduação da Escola Politécnica da UFRJ é de sua autoria, sendo original em forma e conteúdo.
2. Excetuam-se do item 1. eventuais transcrições de texto, figuras, tabelas, conceitos e idéias, que identifiquem claramente a fonte original, explicitando as autorizações obtidas dos respectivos proprietários, quando necessárias.
3. O autor permite que a UFRJ, por um prazo indeterminado, efetue em qualquer mídia de divulgação, a publicação do trabalho acadêmico em sua totalidade, ou em parte. Essa autorização não envolve ônus de qualquer natureza à UFRJ, ou aos seus representantes.
4. O autor pode, excepcionalmente, encaminhar à Comissão de Projeto de Graduação, a não divulgação do material, por um prazo máximo de 01 (um) ano, improrrogável, a contar da data de defesa, desde que o pedido seja justificado, e solicitado antecipadamente, por escrito, à Congregação da Escola Politécnica.
5. O autor declara, ainda, ter a capacidade jurídica para a prática do presente ato, assim como ter conhecimento do teor da presente Declaração, estando ciente das sanções e punições legais, no que tange a cópia parcial, ou total, de obra intelectual, o que se configura como violação do direito autoral previsto no Código Penal Brasileiro no art.184 e art.299, bem como na Lei 9.610.
6. O autor é o único responsável pelo conteúdo apresentado nos trabalhos acadêmicos publicados, não cabendo à UFRJ, aos seus representantes, ou ao(s) orientador(es), qualquer responsabilização/ indenização nesse sentido.
7. Por ser verdade, firmo a presente declaração.

Leonan Chicarelli de França

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO

Escola Politécnica – Departamento de Eletrônica e de Computação

Centro de Tecnologia, bloco H, sala H-217, Cidade Universitária

Rio de Janeiro – RJ CEP 21949-900

Este exemplar é de propriedade da Universidade Federal do Rio de Janeiro, que poderá incluí-lo em base de dados, armazenar em computador, microfilmar ou adotar qualquer forma de arquivamento.

É permitida a menção, reprodução parcial ou integral e a transmissão entre bibliotecas deste trabalho, sem modificação de seu texto, em qualquer meio que esteja ou venha a ser fixado, para pesquisa acadêmica, comentários e citações, desde que sem finalidade comercial e que seja feita a referência bibliográfica completa.

Os conceitos expressos neste trabalho são de responsabilidade do(s) autor(es).

DEDICATÓRIA

Dedico esse projeto aos meus pais João Batista de França e Cleuza de Fátima Chicarelli França por sempre me incetivarem nos estudos e sempre me oferecendo amor, apoio moral e o necessário para me dedicar à minha formação acadêmica. Me educaram para eu me tornar um adulto honesto e de bom caráter e sempre me apoiaram a buscar meus sonhos.

Minha mãe está sempre ao meu lado me incentivando e eu a admiro muito, e meu pai, por mais que tenha falecido quando eu tinha 12 anos de idade, sempre foi pra mim um modelo de homem a ser seguido.

AGRADECIMENTO

Primeiramente agradeço aos meus pais João Batista de França e Cleuza de Fátima Chicarelli França por sempre me apoiar e incentivar. Agradeço a minha família por estar sempre próxima a mim, festejando nos momentos bons e me consolando nos momentos ruins. E agradeço à minha namorada Luana Queiroz por sempre estar do meu lado e me apoiando nessa reta final de curso de graduação.

Agradeço à Inovax Engenharia de Sistemas por ter me dado a oportunidade de estagiar lá durante a minha graduação e por toda a experiência e aprendizado obtidos durante esse período.

Agradeço ao meu orientador Leonardo Alvim Muricy, tanto pela sua orientação durante o meu estágio na Inovax, quanto o seu suporte para a produção desse trabalho, por sempre estar disponível para me ajudar na resolução de problemas e buscando novas ideias. Agradeço também ao meu outro orientador, o professor Carlos Fernando Teodósio Soares, por aceitar me orientar nesse projeto e me ajudar sempre dando novas sugestões de forma a aumentar a qualidade desse projeto.

Sou grato também a todos os professores do Departamento de Engenharia Eletrônica e de Computação da Universidade Federal do Rio de Janeiro que eu tive o privilégio de ter aula, pois me proporcionaram o conhecimento que tenho hoje. Não posso esquecer de agradecer aos meus professores do ensino médio e curso técnico na Escola Técnica Estadual Ferreira Viana, pois foi lá que despertei o interesse para a eletrônica, e aos meus professores do ensino fundamental na Escola Municipal Brigadeiro Eduardo Gomes, por sempre enxegarem um grande potencial em mim.

Por fim, agradeço ao povo brasileiro, por ter financiado com seus impostos todos os meus estudos, desde o ensino fundamental até o ensino superior. Espero estar retribuindo o investimento feito em mim e em minha formação acadêmica.

RESUMO

Este trabalho tem como objetivo apresentar o circuito de um conversor DC/DC de alta eficiência. Este estudo aborda todas as características técnicas e teóricas, o projeto e o controle de um conversor CC/CC em ponte completa, com zero-voltage-switching e controle digital por desvio de fase.

Realizado em parceria com a Inovax Engenharia de Sistemas, esse conversor é um dos candidatos ao estágio de potência no projeto de uma unidade retificadora, com diversas aplicações na área de telecomunicações. Assim, suas especificações devem seguir as necessidades do mercado desse tipo de produto, e, como temos uma agência regulamentadora para essa área no Brasil, seu desempenho deve estar adequado às normas da Agência Nacional de Telecomunicações (ANATEL).

Palavras-chave: Conversor CC/CC, zero-voltage-switching, controle digital, Unidade retificadora.

ABSTRACT

This project aims to present the circuit of a highly efficient DC/DC converter. This study addressed all the technical and theoretical characteristics in the design and control of a full bridge DC/DC converter with zero-voltage-switching and digital control by phase shift.

Conducted in partnership with the Inovax Engenharia de Sistemas, this converter is one of the candidates for the power stage in the design of a rectifier unit, with several applications in the telecommunications field. Thus, your specifications should follow the market needs this type of product and, as we have a regulatory agency for that field in Brazil, its performance must be appropriate to the standards established by the National Telecommunications Agency (ANATEL).

Keywords: DC/DC converter, zero-voltage-switching, digital control, rectifier unit.

SIGLAS

ADC – *Analog-Digital Converter*

ANATEL – Agência Nacional de Telecomunicações

CC – Corrente Contínua

PI –Proporcional-Integral

PID –Proporcional-Integral-Derivativo

PSCad – Power System Computer Aided Design

OrCad – Oregon Computer Aided Design

PCI – Placa de Circuito Impresso

THD – *Total Harmonic Distortion*

UFRJ – Universidade Federal do Rio de Janeiro

ZVS – *Zero-Voltage-Switching*

Sumário

Lista de Figuras	xiv
Lista de Tabelas	xix
1 Introdução	1
1.1 - Tema	1
1.2 - Delimitação	1
1.3 - Justificativa	2
1.4 - Objetivo	3
1.5 - Metodologia	3
1.6 - Descrição	4
2 Conversor em Ponte Completa com ZVS	6
2.1 - Definição	6
2.2 - Características do Conversor	6
2.3 - Dinâmica de Funcionamento	8
2.3.1 - 1ª Etapa	10
2.3.2 - 2ª Etapa	12
2.3.3 - 3ª Etapa	14
2.3.4 - 4ª Etapa	15
2.3.5 - 5ª Etapa	17
2.3.5 - 6ª Etapa	20
2.4 - Equações de Projeto	22
2.4.1 - Cálculo da relação de espiras (n)	22
2.4.2 - Indutor parasita (L_{LK})	23

2.4.3 - Indutor do filtro de saída (L_{OUT})	23
2.4.4 - Capacitor do filtro de saída (C_{OUT})	24
2.4.5 - Projeto físico dos elementos magnéticos	24
2.4.5.1 - Projeto físico do indutor	24
2.4.5.2 - Projeto físico do transformador	27
3 Controle do Conversor em Ponte Completa	29
3.1 - Introdução	29
3.2 - Modelo do conversor Buck	30
3.3 - Modelo do conversor em Ponte Completa	31
3.3.1 - Perturbação no ciclo de trabalho devido à variação de corrente no indutor do filtro	33
3.3.2 - Perturbação no ciclo de trabalho devido à variação de tensão na entrada do conversor	34
3.3.3 - Modelo de Pequenos Sinais	36
3.4 - Conclusão	38
4 Projeto do Conversor	39
4.1 - Especificações	39
4.2 - Cálculo dos valores dos componentes	41
4.2.1 - Cálculo da relação de espiras (n)	41
4.2.2 - Indutor parasita (L_{LK})	42
4.2.3 - Indutor do filtro de saída (L_{OUT})	42
4.2.4 - Capacitor do filtro de saída (C_{OUT})	43
4.3 - Projeto do Controlador Digital	43
4.3.1 - Cálculo do controlador de Corrente ($C_1(s)$)	46
4.3.2 - Cálculo do controlador de Tensão ($C_2(s)$)	49

4.4 - Conclusão	52
5 Simulações do Circuito Projetado	53
5.1 - Montagem	53
5.2 - Simulações considerando componentes ideais	55
5.2.1 - Teste de Partida Gradativa	56
5.2.2 - Regulação Estática	57
5.2.3 - Ripple	59
5.2.4 - Eficiência	61
5.2.5 - Limitação de Corrente	62
5.3 - Simulações considerando erros do controlador	63
5.3.1 - Teste de Partida Gradativa	65
5.3.2 - Regulação Estática	66
5.3.3 - Ripple	67
5.3.4 - Eficiência	69
5.3.5 - Limitação de Corrente	69
5.4 - Comparação entre os resultados	70
6 Montagem do circuito Físico	72
6.1 – Introdução	72
6.2 - Circuitos auxiliares	72
6.2.1 – Instrumentação	73
6.2.1.1 - Leitura da corrente do indutor	74
6.2.1.2 - Leitura da tensão de saída	76
6.2.2 – Drivers	78
6.3 - Seleção de componentes reais	80
6.3.1 - Escolha dos dispositivos semicondutores	80

6.3.2 - Dimensionamento dos elementos magnéticos	81
6.3.2.1 - Projeto do indutor do filtro de saída (L_{OUT})	81
6.3.2.2 - Projeto do transformador	83
6.3.2.3 - Projeto do indutor parasita (L_{LK})	85
6.4 - Simulações considerando componentes reais	86
7 Conclusão	89
Bibliografia	92

Lista de Figuras

Figura 1.1 - Diagrama básico de uma unidade retificadora.	2
Figura 2.1 - Circuito do Conversor.	7
Figura 2.2 – Formas de onda de controle das chaves.	9
Figura 2.3 – Configuração do circuito conversor na etapa 1.	10
Figura 2.4 - Tensão e corrente no primário e tensão no secundário durante a 1ª etapa.	11
Figura 2.5 - Circuito equivalente do conversor durante a 1ª etapa.	11
Figura 2.6 - Configuração do circuito conversor na etapa 2.	12
Figura 2.7 - Circuito equivalente do conversor durante a 2ª etapa.	13
Figura 2.8 - Tensão e corrente no primário e a tensão no secundário durante a 2ª etapa.	13
Figura 2.9 - Configuração do circuito conversor na etapa 3.	14
Figura 2.10 - Circuito equivalente do conversor durante a 3ª etapa.	14
Figura 2.11 - Tensão e corrente no primário e tensão no secundário durante a 3ª etapa.	15
Figura 2.12 - Configuração do circuito conversor na etapa 4.	15
Figura 2.13 - Tensão e corrente no primário e tensão no secundário durante a 4ª etapa.	16
Figura 2.14 - Circuito equivalente do conversor durante a 4ª etapa.	17
Figura 2.15 - Configuração do circuito conversor na etapa 5.	17

Figura 2.16 - Tensão e corrente no primário e tensão no secundário durante a 5ª etapa.	18
Figura 2.17 - Circuito equivalente do conversor durante a 5ª etapa.	19
Figura 2.18 - Configuração do circuito conversor na etapa 6.	20
Figura 2.19 - Tensão e corrente no primário e tensão no secundário durante e após a 6ª etapa.	21
Figura 2.20 - Circuito equivalente do conversor durante a 6ª etapa.	21
Figura 2.21 - Ilustração do A_e e A_w de um núcleo do tipo E.	25
Figura 2.22 - Ilustração do significado do parâmetro k_w	25
Figura 3.1 - Conversor Buck.	30
Figura 3.2 - Modelo de pequenos sinais do Conversor Buck.	30
Figura 3.3 - Modelo de Pequenos Sinais do Conversor em Ponte Completa com ZVS e controle por desvio de fase.	31
Figura 3.4 - Diferença do ciclo de trabalho entre o primário e o secundário do transformador.	32
Figura 3.5 - Perturbação devido à variação da corrente no indutor	33
Figura 3.6 - Perturbação devido à variação da tensão de entrada.	35
Figura 3.7 - Modelo de Pequenos Sinais do Conversor em Ponte Completa com ZVS e controle por desvio de fase.	36
Figura 3.8 - Diagrama em blocos do controle.	37
Figura 4.1 - Circuito do conversor boost utilizado na unidade retificadora. A corrente I_L representa a carga, que, no caso, é o nosso conversor em estudo. ..	39

Figura 4.2 - Diagrama em blocos do controle.	44
Figura 4.3 - Lógica que transforma o sinal de saída do controle em diferença de fase do acionamento das chaves.	45
Figura 4.4 - Controle da corrente no Indutor de saída.	46
Figura 4.5 - Diagrama de Bode da planta $H_1(s)$	47
Figura 4.6 - Controle da tensão de saída do conversor.	49
Figura 4.7 - Diagrama de Bode da planta $H_2(s)$	50
Figura 5.1 - Circuito utilizado para simulação.	53
Figura 5.2 - Montagem do controlador do conversor.	54
Figura 5.3 - Lógica que transforma a saída do controle em desvio de fase, onde a entrada AUX é proveniente do sistema da Figura 5.2.	55
Figura 5.4 - Simulação inicial, mostrando a tensão na saída do conversor ao longo do tempo.	56
Figura 5.5 - Simulação de partida gradativa.	57
Figura 5.6 - Tensão de saída da simulação de partida gradativa com mais detalhes.	57
Figura 5.7 - Regulação estática para carga em 100% do valor nominal.	58
Figura 5.8 - Regulação estática para carga em 5% do valor nominal.	58
Figura 5.9 - Regulação estática para carga em 3% do valor nominal.	59
Figura 5.10 - Tensão de saída para carga em 5% do valor nominal.	60
Figura 5.11 - Tensão de saída para carga em 50% do valor nominal.	60
Figura 5.12 - Tensão de saída para carga em 100% do valor nominal.	61

Figura 5.13 - Teste de eficiência do conversor.	62
Figura 5.14 - Simulação de limitação de corrente.	63
Figura 5.15 - Simulação de partida gradativa.	65
Figura 5.16 - Tensão de saída da simulação de partida gradativa com mais detalhes.	65
Figura 5.17 - Regulação estática para carga em 100% do valor nominal.	66
Figura 5.18 - Regulação estática para carga em 5% do valor nominal.	66
Figura 5.19 - Regulação estática para carga em 3% do valor nominal.	67
Figura 5.20 - Tensão de saída para carga em 5% do valor nominal.	67
Figura 5.21 - Tensão de saída para carga em 50% do valor nominal.	68
Figura 5.22 - Tensão de saída para carga em 100% do valor nominal.	68
Figura 5.23 - Teste de eficiência do conversor.	69
Figura 5.24 - Simulação de limitação de corrente.	70
Figura 5.25 - Simulação de limitação de corrente com mais detalhes.	70
Figura 6.1 - Localização do resistor <i>shunt</i> no conversor.	73
Figura 6.2 - Amplificador Diferencial.	74
Figura 6.3 - Circuito para leitura de corrente.	75
Figura 6.4 - Valor de tensão sobre o resistor <i>shunt</i>	75
Figura 6.5 - Valor de tensão na saída do circuito de instrumentação.	76
Figura 6.6 - Circuito para leitura de tensão.	76
Figura 6.7 - Valor de tensão no divisor resistivo.	77

Figura 6.8 - Valor de tensão na saída do circuito de instrumentação.	77
Figura 6.9 - Circuito de <i>driver</i> das chaves.	78
Figura 6.10 - Funcionamento do conversor considerando componentes com perdas.	87
Figura 6.11 - Eficiência do conversor considerando componentes com perdas.	87

Lista de Tabelas

Tabela 4.1 - Resumo das especificações do projeto.	41
Tabela 4.2 - Parâmetros de $H_1(s)$ para cálculo do controle.	47
Tabela 4.3 - Parâmetros de $H_2(s)$ para cálculo do controle.....	50
Tabela 4.4 - Resumo dos valores de componetes calculados.	52
Tabela 4.5 - Resumo das constantes dos controladores.	52
Tabela 5.1 - Valores das contantes do controle ajustadas.	64
Tabela 6.1 - Especificações do indutor de saída.	81
Tabela 6.2 - Resumo do projeto físico do indutor de saída.	83
Tabela 6.3 - Especificações do transformador.	83
Tabela 6.4 - Resumo do projeto do transformador.	84
Tabela 6.5 - Especificações do indutor	85
Tabela 6.6 - Resumo do projeto físico do indutor	86

Capítulo 1

Introdução

1.1 - Tema

Esse trabalho consiste em estudar e projetar um conversor DC/DC em ponte completa com *zero-voltage-switching* (ZVS) e controle digital com desvio de fase. Tal conversor é um dos candidatos a estágio de potência no projeto de uma unidade retificadora completa para aplicações em telecomunicações em desenvolvimento na INOVAX Engenharia de Sistemas LTDA e, portanto, deve se adequar às normas impostas pela ANATEL (Agência Nacional de Telecomunicações).

1.2 - Delimitação

O objeto do estudo é um conversor DC/DC em ponte completa com ZVS e controle digital com desvio de fase. Dado que ele é um dos candidatos a estágio de saída de uma unidade retificadora, então, a sua entrada é proveniente de um estágio que consiste em um conversor boost. Nesse projeto, vamos admitir que tal estágio de entrada já esteja pronto para uso e focaremos apenas na análise e projeto do estágio de saída.

Na Figura 1.1 é mostrado um diagrama de blocos básico de uma unidade retificadora. Tem-se um filtro de EMI (*Eletromagnetic Interference*), que funciona de modo a reduzir interferências eletromagnéticas no circuito, um bloco de sensoramento de proteção contra falhas de alimentação da unidade retificadora e um conversor *boost*, que possui controle de fator de potência e baixa distorção harmônica, requisitos fundamentais. Além disso, esse estágio possui na entrada uma faixa de variação de tensão (aproximadamente entre 90 Vac e 25 Vac). Como a saída da unidade como um todo também possui uma ampla faixa de variação de tensão (45 Vdc a 59 Vdc) e deve apresentar baixo *ripple*, seria necessária uma estratégia de controle complexa que realizasse essa regulação e ainda atendesse a todos os requisitos mencionados. Assim, torna-se necessário um segundo estágio conversor, que é o conversor em ponte completa com ZVS desse estudo (que está destacado na Figura 1.1) e está logo após o conversor

boost. Esse estágio fica encarregado de fazer a regulação DC, atendendo à faixa de variação especificada e controlando o *ripple* de tensão, deixando a função de controlar o fator de potência e introduzir baixo THD para o estágio anterior, o conversor *boost*. Ainda estão presentes na unidade retificadora um controle de compartilhamento de carga, que faz com que duas unidades, funcionando em paralelo, forneçam a mesma potência à carga, circuitos de instrumentação, que fazem a leitura das variáveis de estado para o controle e, por fim, um microcontrolador e um processador de interface que fazem, respectivamente, o controle dos conversores e a interface com o usuário.

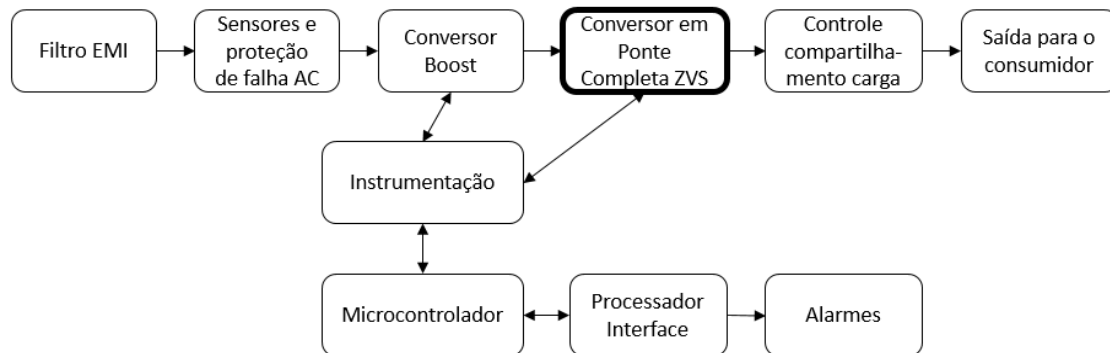


Figura 1.1 - Diagrama básico de uma unidade retificadora.

1.3 - Justificativa

A INOVAX Engenharia de Sistemas Ltda está desenvolvendo uma unidade retificadora para uso em telecomunicações. Tal produto necessita ser homologado pela ANATEL, que é a agência responsável pela área no Brasil. Assim, a unidade retificadora precisa atender a várias especificações, tais como alta eficiência e baixo *ripple* de saída. Em pesquisas realizadas durante o desenvolvimento do produto, observou-se uma nova alternativa para a implementação do estágio de potência da unidade, que é a utilização de um conversor em ponte completa com ZVS e controle digital com desvio de fase como estágio de saída.

O conversor em ponte completa com ZVS e controle digital com desvio de fase tem algumas vantagens em relação a outros conversores, tais como baixa perda de comutação, baixos esforços de corrente nos dispositivos e operação como elevador ou abaixador de tensão [1]. A combinação dessas vantagens resulta em um conversor com alta eficiência.

Ao utilizarmos um controle digital no projeto, além de diminuirmos o espaço físico do conversor, reduzimos o custo do projeto, visto que a quantidade de componentes para o controle é bastante reduzida. Esse tipo de controle será mostrado no projeto via simulações, uma vez que o custo envolvido na montagem de um protótipo de alta potência é elevado.

Esse trabalho é uma continuação de um projeto de graduação anterior [2] (também realizado em parceria com a Inovax Engenharia de Sistemas) que apresentou o conversor boost presente no estágio de entrada da unidade retificadora. Sendo assim, considera-se que a entrada do conversor em ponte completa em questão já está definida e vamos nos aprofundar no estudo e projeto do mesmo para que este sistema atenda às necessidades do mercado e às especificações da ANATEL.

1.4 - Objetivo

O objetivo desse estudo é analisar e projetar um conversor DC/DC em ponte completa com ZVS e controle digital por desvio de fase. Este projeto pretende, primeiramente, explicar o funcionamento de um conversor em ponte completa, e o porquê da escolha de se usar a técnica de zero-voltage-switching e o controle por desvio de fase. Posteriormente, o objetivo é definir um método para o cálculo de todos os componentes (tais como capacitores, indutores e transformador) de forma a atender às especificações da ANATEL. Para aproximar o controle digital o mais próximo possível da realidade, vamos simulá-lo levando em conta prováveis perturbações que o microcontrolador possa causar na dinâmica do controle.

1.5 - Metodologia

Inicialmente será apresentada e explicada a técnica de zero-voltage-switching, explicitando sua modelagem matemática para o cálculo de todos os componentes necessários, levantando o modelo de pequenos sinais do circuito para poder realizar o projeto do controle e exibindo os resultados através de simulações

Teremos neste sistema controles por corrente e por tensão simultaneamente, ou seja, as variáveis de controle serão a corrente no indutor do filtro de saída e a tensão na carga. Tal controle será realizado por controladores do tipo proporcional-integral (PI).

Assim, torna-se necessário levantar o modelo completo de pequenos sinais do conversor para o cálculo das constantes de ganho do PI.

Observar-se-á o funcionamento do projeto somente por meio de simulações, uma vez que o custo de um protótipo de alta potência torna inviável a sua construção para apenas uma unidade. Primeiramente, será realizada uma simulação completa em um software, usando os componentes do próprio simulador que fazem a função do controlador PI, visando observar o correto funcionamento do circuito e permitindo o ajuste fino das constantes de controle. Para um resultado mais preciso, será simulado o controlador digital através de um código escrito em linguagem C, que usa o mesmo algoritmo que pode ser implementado em um microcontrolador e que leva em conta muitos efeitos que o mesmo pode causar na dinâmica de controle do conversor. Assim, espera-se estimar de que forma os erros de leitura dos conversores analógico-digitais, o tempo de cálculo e o tempo de atualização do valor da saída de controle afetam a dinâmica do projeto, para que tais defeitos sejam contornados antes da futura montagem de um protótipo, além de tornar a simulação mais realista.

Por fim, componentes reais serão selecionados e novas simulações serão realizadas a fim de observar os efeitos de componentes não ideais. Para tornar o projeto mais completo, alguns circuitos auxiliares, necessários para uma implementação física, serão apresentados.

1.6 - Descrição

No Capítulo 2 será apresentado o conversor em ponte completa com ZVS e controle por desvio de fase. Nessa seção vamos apresentar qual o seu objetivo, como é a sua arquitetura, suas principais características e vantagens teóricas. Além disso, será também apresentado como funciona o controle por desvio de fase. Por fim vamos levantar as equações para o projeto dos seus componentes.

Como está se estudando um conversor chaveado, necessitamos de um controle para comandar as chaves analógicas. Portanto, no Capítulo 3 vamos deduzir todo o modelo de pequenos sinais do conversor para podermos obter as funções de transferência de interesse de modo a calcular o controle digital.

No Capítulo 4 está presente o projeto propriamente dito do conversor. Primeiro serão definidas e justificadas quais as especificações do projeto. Logo após, os valores de

todos os componentes serão calculados de acordo com as equações apresentadas no Capítulo 2. Adiante, com as funções de transferência obtidas no Capítulo 3, poderão ser definidos os parâmetros do controlador digital.

Para apresentar os resultados do projeto realizado, no Capítulo 5 serão mostradas várias simulações que comprovam o funcionamento do conversor dentro das normas da ANATEL. Para aproximar os testes de situações mais realísticas, ainda no Capítulo 5 serão mostrados os resultados de simulações considerando perturbações que o controle digital pode ocasionar na dinâmica de funcionamento do circuito.

Visando tornar o projeto mais completo, no Capítulo 6 será mostrada a seleção de componentes reais para a implementação do projeto, como eles afetam o funcionamento do circuito e quais os ajustes que devem ser feitos para que o conversor atenda a todas as especificações do projeto. Além disso, serão discutidos e apresentados alguns circuitos auxiliares necessários para uma implementação física do conversor. Adicionalmente, é apresentada uma simulação levando em conta todos os parâmetros selecionados e modificações feitas nesse capítulo, para que uma das especificações mais importantes e críticas, a eficiência, seja medida e observado se a mesma atende às normas.

Por fim, no Capítulo 7, serão apresentadas as conclusões sobre o projeto e indicação de possíveis trabalhos futuros.

Capítulo 2

Conversor em Ponte Completa com ZVS

2.1 - Definição

O conversor que será apresentado neste capítulo é um conversor do tipo DC-DC, ou seja, ele possui como entrada e saída tensões idealmente contínuas. Para este projeto, busca-se um conversor de alta eficiência, isto é, pouca perda de energia nos componentes, e que seja utilizado como abaixador de tensão, uma vez que ele deve reduzir uma tensão de entrada proveniente de um conversor boost, como mostrado no Capítulo 1.

2.2 - Características do Conversor

O circuito conversor desenvolvido neste trabalho é apresentado na Figura 2.1. Tal conversor tem como uma de suas principais características o ZVS (*zero-voltage-switching*). Isso significa que há chaveamento sob tensão nula, ou seja, os transistores das chaves são fechados exatamente quando a tensão sobre elas é zero. É justamente essa característica que faz com que esse conversor seja altamente eficiente, pois, como a tensão nas chaves fechadas é zero, há pouca perda de potência nelas.

O transformador não é um elemento ideal e possui uma indutância parasita em série naturalmente. Define-se essa indutância como L_{LK} , e será importante levá-la em consideração no projeto do conversor, pois o indutor é um componente armazenador de energia em forma de corrente. Assim, quando houver tensão no primário do transformador, uma parte da energia é armazenada no indutor L_{LK} . Quando a tensão no primário é zero, o indutor se descarrega, funcionando como uma fonte de corrente para o circuito, e isso será melhor observado no funcionamento dinâmico do conversor.

Outra grande característica é que este circuito opera com a frequência de chaveamento constante, tal como outros conversores convencionais (*boost*, *buck*, etc.), mas com ciclo de trabalho em cada chave também constante [3]. Dessa forma, o controle é feito apenas ajustando-se a fase de condução das chaves analógicas (tomando-se o cuidado para a não ocorrência de curtos-circuitos na entrada do conversor). Com isso,

pode-se manter o ciclo de trabalho efetivo mais longo, reduzindo as perdas devidas à comutação [1], pois transistores operando em alta frequência, mas com ciclo de trabalho curto apresentam maior perda no chaveamento [3]. Neste conversor, o ciclo de trabalho efetivo é definido como sendo o ciclo de trabalho presente no secundário do transformador. Há essa diferença entre os ciclos de trabalho no primário e no secundário, pois a indutância presente no transformador não se carrega instantaneamente, tornando-os diferentes. Esse conceito será melhor ilustrado mais à frente quando será apresentado o controle.

Para que esse circuito siga as normas da ANATEL [4], ele necessita ter alta eficiência, ou seja, maior que 85% e, de acordo com o que foi discutido anteriormente neste capítulo, ele apresenta características que o tornam um bom candidato a atender tal especificação.

Na Figura 2.1 apresentamos a arquitetura do circuito que será utilizada. Aqui optamos por um retificador de onda completa simples com *tap* central no secundário do transformador pelo fato de, nesse caso, não se tem uma dupla queda de tensão nos diodos retificadores, como seria o caso com um retificador em onda completa, diminuindo as perdas de potência no circuito.

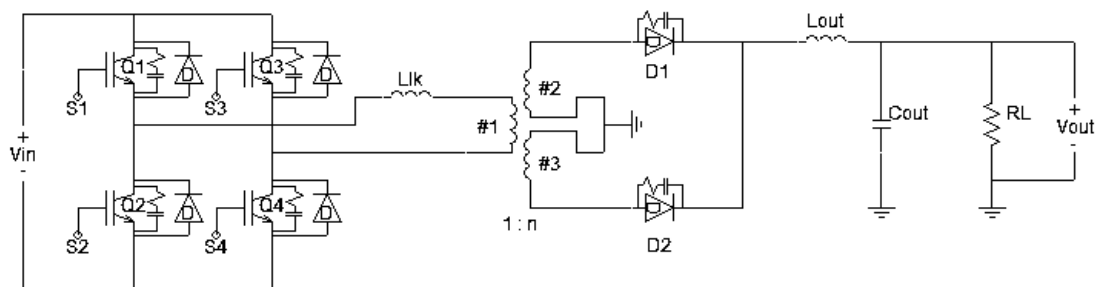


Figura 2.1 - Circuito do Conversor.

Além da alta eficiência, o conversor em ponte completa com ZVS e controle por desvio de fase apresenta outras vantagens, tais como:

- Baixa interferência eletromagnética e de rádio frequência, devido à comutação sob tensão nula [5];
- Máxima tensão sobre as chaves é igual ao valor da entrada do conversor [1];

- Máxima corrente nos transistores de chaveamento é igual à máxima corrente de saída espelhada para o primário do transformador [6];
- Apresenta característica de saída desejável para o controle, uma vez que há uma relação direta entre ciclo de trabalho efetivo e corrente de saída [1].

2.3 - Dinâmica de funcionamento

O funcionamento dinâmico do circuito pode ser dividido em 6 etapas de operação, devido aos tempos de condução de cada uma das chaves analógicas e ao desvio de fase entre eles [6].

Para facilitar a análise, vamos assumir algumas considerações iniciais:

- Os dispositivos semicondutores (chaves e diodos) são ideais;
- A indutância de dispersão do transformador está incluída na indutância de perda L_{LK} ;
- O transformador é considerado ideal;
- Capacitores e indutores não possuem resistência interna;
- A tensão de entrada é constante.

Pode-se ver na Figura 2.2 como é feito o chaveamento do circuito. Assim, observa-se que o ciclo de trabalho das chaves é mantido em 50% e que as chaves Q1 e Q2, assim como Q3 e Q4, são complementares, ou seja, quando uma está em condução a outra está cortada. Além disso, deve haver um pequeno tempo morto (t_d) entre os sinais S1 e S2, assim como entre S3 e S4, para evitar que uma chave entre em condução enquanto a outra ainda não foi completamente cortada, prevenindo, assim, curtos-circuitos na fonte de alimentação e evitando picos de corrente indesejados. Para ilustração, o tempo morto foi ampliado, mas na prática esse tempo é considerado desprezível. Ainda na Figura 2.2 pode-se observar também a forma de onda de tensão presente no primário do transformador (V_{prim}), onde D é o ciclo de trabalho no primário de transformador, que possui uma variação (que pode ser desprezada) por causa da ampliação do tempo morto, e ϕ é a diferença de fase entre sinais, que é a variável de controle, o qual será discutido mais à frente.

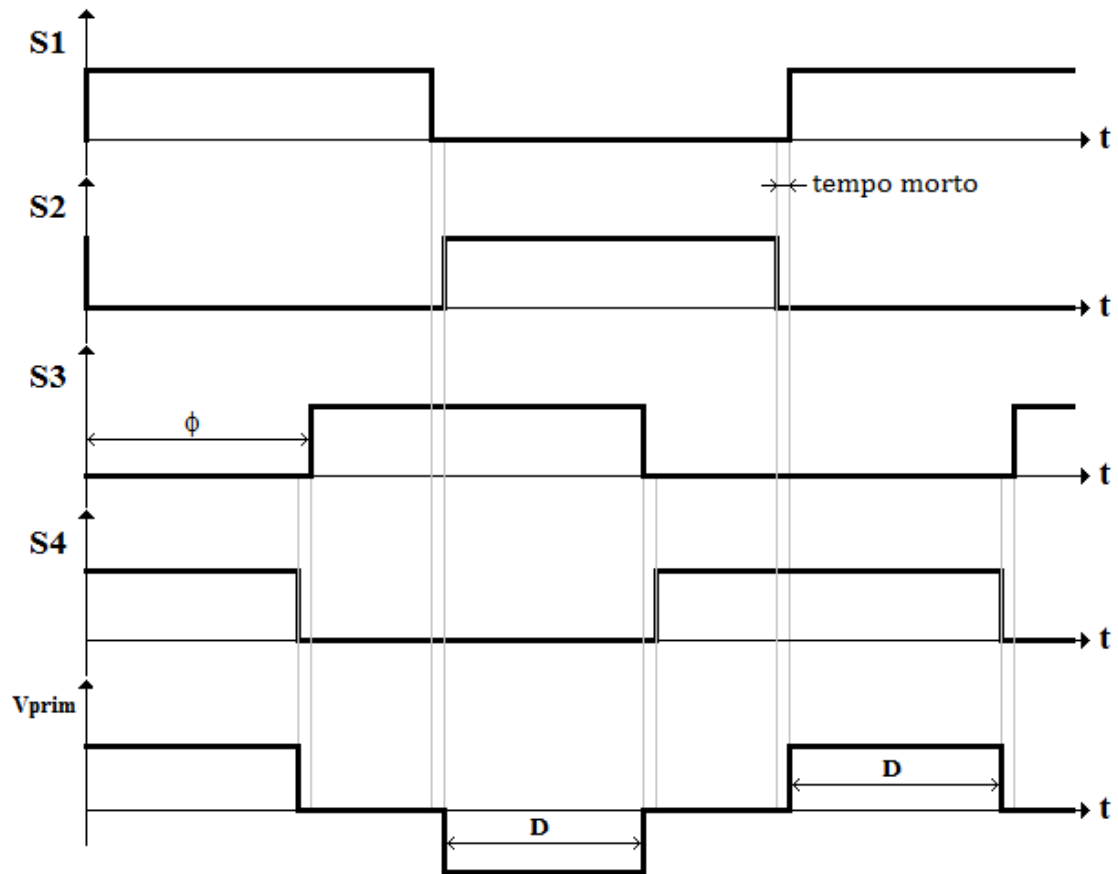


Figura 2.2 – Formas de onda de controle das chaves.

Em (2.1) pode-se ver a relação entre a diferença de fase ϕ e o ciclo de trabalho no primário do transformador D :

$$D = 1 - \frac{\phi}{180} - \frac{2t_d}{T_s}, \quad (2.1)$$

onde t_d é o tempo morto e T_s é o período de chaveamento. Assim, pode-se observar que é possível o controle da tensão de saída pelo ajuste de fase, uma vez que mudando-se D o valor regulado da tensão de saída é alterado.

A seguir, cada uma das etapas de operação do conversor é analisada em detalhes.

2.3.1 - 1ª Etapa

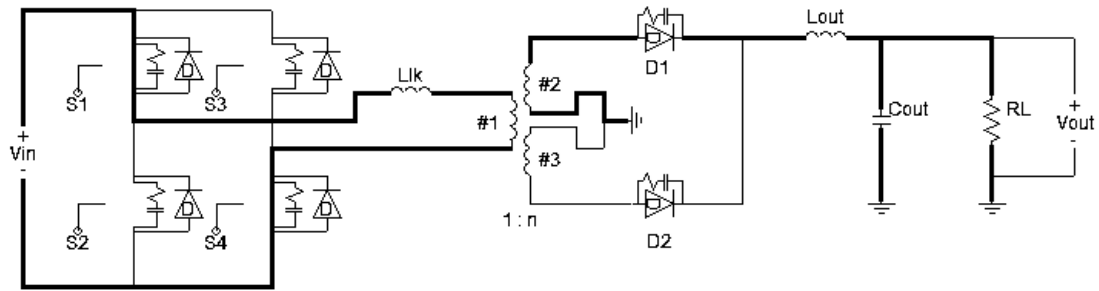


Figura 2.3 – Configuração do circuito conversor na etapa 1.

Como mostrado na Figura 2.3, as chaves $S1$ e $S4$ estão conduzindo nesta etapa e $S2$ e $S3$ estão cortadas. Portanto, a tensão presente no primário do transformador é $+V_{in}$, fazendo com que o indutor L_{lk} seja carregado e a potência transferida para o filtro de saída e para a carga.

Na Figura 2.4 tem-se o gráfico mostrando a evolução no tempo das tensões do primário e do secundário e da corrente do primário, que é a mesma corrente no indutor L_{lk} . Pode-se observar que, enquanto V_{prim} tem o valor de $+V_{in}$, o indutor L_{lk} vai se carregando e, ao mesmo tempo, há energia transferida para o secundário do transformador.

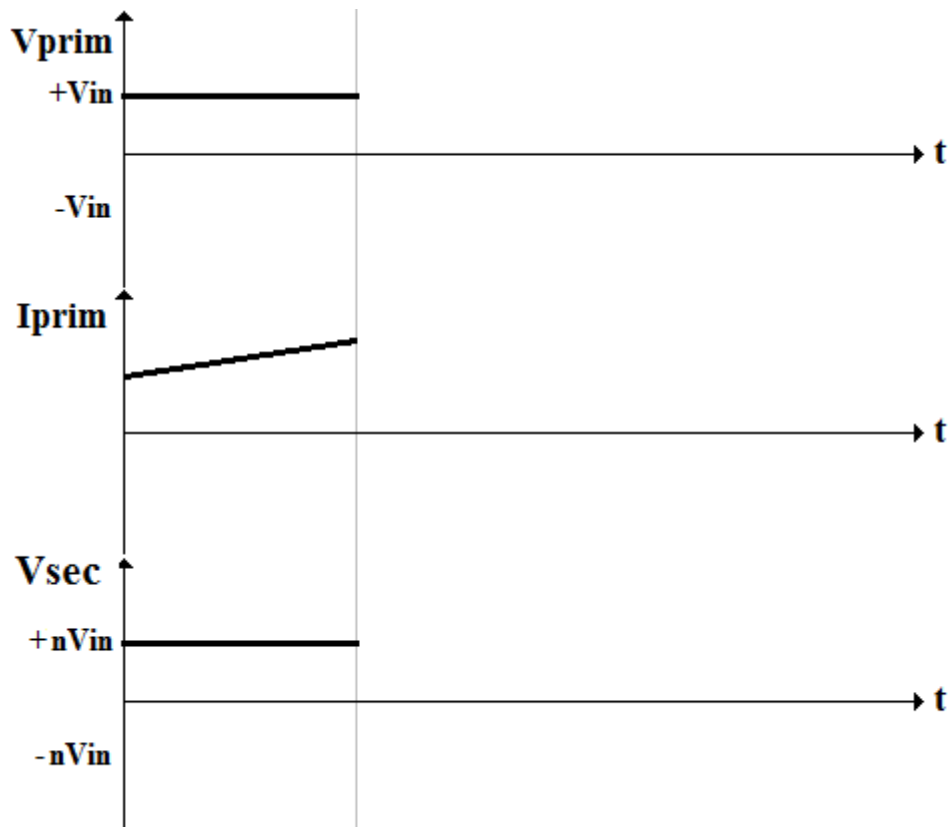


Figura 2.4 - Tensão e corrente no primário e tensão no secundário durante a 1ª etapa.

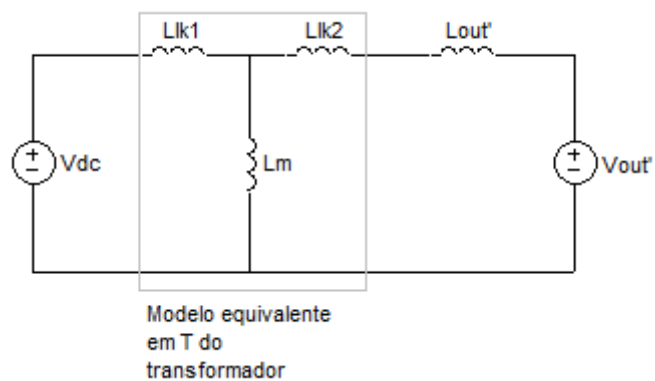


Figura 2.5 - Circuito equivalente do conversor durante a 1ª etapa.

O aumento da corrente no primário do transformador pode ser explicado utilizando-se o circuito equivalente presente na Figura 2.5, onde as variáveis com uma linha (') representam os respectivos valores refletidos para o primário do transformador. Pode-se ver que as tensões no primário e secundário são modeladas como fontes DC e o transformador foi substituído pelo seu modelo em T equivalente. Tem-se que a indutância

de magnetização (L_m) do transformador é muito maior que a soma das indutâncias parasitas ($L_{lk1} + L_{lk2}$). Dessa forma, pode-se considerá-lo como um circuito aberto [7]. Considerando também que L_{out} é muito maior que a indutância de perda, a inclinação da corrente do primário na etapa 1 é $(V_{in} - V_{out}') / L_{out}'$.

2.3.2 - 2ª Etapa

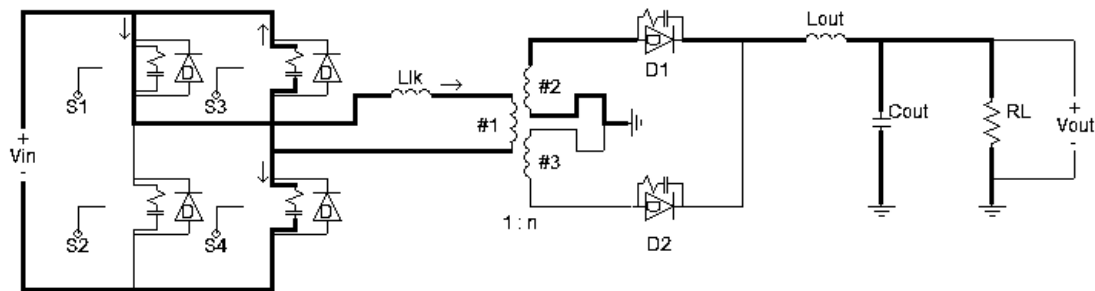


Figura 2.6 - Configuração do circuito conversor na etapa 2.

Nesta etapa, a chave S1 continua conduzindo, S4 acabou de abrir e S2 continua aberta e S3 ainda não está conduzindo. Assim, pode-se ver que C_{S3} está se descarregando enquanto C_{S4} está se carregando. Essa etapa curta consiste apenas na carga e descarga dos capacitores. Nesse caso a tensão do primário vai para zero. Porém, a corrente continua fluindo no secundário e, portanto, na carga, pois há fluxo de corrente no primário do transformador e o indutor L_{out} estará operando aproximadamente como uma fonte de corrente neste curto intervalo de tempo. Essa etapa é muito importante para o ZVS, pois note que o capacitor que está sendo descarregado está em paralelo com a próxima chave a ser fechada. Assim, é necessário que ele se descarregue completamente para que, na ativação da chave S3, ela esteja sob uma tensão nula, reduzindo as perdas de potência no chaveamento [7].

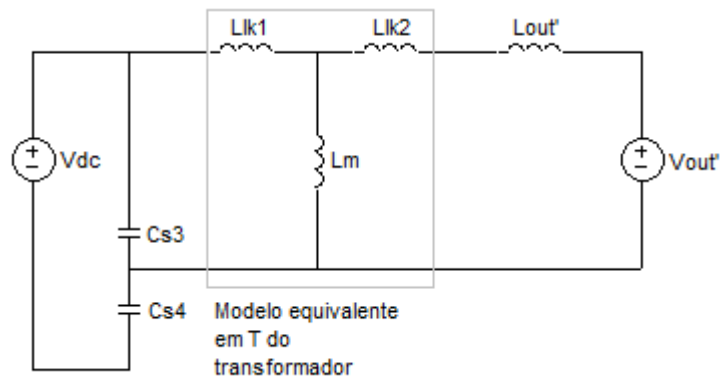


Figura 2.7 - Circuito equivalente do conversor durante a 2ª etapa.

Na Figura 2.7 pode-se observar o modelo equivalente do conversor nessa etapa. Pode-se ver que a energia necessária para carregar C_{S4} e descarregar C_{S3} vem do indutor L_{LK} e do indutor do filtro de saída também. Os capacitores devem possuir as mesmas capacitâncias, para que eles se carreguem e descarreguem ao mesmo tempo, não exigindo mais energia da fonte V_{dc} , o que reduziria a eficiência.

Na Figura 2.8, tem-se as formas de onda nessa etapa. Ela é de curta duração, e ocorre apenas enquanto a tensão no primário está caindo até zero entre as Fases 1 e 3.

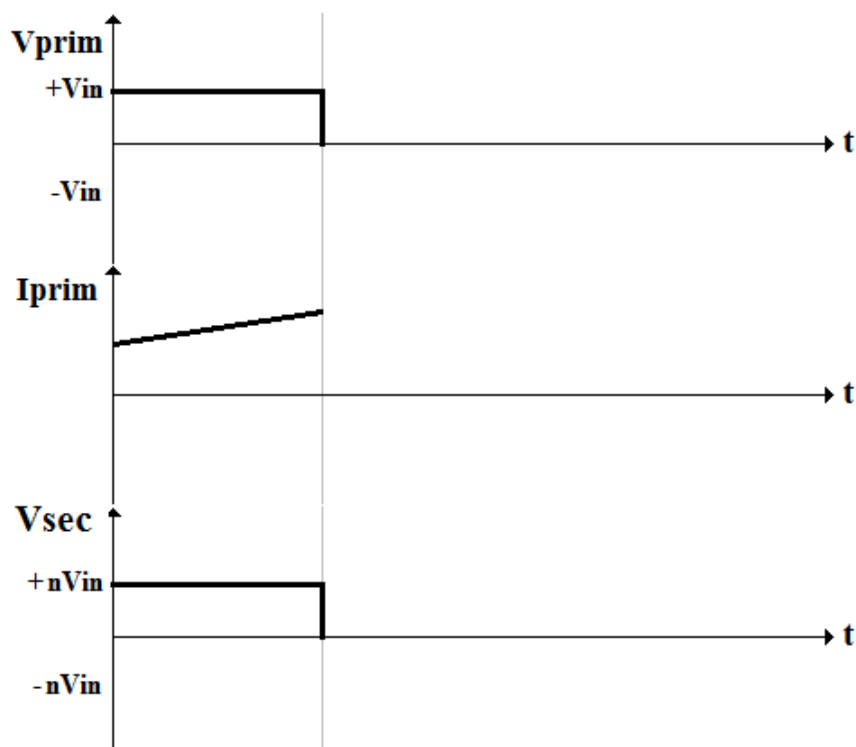


Figura 2.8 - Tensão e corrente no primário e a tensão no secundário durante a 2ª etapa.

2.3.3 - 3ª Etapa

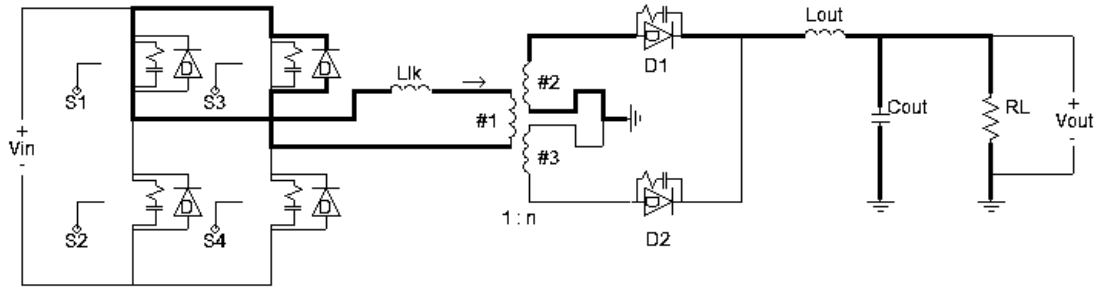


Figura 2.9 - Configuração do circuito conversor na etapa 3.

Nessa etapa, o capacitor C_{S3} inicia completamente descarregado. Aqui a chave S1 ainda está conduzindo e S3 passa a conduzir, satisfazendo a condição do ZVS. Nota-se que, pelo sentido da corrente, que o diodo D_{S3} está polarizado diretamente e a fonte de entrada está em aberto, como é mostrado na Figura 2.9. Assim, conclui-se que a corrente armazenada em L_{lk} será descarregada nessa etapa.

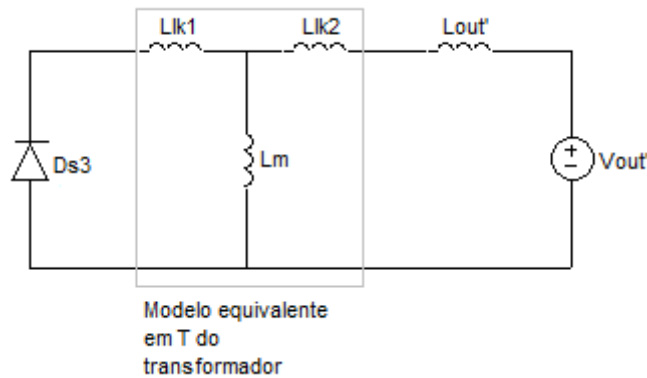


Figura 2.10 - Circuito equivalente do conversor durante a 3ª etapa.

De acordo com o circuito equivalente apresentado na Figura 2.10, a tensão sobre a indutância $L_{OUT}' + L_{LK}$ é igual a $-V_{OUT}'$. Isso faz com que a derivada da corrente nessas indutâncias seja aproximadamente igual a $-V_{OUT}' / L_{OUT}'$, já que estamos considerando $L_{OUT}' \gg L_{LK}$. Essa derivada negativa de corrente é observada no gráfico da Figura 2.11.

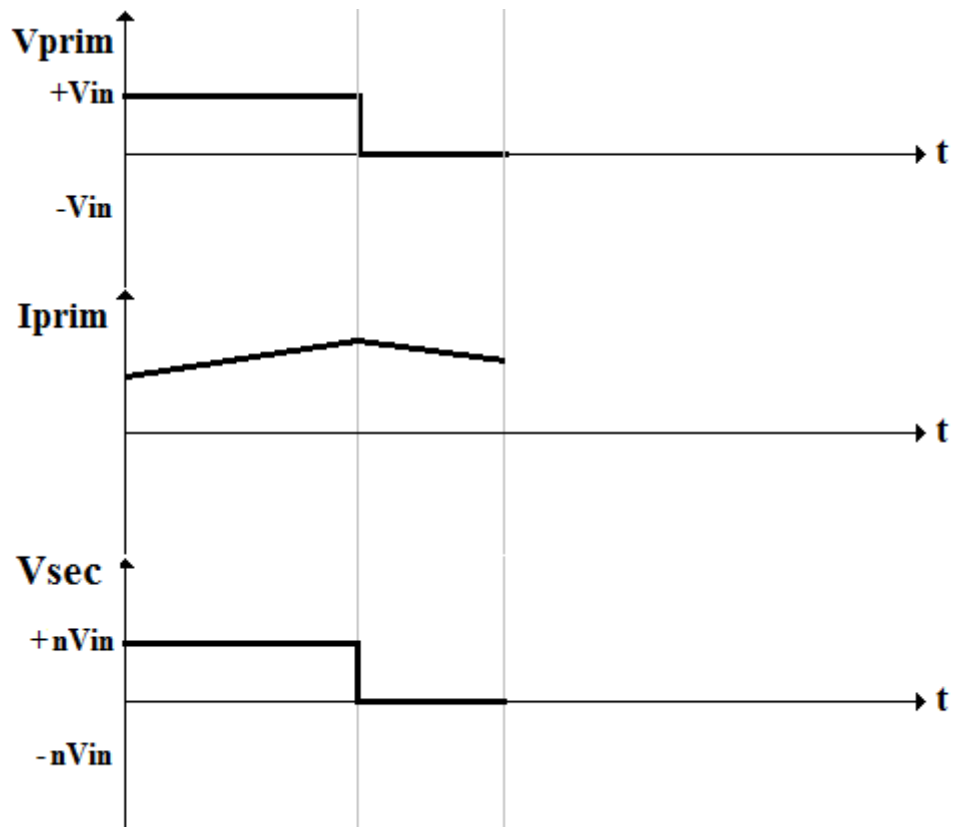


Figura 2.11 - Tensão e corrente no primário e tensão no secundário durante a 3ª etapa.

2.3.4 - 4ª Etapa

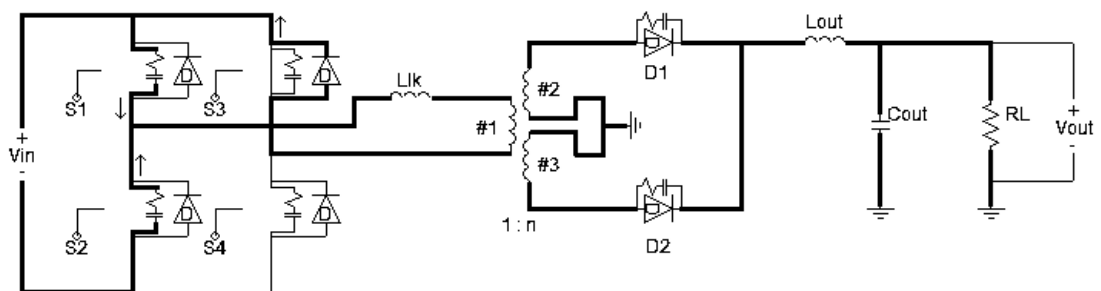


Figura 2.12 - Configuração do circuito conversor na etapa 4.

Aqui temos que S3 continua conduzindo, S2 ainda não começou a conduzir, S1 é aberta e S4 ainda continua sem conduzir. O objetivo dessa etapa é similar ao da 2ª etapa, isto é, descarregar o capacitor C_{S2} para que, ao ser ativada, a chave S2 esteja sob uma tensão nula. Enquanto isso, o capacitor C_{S1} está se carregando. Assim, a tensão do

primário do transformador que está em zero tende a ir para o valor $-V_{in}$ como pode-se ver na Figura 2.13.

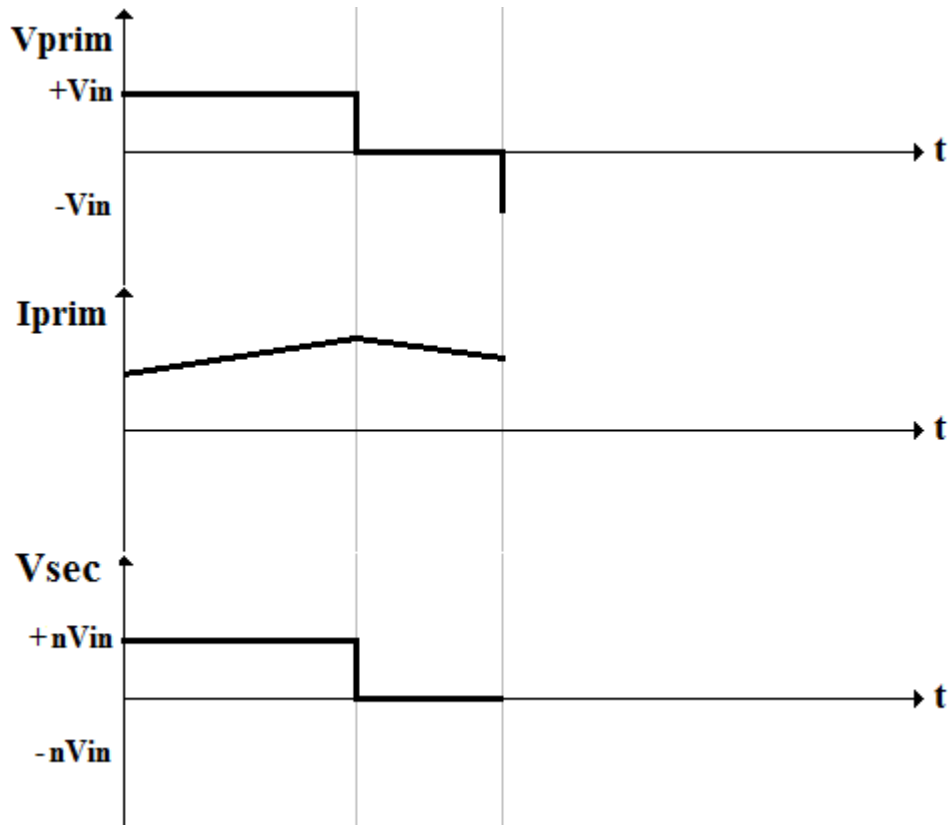
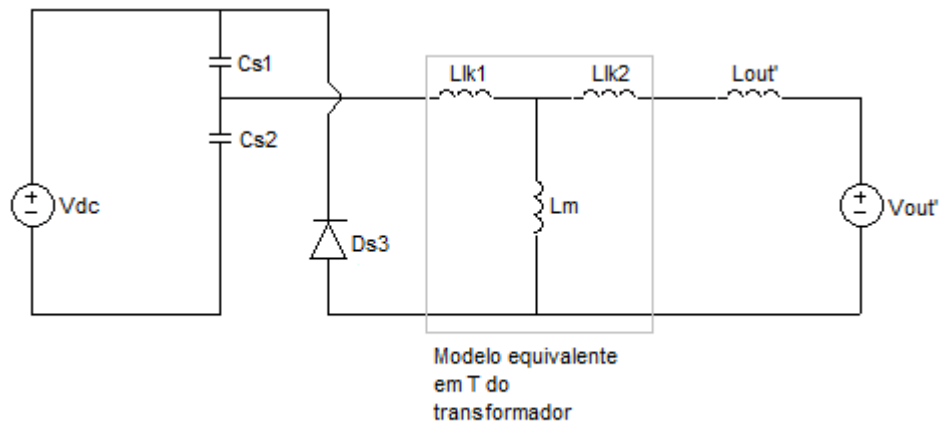
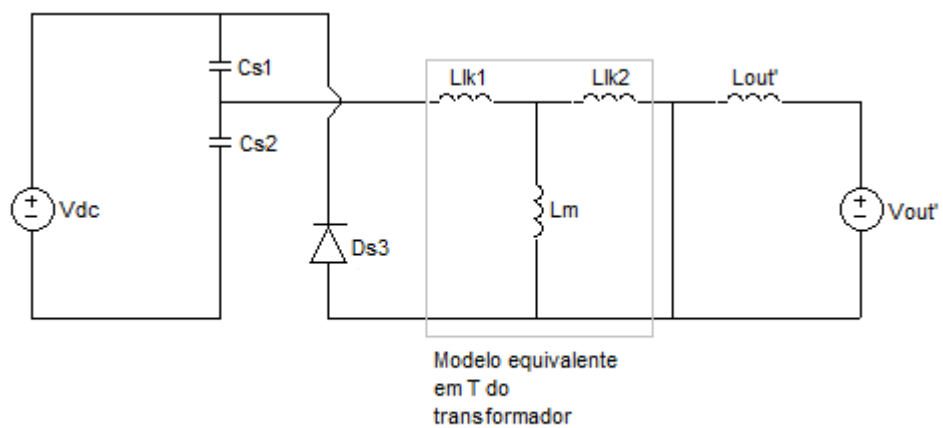


Figura 2.13 - Tensão e corrente no primário e tensão no secundário durante a 4ª etapa.

Observando o modelo equivalente do conversor para essa etapa, presente na Figura 2.14(a), tem-se que, no início da Etapa 4, o capacitor C_{S2} vai se descarregando e o capacitor C_{S1} se carregando. Na Figura 2.14(b) o capacitor C_{S1} já possui um valor de $+V_{dc}$, invertendo assim a tensão no primário do transformador e fazendo com que o diodo D2 no secundário seja polarizado diretamente. Porém, devido ao sentido da corrente no transformador, o diodo D1 continua conduzindo, causando um curto-circuito no secundário do transformador. Ou seja, nesse momento a tensão no primário é $-V_{dc}$, porém a tensão no secundário continua nula, conforme ilustrado no gráfico da Figura 2.13 e no circuito equivalente da Figura 2.14(b).



a) $V_{dc} > V_{cs1} > 0V$ e $0V < V_{cs2} < V_{dc}$.



b) $V_{cs1} = V_{dc}$ e $V_{cs2} = 0V$.

Figura 2.14 - Circuito equivalente do conversor durante a 4ª etapa.

2.3.5 - 5ª Etapa

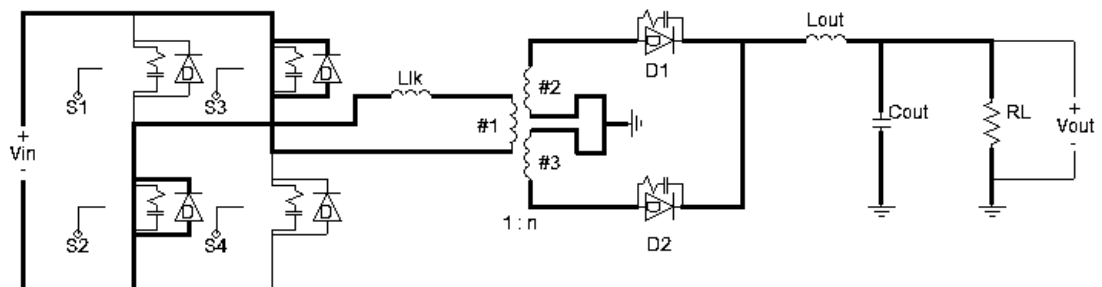


Figura 2.15 - Configuração do circuito conversor na etapa 5.

Tem-se agora que o capacitor C_{S2} está completamente descarregado e a chave S2 é ativada, satisfazendo à condição de ZVS. Assim, como pode ser visto nas Figuras 2.16 e 2.17, enquanto os diodos D_{S2} e D_{S3} estiverem conduzindo, a corrente no primário vai caindo rapidamente até zero. Após isso, ela vai rapidamente até um valor negativo, fazendo com que os diodos sejam cortados, e a corrente passe a ser conduzida exclusivamente pelas chaves S2 e S3. Enquanto isso, a tensão $-V_{DC}$ é aplicada ao indutor L_{LK} , em virtude do curto-circuito no secundário, como é visto na Figura 2.17. Assim, a derivada de corrente no primário passa a ser $-V_{IN}/L_{LK}$. Como L_{LK} é bem menor que L_{OUT} , essa derivada é bem maior em módulo que a verificada na 3ª Etapa.

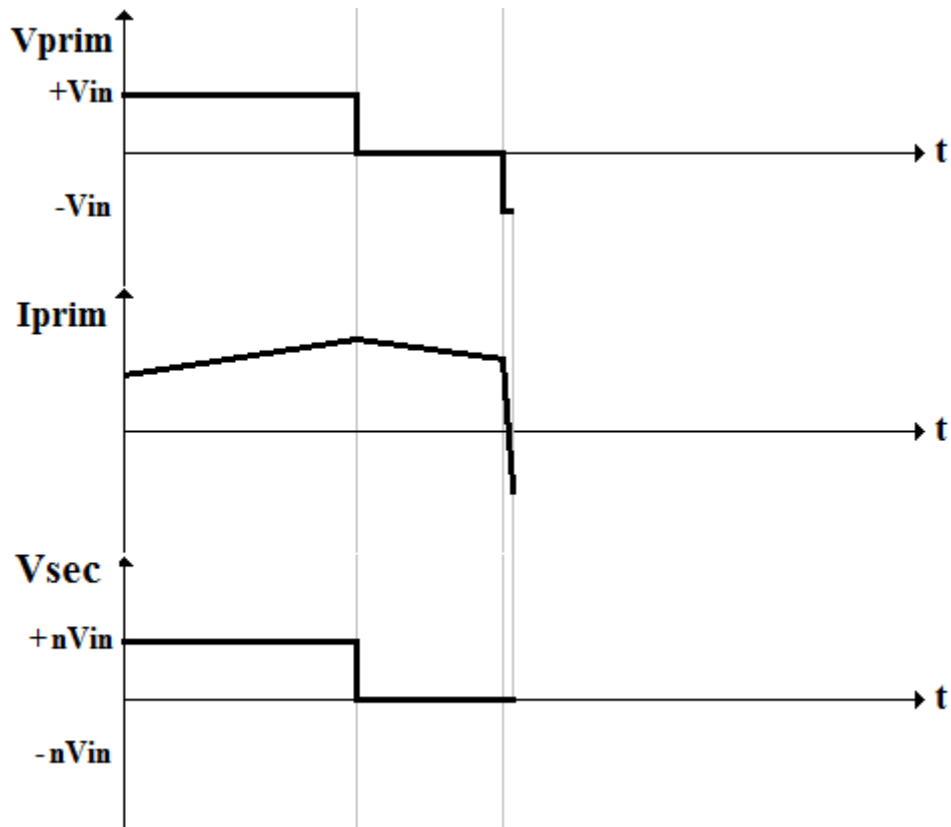
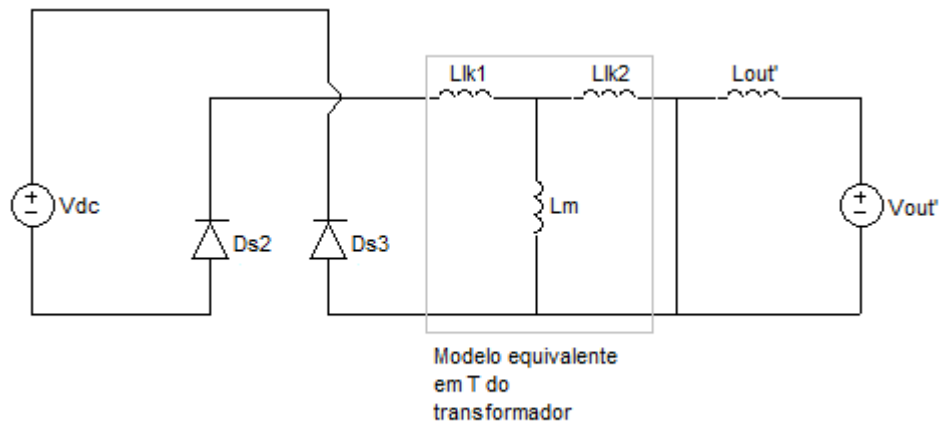


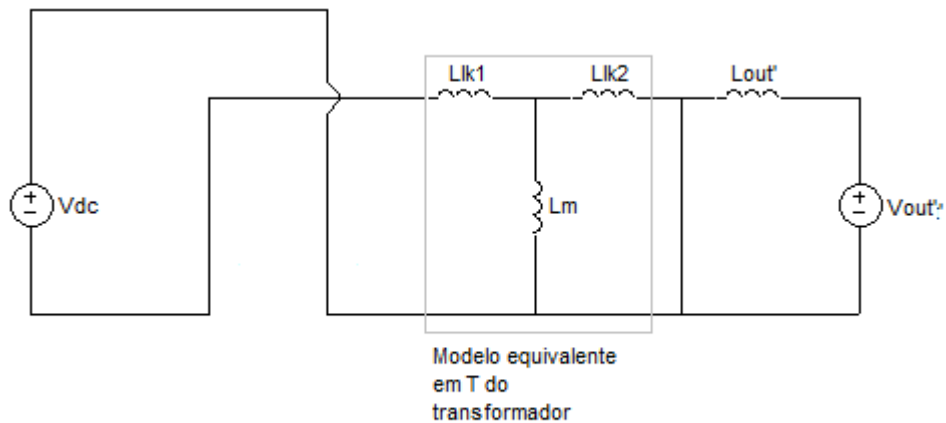
Figura 2.16 - Tensão e corrente no primário e tensão no secundário durante a 5ª etapa.

O momento de condução dos diodos D_{S2} e D_{S3} e das chaves S2 e S3 pode ser melhor visto na Figura 2.17. Observa-se que o curto-circuito ainda está presente no secundário do transformador, porque os diodos D1 e D2 ainda estão conduzindo simultaneamente. Mesmo durante o curto-circuito no secundário, o indutor L_{OUT} continua fornecendo corrente para a carga, funcionando como se fosse uma fonte de corrente. Ou

seja, mesmo com a inversão no sentido da corrente no primário, o diodo D1 no secundário somente irá entrar em corte quando a corrente em D2 atingir o mesmo valor da corrente em L_{out} . Enquanto a corrente em D2 continuar menor que a corrente em L_{out} , será o diodo D1 quem proverá a diferença, mantendo esse último em condução e fazendo com que o curto-circuito do secundário continue a acontecer, mesmo com a inversão no sentido da corrente no primário do transformador.



a) Momento em que os diodos Ds2 e Ds3 estão conduzindo.



b) Momento que as chaves S2 e S3 estão conduzindo e os diodos Ds2 e Ds3 estão cortados.

Figura 2.17 - Circuito equivalente do conversor durante a 5ª etapa.

2.3.6 - 6ª Etapa

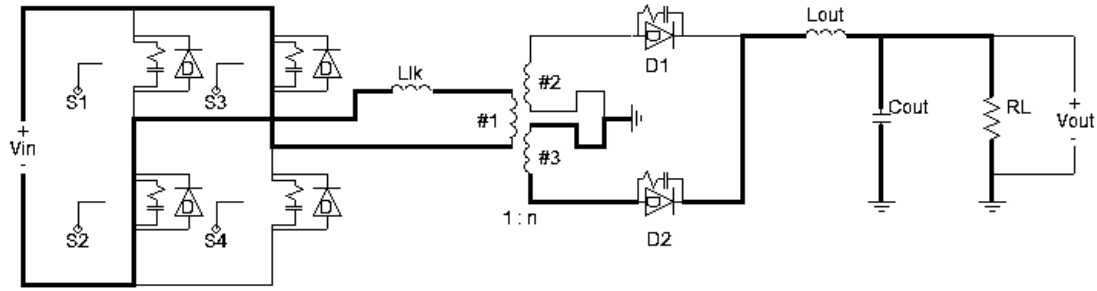


Figura 2.18 - Configuração do circuito conversor na etapa 6.

No final da etapa anterior, a corrente que circulava pelo diodo D1 cai a zero e ele fica reversamente polarizado, ou seja, o curto-circuito que estava presente no secundário desaparece. Além disso, as chaves S2 e S3 estão conduzindo. Nesta etapa, a associação em série das indutâncias L_{LK} e L_{OUT}' é submetida a uma tensão $-V_{IN} + V_{OUT}'$, conforme mostra o circuito equivalente da Figura 2.20. Assim, a derivada da corrente no primário passará a ser, aproximadamente, $-(V_{IN} - V_{OUT}')/L_{OUT}'$, pois $L_{OUT}' \gg L_{LK}$. O funcionamento é semelhante ao da 1ª etapa, só que a derivada da corrente no corrente nesta etapa é igual em módulo, porém com o sinal invertido, como pode ser visto no gráfico presente na Figura 2.19.

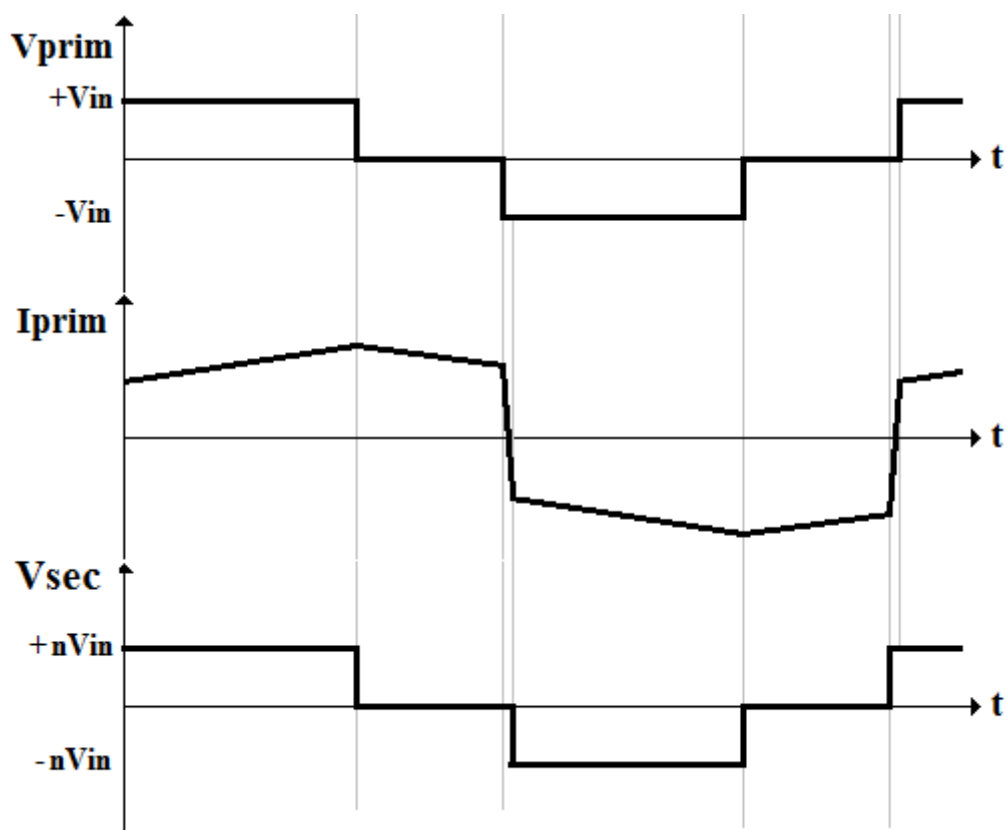


Figura 2.19 - Tensão e corrente no primário e tensão no secundário durante e após a 6ª etapa.

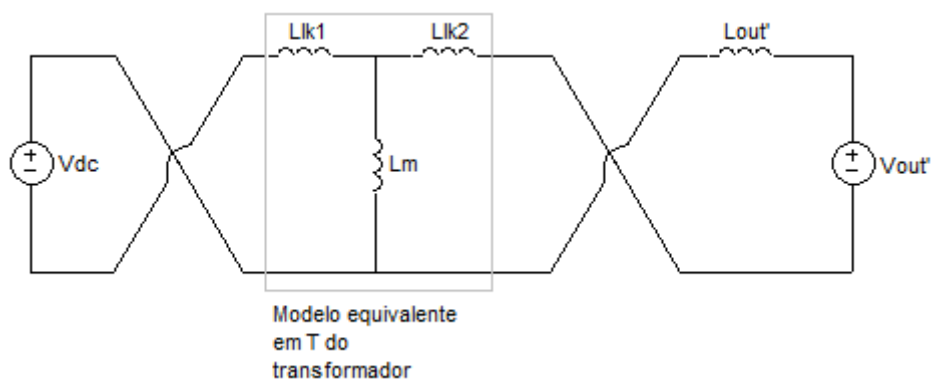


Figura 2.20 - Circuito equivalente do conversor durante a 6ª etapa.

Em seguida, o circuito segue a sua operação com um comportamento bastante semelhante ao verificado nas Etapas 3, 4 e 5, com a diferença de que agora a polaridade da tensão e o sentido da corrente no primário estarão invertidos em relação ao que foi descrito anteriormente, como pode ser visto na Figura 2.19. Assim, o conversor conclui um ciclo de funcionamento.

2.4 - Equações de projeto

O cálculo dos componentes desse conversor é baseado em projetos de conversores em ponte completa sem ZVS e com controle PWM. As etapas do projeto seguem o exemplo apresentado em [1] e [6].

Primeiramente, devemos calcular a relação de espiras do transformador do conversor. Logo após, vamos aos valores dos indutores. Para atender às especificações de variação do valor de tensão de saída, calculamos o capacitor do filtro. Por fim, temos que realizar o projeto físico dos transformadores e indutores.

2.4.1 - Cálculo da relação de espiras (n)

A relação de espiras de um transformador mostra qual a relação existente entre o número de espiras presente no primário e no secundário do mesmo, ou também a relação entre uma tensão aplicada no primário e a tensão presente no secundário:

$$\alpha = \frac{N_P}{N_S} = \frac{V_{PRIM}}{V_{SEC}}, \quad (2.2)$$

onde N_P é a quantidade de espiras do primário, N_S é a quantidade de espiras do secundário, V_{PRIM} representa uma tensão aplicada no primário e V_{SEC} é a respectiva tensão presente no secundário.

De acordo com as referências [1] e [6], é possível calcular a relação de espiras entre primário e secundário do transformador com:

$$\alpha = \eta (V_{IN(min)} - 2V_{DSon}) \frac{D_{eff(max)}}{V_{OUT(max)} + V_F} = \frac{N_P}{N_S} = \frac{V_{PRIM}}{V_{SEC}}, \quad (2.3)$$

sendo η é a eficiência desejada para o conversor, $V_{IN(min)}$ é o menor valor de entrada admitido pelo conversor, $V_{OUT(max)}$ é o maior valor de tensão regulada a ser fornecida pelo conversor, V_{DSon} é a tensão de condução das chaves, $D_{eff(max)}$ é o ciclo de trabalho efetivo máximo no transformador e V_F é a queda de tensão sobre os diodos retificadores. Contudo, para facilitar futuros cálculos, também há interesse no valor inverso de α :

$$n = \frac{1}{\alpha}. \quad (2.4)$$

2.4.2 - Indutor parasita (L_{LK})

Como está apresentado em [1] e [6], a indutância L_{LK} tem seu valor calculado com:

$$L_{LK} = \frac{\Delta D V_{IN(min)}}{4 F_S n I_{OUT}} \quad [H], \quad (2.5)$$

onde F_S é a frequência do chaveamento, I_{OUT} é a corrente nominal de saída e o termo ΔD representa a perda do ciclo de trabalho (em percentual) entre o primário e secundário do transformador causada por esse indutor adicional.

Essa perda de ciclo de trabalho está relacionada ao tempo em que há tensão no primário, porém a tensão no secundário é nula, devido ao curto-circuito mostrado durante o funcionamento da Etapa 5. Deseja-se que essa diferença não seja muito grande, pois deixaria o indutor L_{LK} superdimensionado e, portanto, causando perda de eficiência.

2.4.3 - Indutor do filtro de saída (L_{OUT})

Para evitar que a tensão na carga assuma valores nulos ao longo do chaveamento ao se trabalhar com uma baixa corrente de saída, é necessário calcular corretamente o indutor do filtro de saída. Tem-se que o valor de indutor pode ser aproximado por:

$$L_{OUT} = \frac{V_{L_{out}}}{\frac{\Delta I_{L_{out}}}{\Delta t}}, \quad (2.6)$$

sendo $V_{L_{out}}$ é a tensão sobre L_{OUT} , $\Delta I_{L_{out}}$ é a variação de corrente no indutor e Δt é o tempo em que essa variação ocorre. Com (2.6) pode-se chegar à equação que calcula a indutância L_{OUT} :

$$L_{OUT} = \frac{(V_{OUT(max)} + V_F)(1 - D_{eff(min)})}{2F_S \Delta I_{L_{out}}} \quad [H], \quad (2.7)$$

onde $D_{eff(min)}$ é o menor ciclo de trabalho presente no secundário do transformador, que é calculado por:

$$D_{eff(min)} = n \frac{V_{OUT(min)} + V_F}{V_{IN(max)}}. \quad (2.8)$$

2.4.4 - Capacitor do filtro de saída (C_{OUT})

O capacitor do filtro de saída C_{OUT} deve satisfazer à especificação de ripple definida por norma, sendo calculado por:

$$C_{OUT} = \frac{\Delta I_{L_{OUT}}}{8 F_s Ripple} \quad [F], \quad (2.9)$$

onde *Ripple* é a máxima variação de tensão de saída permitida.

2.4.5 - Projeto físico dos elementos magnéticos

Aqui será indicado como realizar o projeto de indutores e transformadores, referenciando a teoria atual, para que esse projeto possa ser adaptado a outras aplicações e especificações. O sucesso no projeto do conversor está ligado a um projeto adequado dos elementos magnéticos, pois indutores e transformadores operando em alta frequência apresentam características não-ideais que atrapalham o funcionamento do circuito, tais como a saturação do núcleo magnético e elementos parasitas [8].

Para o projeto físico de indutores e transformadores, precisa-se selecionar o núcleo necessário, o número de espiras e o fio de cobre para podermos fazer a indutância (ou relação de transformação) desejada. Para o caso em estudo, temos que projetar dois indutores e um transformador. Alguns parâmetros são requisitos para os dois casos, e alguns cálculos são específicos.

2.4.5.1 - Projeto físico do indutor

Deve-se primeiramente selecionar o núcleo do elemento. De acordo com [8], os núcleos de ferrite são os mais indicados para operações em alta frequência em comparação aos núcleos de ferro-silício, mesmo apresentando algumas desvantagens, tais como baixa robustez a choques mecânicos. Para selecionar corretamente o núcleo, é necessário calcular o produto $A_e A_w$:

$$A_e A_w = \frac{L I_{pico} I_{RMS}}{B_{max} J_{max} k_w} 10^4 \quad [cm^4], \quad (2.10)$$

onde A_e e A_w são parâmetro referentes ao tamanho do núcleo e estão ilustrados na Figura 2.21, L é o valor do indutor a ser projetado, I_{pico} e I_{RMS} são, respectivamente, a corrente

de pico e RMS a qual o indutor é submetido, B_{max} é a excursão de densidade de fluxo magnético máxima, J_{max} é o valor da densidade de corrente máxima permitida no condutor e k_w é o de ocupação do cobre dentro do carretel, como pode ser visto na Figura 2.22, ou seja, é a razão entre a soma das áreas da seção reta dos condutores e a área da janela do carretel A_w . O termo 10^4 em (2.10) foi adicionado para ajuste de unidade (cm^4).

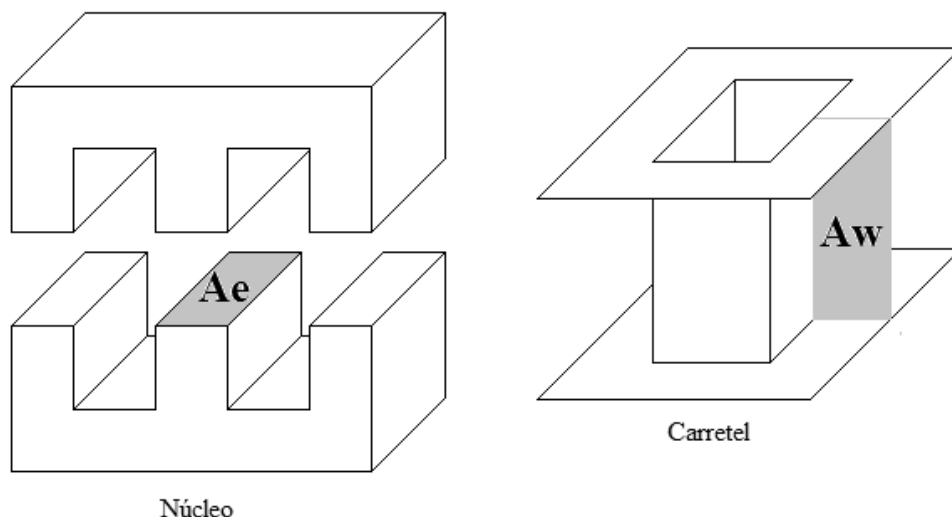


Figura 2.21 - Ilustração do A_e e A_w de um núcleo do tipo E.

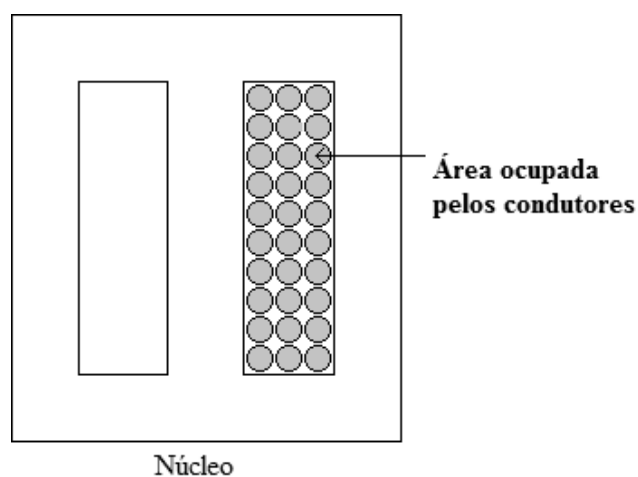


Figura 2.22 - Ilustração do significado do parâmetro k_w .

Com isso calculado, deve-se selecionar o núcleo que respeite (2.10). Os fabricantes de núcleo disponibilizam alguns tamanhos e formatos padrões de núcleo e, portanto, deve-se selecionar o núcleo com o $A_e A_w$ mais próximo do calculado. Assim:

$$A_e A_{w_{n\u00facleo}} \geq A_e A_{w_{calculado}} \cdot \quad (2.11)$$

Deve ser mencionado que, para indutores, é recomendado escolher núcleos com entreferro [8], pois ele aumenta a precisão do valor do indutor e diminui o risco de saturação do núcleo.

Com o devido núcleo selecionado, deve-se calcular o número de espiras (N) necessário para realizar a indutância requisitada:

$$N = \sqrt{\frac{L}{A_l}}, \quad (2.12)$$

onde A_l é um parâmetro do núcleo disponibilizando pelo fabricante, que depende do material do mesmo e do tamanho do entreferro.

Agora é preciso calcular o fio de cobre necessário para o enrolamento. Porém antes do cálculo, deve ser observado o efeito pelicular, pois à medida que a frequência no indutor aumenta, a corrente tende a se distribuir pelas bordas do condutor, diminuindo a penetração no interior do elemento. O nível da profundidade de penetração (Δ) num fio de cobre é calculado por [8]:

$$\Delta = \frac{7,5}{\sqrt{F_s}} \quad [cm]. \quad (2.13)$$

Ao selecionar o condutor, deve-se observar que o fio de cobre a ser utilizado não deve ter o diâmetro superior a 2Δ .

Observado o efeito pelicular, a área do fio de cobre (S_{fio}) deve ser selecionado tal que seja satisfeita a equação:

$$S_{fio} \geq \frac{I_{RMS}}{J_{max}} \quad [cm^2]. \quad (2.14)$$

Porém, o fio cuja área seja a calculada em (2.14) pode violar a regra do efeito pelicular calculado em (2.13). Nesse caso, deve-se associar fios em paralelo que satisfaçam às duas condições, ou seja, que as suas respectivas áreas somadas satisfaçam (2.14) e seus diâmetros individualmente satisfaçam (2.13).

Por fim, é necessário observar a possibilidade de execução do projeto realizado, ou seja, se o condutor e a quantidade de fios calculadas cabem na janela do carretel do núcleo selecionado. Para tal, calcula-se, primeiramente, o menor A_w necessário para a montagem do indutor:

$$A_{wmin} = \frac{N n_{condutores} S_{fio}}{k_w A_w} \quad [cm^2], \quad (2.15)$$

onde $n_{condutores}$ é o número de fios colocados em paralelo para satisfazer (2.13) e (2.14). Se esse valor for menor que o A_w do núcleo selecionado, ou seja,

$$\frac{A_{wmin}}{A_{wnúcleo}} \leq 1, \quad (2.16)$$

significa que o projeto é possível de ser realizado. Caso o teste falhe, deve-se selecionar outro núcleo e refazer todos os cálculos.

2.4.5.2 - Projeto físico do transformador

O projeto físico para o transformador segue os mesmos passos do projeto para indutores, porém para transformadores não é necessário utilizar núcleos com entreferro[8] e, como não se tem um valor de indutância fixo para projetar, para a escolha do núcleo utiliza-se a equação:

$$A_e A_w = \frac{V_{primario} D_{effmax} I_{RMS}}{f_s B_{max} J_{max} k_p k_w} 10^4 \quad [cm^4], \quad (2.17)$$

onde o termo k_p significa o fator de ocupação da área de janela pelo enrolamento do primário e k_w é o fator de ocupação do cobre dentro do carretel.

Já para calcular o número de espiras do primário, deve-se utilizar a equação:

$$A_e A_w = \frac{V_{primario} D_{effmax} I_{RMS}}{f_s B_{max} J_{max} k_p k_w} 10^4 \quad [cm^4], \quad (2.17)$$

sendo que, para as espiras dos secundários, basta apenas utilizar a relação de espiras calculada para o transformador:

$$N_S = n N_P. \quad (2.19)$$

Por fim, para a verificação da possibilidade de execução, a equação é semelhante com (2.15), só que deve-se levar em consideração todas as espiras do transformador:

$$A_{w_{min}} = \frac{\sum_i N_i n_{condutores_i} S_{fio_i}}{k_w} \quad [cm^2]. \quad (2.20)$$

Capítulo 3

Controle do Conversor em Ponte

Completa

3.1 - Introdução

Nesse capítulo será abordado como montar o modelo de pequenos sinais de um conversor em ponte completa. Como metodologias possíveis, tem-se a modelagem por média de espaço de estados ou mesmo substituição do modelo das chaves analógicas no circuito do conversor.

Além disso, o conversor em Ponte Completa pode ser visto como um circuito derivado do conversor buck [9], uma vez que possuem semelhanças na sua arquitetura. Assim, o seu modelo pode ser obtido a partir do modelo do buck, introduzindo os efeitos específicos dessa topologia.

De acordo com [6], a última alternativa se apresenta como a melhor, uma vez que os dois primeiros métodos citados são bem mais trabalhosos se comparados à modelagem a partir do modelo do conversor buck, devido à complexidade da topologia.

Com o modelo pronto, o passo seguinte é definir o tipo de controle a ser utilizado nesse estudo e, assim, são calculadas as funções de transferência necessárias para o cálculo e projeto dos controladores.

Lembrando que, por uma questão de notação, o símbolo ‘ \wedge ’ é utilizado para denotar uma variação no valor médio da grandeza correspondente. O valor médio será representado por letras maiúsculas e a variação por letras minúsculas com o sinal ‘ \wedge ’.

3.2 - Modelo do conversor Buck

Como dito anteriormente, de acordo com [6], para obter o modelo de pequenos sinais do conversor em ponte completa com ZVS e controle por desvio de fase, precisa-se primeiro obter o modelo de um conversor buck, já que o conversor desse estudo é derivado dele.

Na Figura 3.1 é apresentado o circuito de um conversor buck. Pode-se ver que o buck é semelhante ao do conversor desse estudo, pois ao comparar o circuito da Figura 3.1 com o circuito da Figura 2.1 a partir do secundário do transformador, pode-se ver que são bem semelhantes, uma vez que tanto o conversor em ponte completa, quanto o buck possuem um filtro LC na saída com a carga em paralelo. Por ser um funcionamento semelhante, porém não idêntico, deve-se fazer ajustes para o modelo de pequenos sinais do conversor em ponte completa.

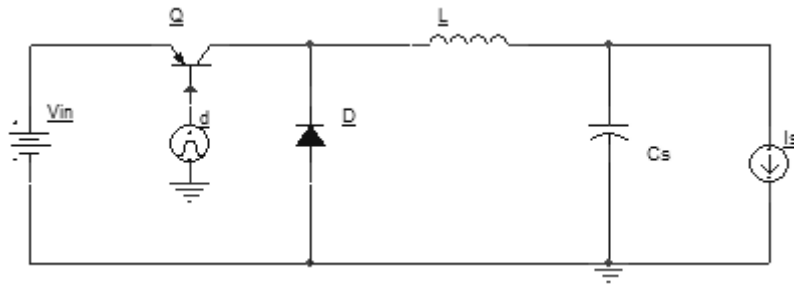


Figura 3.1 - Conversor Buck.

O modelo de pequenos sinais do conversor buck [9] é o apresentado na Figura 3.2. Pode-se ver que a tensão de saída depende da variação da tensão de entrada e da variação do valor do ciclo de trabalho (d) do chaveamento. Assim, pode-se retirar uma relação direta entre o valor do ciclo de trabalho e o nível de tensão de saída.

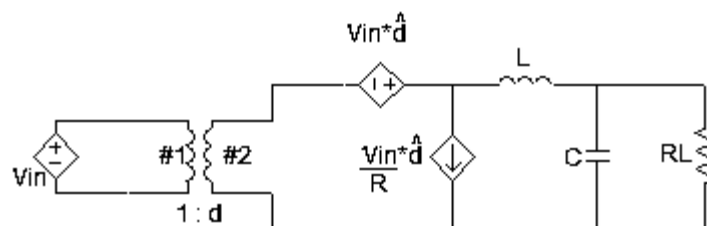


Figura 3.2 - Modelo de pequenos sinais do Conversor Buck.

3.3 - Modelo do conversor em Ponte Completa

Apresentado o modelo do conversor buck, agora é necessário apenas adicionar as características específicas do conversor em ponte completa com ZVS e controle por desvio de fase[6]. Para obter um modelo que represente o circuito estudado, além da variação do ciclo de trabalho, deve-se adicionar os efeitos de variações na corrente da carga e na tensão de entrada. Outra mudança significativa é que, enquanto no modelo do conversor buck nós levamos em consideração o ciclo de trabalho da chave, aqui temos que considerar o ciclo de trabalho presente no secundário do transformador (que é o chamado ciclo de trabalho efetivo):

$$\hat{d}_{(buck)} \triangleq \hat{d}_{eff} = \hat{d} + \hat{d}_i + \hat{d}_v, \quad (3.1)$$

sendo \hat{d} é a variação do ciclo de trabalho devido à variação do ciclo de trabalho de cada chave, \hat{d}_i é a variação do devido à variação da corrente de carga, \hat{d}_v é a variação do devido à variação da tensão de entrada e \hat{d}_{eff} é a soma de todos esse parâmetros e representa a variação do ciclo de trabalho efetivo e é equivalente ao ciclo de trabalho visto no modelo do conversor buck. Essa diferença se deve ao fato de que, no conversor buck, o ciclo de trabalho da chave é o mesmo da entrada do filtro LC, mas no caso apresentado o controle é por desvio de fase. Assim, o ciclo de trabalho das chaves não determina diretamente a ciclo de trabalho no filtro LC o que determina isso é a diferença de fase entre os sinais de acionamento das chaves.

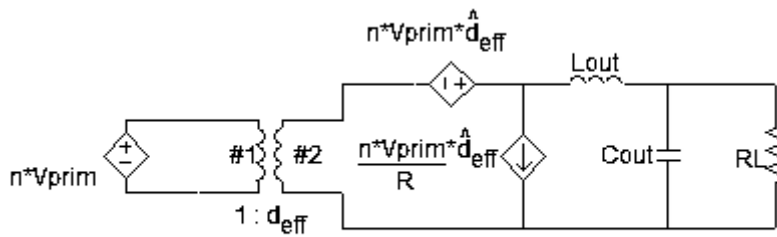


Figura 3.3 - Modelo de Pequenos Sinais do Conversor em Ponte Completa com ZVS e controle por desvio de fase

Na Figura 3.4 é visível a diferença entre o ciclo de trabalho do primário e secundário do transformador. Isso se deve ao fato do tempo que o indutor Llk leva para

inverter a corrente que passa por ele, acontecendo tanto em transições negativas, quanto em transições positivas. Na explicação do funcionamento do circuito, na Seção 2.3, isso não foi discutido, o que não afeta significativamente a dinâmica do circuito. Porém, para o controle, é importante observar isso, pois ao calcular um ciclo de trabalho efetivo para o circuito, ele pode acabar se alterando. Por menor que seja a diferença, isso acarretará em um acúmulo de erros ao longo do tempo, podendo dificultar a ação do controlador durante o funcionamento do circuito

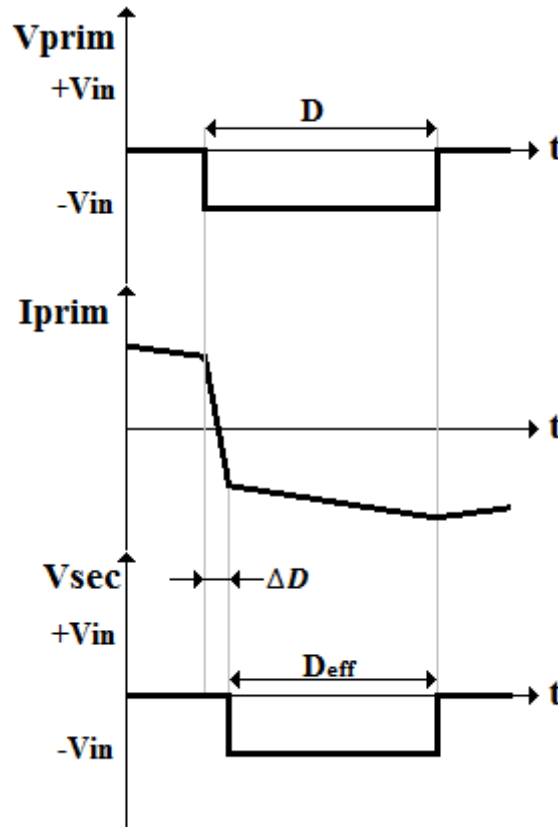


Figura 3.4 - Diferença do ciclo de trabalho entre o primário e o secundário do transformador.

Ainda, de acordo com a Figura 3.4, pode-se afirmar que:

$$D_{eff} = D - \Delta D \leftrightarrow \Delta D = D - D_{eff}, \quad (3.2)$$

$$\Delta D = \frac{\Delta t}{\frac{T_s}{2}}, \quad (3.3)$$

onde lembrando que T_s é o período de chaveamento, e D_{eff} é o ciclo de trabalho efetivo e ΔD é o intervalo de tempo em que a corrente no primário inverte seu sentido.

Como a preocupação é sobre como os efeitos do circuito vão modificar o valor da razão cíclica efetiva, é de interesse considerar apenas as variações da razão cíclica efetiva devido à variação de corrente do indutor (\hat{d}_i) e à variação da tensão de entrada (\hat{d}_v), já que, para esse caso, a variação do ciclo de trabalho das chaves (\hat{d}) é nula, uma vez que ele é mantido constante, como discutido no Capítulo 2. Posteriormente, serão apresentadas as relações entre esses parâmetros e \hat{d}_{eff} .

3.3.1 - Perturbação no ciclo de trabalho efetivo devido à variação de corrente no indutor do filtro.

A Figura 3.5 representa o efeito da variação da corrente do indutor no valor da razão cíclica a ser calculada pelo controlador. A linha preta mostra o formato de I_{Lout} em regime permanente, e a cinza representa o funcionamento com a perturbação \hat{i}_{Lout} . Essa variação causa um decréscimo no valor da razão cíclica [9].

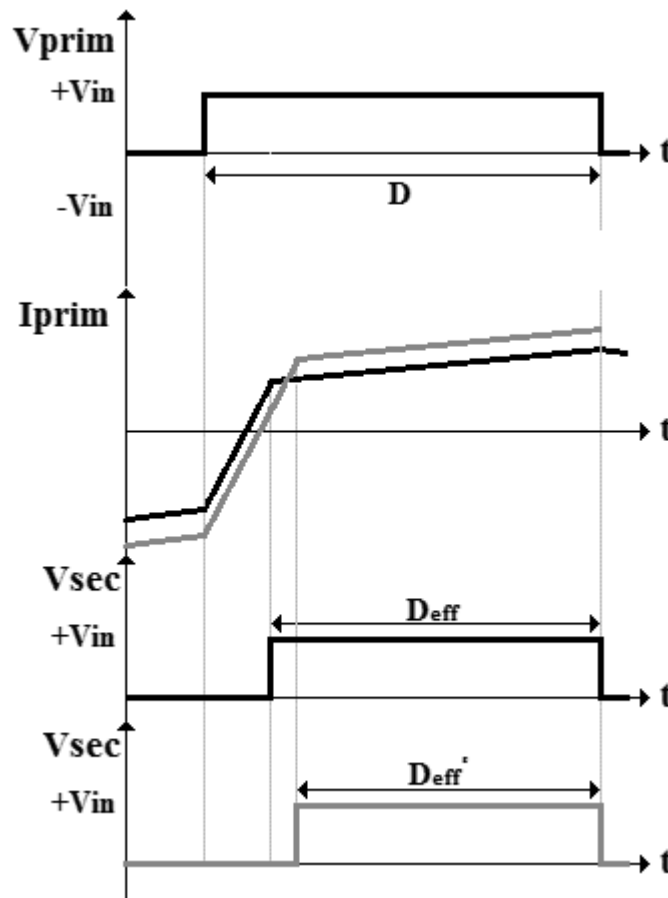


Figura 3.5 - Perturbação devido à variação da corrente no indutor L_{OUT} .

A partir do gráfico apresentado na Figura 3.5, podem-se obter as seguintes expressões:

$$\Delta t = D_{eff} - D'_{eff} = 2n\hat{t}_{Lout} \frac{L_{LK}}{V_{IN}}, \quad (3.4)$$

$$\hat{d}_i = -\frac{\Delta t}{\frac{T_s}{2}} = -\frac{4nL_{LK}F_s}{V_{IN}} \hat{t}_{Lout}. \quad (3.5)$$

Apesar do interesse ser na variação de corrente no indutor L_{OUT} , quem determina essa variação é o tempo de transição da corrente no primário, quando ela passa de positiva para negativa. Como isso acontece quando o secundário está em curto, quem determina esse tempo é apenas indutor L_{LK} , por isso sua presença em (3.4) e (3.5). Para facilitar a representação da variação do ciclo de trabalho efetivo devido à variação da corrente na carga, definimos o termo R_D como:

$$R_D = 4n^2L_{LK}F_s. \quad (3.6)$$

Assim, finalmente, temos que:

$$\hat{d}_i = -\frac{R_D}{nV_{IN}} \hat{t}_{Lout}. \quad (3.7)$$

3.3.2 - Perturbação no ciclo de trabalho efetivo devido à variação de tensão na entrada do conversor

De acordo com a Figura 3.6, um aumento na tensão na entrada provoca um carregamento mais rápido do indutor do filtro de saída. Assim, observa-se um aumento da razão cíclica efetiva no secundário [9]. A linha preta mostra o funcionamento em regime permanente, e a cinza representa o funcionamento com a perturbação.

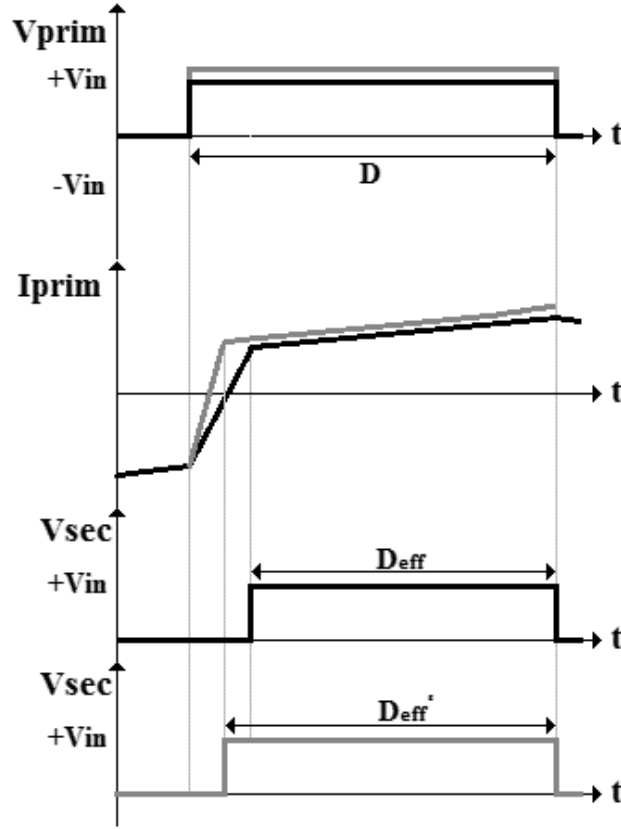


Figura 3.6 - Perturbação devido à variação da tensão de entrada

A partir da Figura 3.6, obtém-se as seguintes expressões:

$$\Delta t = n \left(2I_{Lout} - \frac{V_{OUT}}{L_{out}} (1 - D) \frac{T_s}{2} \right) \frac{L_{LK}}{V_{IN}^2} \hat{v}_{IN}, \quad (3.8)$$

$$\hat{d}_v = \frac{\Delta t}{\frac{T_s}{2}} = \frac{4nL_{LK}F_sI_{Lout}}{V_{IN}^2} \hat{v}_{IN}. \quad (3.9)$$

E utilizando o termo R_D , definido anteriormente, para facilitar a representação da variação do ciclo de trabalho efetivo devido à variação da tensão de entrada do converor, finalmente, tem-se que:

$$\hat{d}_v = \frac{R_D I_{Lout}}{V_{IN}^2} \hat{v}_{IN}. \quad (3.10)$$

3.3.3 - Modelo de Pequenos Sinais

Com a definição das relações das perturbações que as variações de V_{IN} e I_{Lout} causam no valor da razão cíclica calculada no controle, pode-se obter o modelo de pequenos sinais do conversor em ponte completa. Como já dito, de acordo com [6], o método mais fácil é acrescentar os efeitos calculados nos itens anteriores ao modelo de um conversor buck, o qual é apresentado na Figura 3.7.

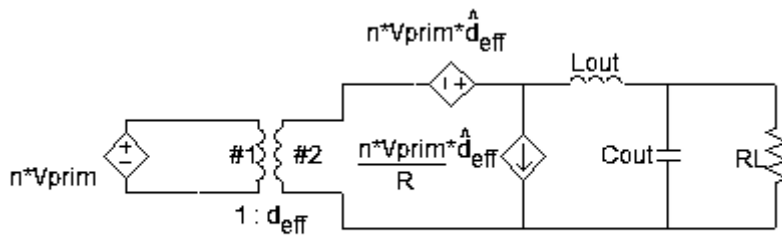


Figura 3.7 - Modelo de Pequenos Sinais do Conversor em Ponte Completa com ZVS e controle por desvio de fase.

Agora, com o modelo definido, algumas funções de transferência devem ser obtidas a partir da Figura 3.7. Para isso, é necessário definir qual o controle será utilizado. Seguindo a idéia de [5], temos dois *loops* de controle, um por corrente e outro por tensão, como podemos ver na Figura 3.8, onde $H_1(s)$ e $H_2(s)$ são as plantas a serem controladas:

$$H_1(s) = \frac{\hat{i}_{Lout}}{\hat{d}} \text{ e } H_2(s) = \frac{\hat{v}_{out}}{\hat{i}_{Lout}}. \quad (3.11)$$

$C_1(s)$ e $C_2(s)$ são os respectivos controladores proporcional-integral (PI), $\beta_1(s)$ e $\beta_2(s)$ são ganhos de realimentação e $\alpha(s)$ é um ganho que compatibiliza a saída do controlador com a planta.

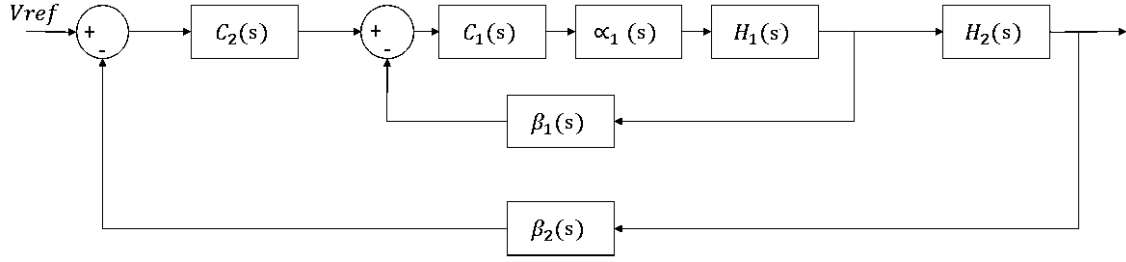


Figura 3.8 - Diagrama em blocos do controle.

É necessário definir ainda qual a relação entre a corrente no indutor do filtro e a razão cíclica que comanda o acionamento das chaves e a relação entre a tensão na saída do conversor e a corrente no indutor de filtro. Lembrando que, para facilitar os cálculos, desprezamos as resistências parasitas presentes no capacitor e indutor.

Observando o circuito da Figura 3.7, pode-se calcular \hat{i}_{Lout}/\hat{d} e ,segundo [5], a fonte de corrente se torna um circuito aberto e pode-se desprezar as perturbações devido a variações de V_{IN} . Primeiramente, calculando Z_1 que é a impedância vista pela fonte controlada de corrente:

$$Z_1 = sL_{out} + \frac{R_L}{sC_{out}R_L + 1} = \frac{s^2C_{out}L_{out}R_L + sL_{out} + R_L}{sC_{out}R_L + 1}. \quad (3.12)$$

A partir da impedância Z_1 dada em (3.12), temos que:

$$nV_{IN}\hat{d} + nV_{IN}\hat{d}_i = Z_1\hat{i}_{Lout}, \quad (3.13)$$

Substituindo o valor de \hat{d}_i em (3.13):

$$nV_{IN}\hat{d} - R_D\hat{i}_{Lout} = Z_1\hat{i}_{Lout}, \quad (3.14)$$

$$nV_{IN}\hat{d} = (R_D + Z_1)\hat{i}_{Lout}, \quad (3.15)$$

$$\frac{\hat{i}_{Lout}}{\hat{d}} = \frac{nV_{IN}}{(R_D + Z_1)}. \quad (3.16)$$

Substituindo o valor de Z_1 em (3.16), finalmente obtém-se a expressão desejada para $H_1(s)$:

$$\frac{\hat{i}_{Lout}}{\hat{d}} = H_1(s) = nV_{IN} \frac{sC_{out}R_L + 1}{s^2C_{out}L_{out}R_L + s(L_{out} + C_{out}R_D R_L) + R_L + R_D}. \quad (3.17)$$

Utilizando o mesmo circuito para calcular $\hat{v}_{out}/\hat{i}_{Lout}$, apenas observa-se a corrente do indutor do filtro, gerando uma tensão no circuito RC paralelo. Do mesmo modo, calcula-se primeiramente Z_2 que é a impedância vista pelo indutor L_{OUT} :

$$Z_2 = \frac{R_L}{sC_{out}R_L + 1}. \quad (3.18)$$

Porém Z_2 é a própria relação que deseja-se encontrar para $H_2(s)$:

$$\frac{\hat{v}_{out}}{\hat{i}_{Lout}} = H_2(s) = Z_2 = \frac{R_L}{sC_{out}R_L + 1}. \quad (3.19)$$

3.4 - Conclusão

Nesse capítulo, foi apresentado o modelo de pequenos sinais do conversor em ponte completa com ZVS e controle por desvio de fase. Primeiramente, partiu-se do conversor buck e modificações em seu modelo foram feitas para atender às especificidades do conversor em estudo. Assim, ficou fácil obter as funções de transferência entre alguns parâmetros, para que o controlador seja projetado.

Lembrando que, para cada tipo de controle diferente do usado neste trabalho, deve-se calcular as funções de transferência de interesse a partir do modelo obtido na Figura 3.7, pois outros parâmetros do circuito podem ser explorados para diferentes técnicas de controle.

Capítulo 4

Projeto do Conversor

4.1 - Especificações

Nesse capítulo, será abordado o cálculo dos componentes do conversor em ponte completa com ZVS, como valores de indutores e de capacitores, utilizando, por exemplo, as equações apresentadas no Capítulo 2. Ainda nesse capítulo, será feito também o projeto do controlador.

Porém, para o cálculo dos componentes, é necessário antes definir algumas especificações de projeto. Algumas são definidas por norma da ANATEL[4], outras são baseadas em um projeto real de uma unidade retificadora em desenvolvimento na Inovax Engenharia de Sistemas, uma vez que esse conversor se encaixa como um dos estágios do projeto e, portanto, busca atender à demanda do mercador para tal tipo de produto.

- Tensão de Entrada (V_{IN})

Como já dito anteriormente, o conversor em estudo é um dos estágios de uma unidade retificadora real e sua entrada é proveniente de outro conversor CC-CC, só que um do tipo boost como mostrado na Figura 4.1. Esse conversor boost fornece uma tensão DC de 400 V com um *ripple* simétrico com 10 V de pico. É importante lembrar que esse *ripple* depende do valor da carga, ou seja, os 10 V correspondem à carga máxima. Assim, com carga menor, o *ripple* também será menor.

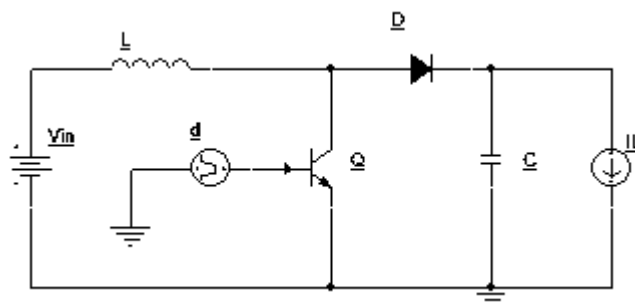


Figura 4.1 - Circuito do conversor boost utilizado na unidade retificadora. A corrente I_L representa a carga, que, no caso, é o nosso conversor em estudo.

- Tensão de Saída (V_{OUT})

Esse conversor é o estágio de saída de uma unidade retificadora para telecomunicações. Assim sua tensão de saída corresponde à tensão de saída da unidade retificadora e, portanto, deve atender às normas definidas pela ANATEL. Na Seção 6.7 da norma 542 [4], são dadas duas possíveis tensões nominais de saída, 24 VDC e 48 VDC. Para este trabalho, foi escolhido 48 VDC por ser um valor mais utilizado. Além disso, de acordo com [4], é necessário que o conversor em ponte completa com ZVS, para essa tensão nominal, tenha uma faixa de ajuste entre 45 VDC e 59 VDC.

- Corrente Nominal de Saída

Por esse conversor ser um estágio de saída, a corrente entregue por ele corresponde à corrente na saída da unidade retificadora. Para esse parâmetro não existe uma especificação, assim, escolhemos um valor que atende à demanda de mercado. Dessa forma, definiu-se 10 A como a corrente nominal de saída.

- Frequência de chaveamento (F_S)

Este é mais um parâmetro que não é definido por norma. Logo, foi escolhido 100 kHz como frequência de chaveamento, pois assim, além do controle poder atuar mais rapidamente, o tamanho físico dos elementos magnéticos é reduzido em comparação a um projeto com uma frequência mais baixa.

Porém, essa frequência de chaveamento não poder ser muito alta, em virtude da alta potência e da presença de elementos parasitas no circuito, principalmente sobre os elementos magnéticos e sobre as chaves.

- *Ripple* de saída

De acordo com a norma 542 na ANATEL [4], o *ripple* na saída de uma unidade retificadora não pode ultrapassar 200 mV pico a pico. Então, esse será o *ripple* máximo adotado no projeto do conversor em estudo.

- Eficiência (η)

De acordo com a norma [4], deve-se atender ao requisito de pelo menos 85% de eficiência para unidades retificadoras com corrente de saída abaixo de 25 A. Porém, como eficiência é um parâmetro que depende bastante de valores de componentes e os utilizados fisicamente nunca possuem 100% de exatidão no seu valor projetado, então é

recomendável adotar uma margem bem grande de segurança para essa especificação. Dessa forma, será adotado 95% de eficiência para esse projeto.

Na Tabela 4.1, é mostrado um quadro resumindo todas as especificações definidas e necessárias para prosseguirmos com o cálculo dos valores de componentes do conversor em ponte completa com ZVS e controle por desvio de fase.

Tabela 4.1 - Resumo das especificações do projeto.

Parâmetro	Valor
Tensão de Entrada (V_{IN})	400 VDC \pm 10 V
Tensão de saída (V_{OUT})	45 VDC ~ 59 VDC
Corrente nominal de saída(I_{OUT})	10 A
Frequência de Chaveamento(F_S)	100 kHz
Ripple de saída	200 mV
Eficiência (η)	95%

4.2 - Cálculo dos valores dos componentes

Uma vez definidas as especificações, presentes na Tabela 4.1, pode-se calcular a relação de espiras do transformador, os valores dos indutores parasita L_{LK} e do filtro L_{OUT} , além do valor do capacitor de saída.

4.2.1 - Cálculo da relação de espiras (n)

Relembrando a (2.3), temos:

$$\alpha = \eta (V_{IN(\min)} - 2V_{DSon}) \frac{D_{eff(\max)}}{V_{OUT(\max)} + V_F}. \quad (4.1)$$

Usando $V_{DSon} = 2 \text{ V}$, $V_F = 1 \text{ V}$ e um $D_{eff(\max)}$ de 80% (valor comumente usado em projetos do conversores em ponte completa [6]):

$$\alpha = 0,95 (390 \text{ V} - 2 * 2 \text{ V}) \frac{0,8}{59 \text{ V} + 1 \text{ V}}, \quad (4.2)$$

$$\alpha = 4,8893. \quad (4.3)$$

Assim, pode-se calcular a relação de espiras n :

$$n = \frac{1}{\alpha} = \frac{1}{4,8893}, \quad (4.4)$$

$$n = 0,2045. \quad (4.5)$$

4.2.2 - Indutor parasita (L_{LK})

Como visto em (2.5):

$$L_{LK} = \frac{\Delta D V_{IN(min)}}{4 F_S n I_{OUT}} [H], \quad (4.6)$$

arbitrando $\Delta D = 2\%$, pois uma vez que esse valor representa a diferença entre o ciclo de trabalho do primário e do secundário, ele não pode ser muito alto, pois quanto maior, menor a eficiência do conversor:

$$L_{LK} = \frac{0,02 * 390 V}{4 * 100 kHz * 0,2 * 10 A}, \quad (4.7)$$

$$L_{LK} = 9,53 \mu H. \quad (4.8)$$

Lembrando que, para descobrirmos o indutor parasita que deve ser adicionado ao circuito, devemos subtrair o valor da indutância presente no primário do transformador do valor calculado em (4.8).

4.2.3 - Indutor do filtro de saída (L_{OUT})

Inicialmente, relembando (2.7):

$$L_{OUT} = \frac{(V_{OUT(max)} + V_F)(1 - D_{eff(min)})}{2 F_S \Delta I_{L_{OUT}}} [H]. \quad (4.9)$$

Deve-se primeiro calcular o termo $D_{eff(min)}$:

$$D_{eff(min)} = n \frac{V_{OUT(min)} + V_F}{V_{IN(max)}} = 0,2045 * \frac{45 V + 1 V}{410 V} = 0,0244. \quad (4.10)$$

Assim, pode-se calcular o valor da indutância. Utilizando $\Delta I_{L_{OUT}} = 10\%$:

$$L_{OUT} = \frac{(59 V + 1 V)(1 - 0,0244)}{2 * 100kHz * 0,1}, \quad (4.11)$$

$$L_{OUT} = 292,83 \mu H. \quad (4.12)$$

4.2.4 - Capacitor do filtro de saída (C_{OUT})

Por fim, de acordo (2.9):

$$C_{OUT} = \frac{\Delta I_{L_{OUT}}}{8 F_S Ripple} [F], \quad (4.13)$$

calculando o valor do capacitor, tem-se que:

$$C_{OUT} = \frac{0,1}{8 * 100kHz * 200 mV}, \quad (4.14)$$

$$C_{OUT} = 6,25 \mu F. \quad (4.15)$$

4.3 - Projeto do Controlador Digital

Nesta seção será abordado o projeto do controlador do conversor, ou seja, a estratégia utilizada e o cálculo das constantes do controlador, utilizando o modelo de pequenos sinais obtido no Capítulo 3.

O objetivo do controle é fazer com que a tensão de saída siga a tensão de referência, controlando apenas o ciclo de trabalho efetivo presente no transformador. É com esse valor de ciclo de trabalho efetivo que o controle comanda a diferença de fase dos chaveamentos. Para realizar isso, precisamos que as nossas variáveis de estado sejam a corrente no indutor L_{OUT} e a tensão de saída. Já que precisamos controlar duas variáveis

de estado, mas temos apenas o ciclo de trabalho como variável de controle, vamos utilizar duas malhas de controle em série [10], como pode ser visto na Figura 4.2.

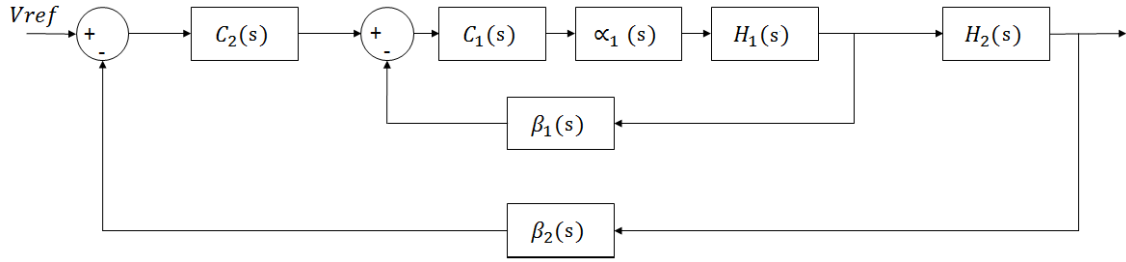


Figura 4.2 - Diagrama em blocos do controle.

Na Figura 4.2 tem-se que:

- $H_1(s)$ é a função de transferência da planta que representa a relação entre o ciclo de trabalho efetivo e a corrente no indutor L_{OUT} ;
- $H_2(s)$ é a função de transferência da planta que representa a relação direta entre a corrente no indutor L_{OUT} e a tensão de saída;
- $\alpha_1(s)$ é a função que modula o resultado do controlador para gerar o ciclo de trabalho efetivo, como mostrado na Figura 4.3;
- $\beta_1(s)$ e $\beta_2(s)$ são os ganhos de realimentação das respectivas malhas de controle;
- $C_1(s)$ é a função de transferência que representa o controlador proporcional-integral da malha de controle referente à planta $H_1(s)$, ou seja, o controle de corrente;
- $C_2(s)$ é a função de transferência que representa o controlador proporcional-integral da malha de controle referente à planta $H_2(s)$, ou seja, o controle de tensão.

O cálculo do controle deveria ser feito para o domínio discreto (em z), pois estamos lidando com um circuito chaveado com controlador digital, mas será calculado para o domínio contínuo (em s) por simplicidade. Isso se deve ao fato de que, o método de integração dos controladores digitais (tanto em simuladores quanto em microcontroladores) é trapezoidal, o que representa uma transformação bilinear entre o sistema contínuo e o discreto, ou seja, faz o mapeamento do semi-plano lateral esquerdo em s para dentro do círculo unitário do plano em z . Outra razão a ser levada em conta para utilização do controle contínuo é que está sendo realizado o chaveamento a 100 kHz

de um sinal de 120Hz, ou seja, uma frequência que satisfaz com folga ao Teorema da Amostragem de Shannon e Nyquist.

O chamado controle de corrente ($C_1(s)$) é necessário para ajustar o nível de tensão da saída do conversor, controlando o nível corrente no indutor do filtro de saída ao ajustar a fase de condução das chaves. Isso é possível pois pode-se determinar uma relação direta entre tensão de saída e corrente no indutor [1]. Assim, a diferença entre a corrente de referência e a corrente amostrada no indutor passa por um controlador proporcional-integral resultando em um valor de razão cíclica efetiva. Esse valor passa por uma lógica combinacional que transforma tal valor na diferença de fase do acionamento de algumas chaves analógicas, como mostrado na Figura 4.3. O resultado do cálculo do controle (V_{CTRL}) é comparado com uma onda dente-de-serra (V_{TRI}), que possui o dobro da frequência do sinal de ativação das chaves, gerando o sinal AUX. O tempo que esse sinal está em nível alto representa a diferença de fase que deve ser imposta ao acionamento das chaves. Para traduzir esse valor para uma diferença de fase dos sinais, foi utilizado uma lógica do tipo XOR, atrasando, assim, os sinais das chaves S3 e S4.

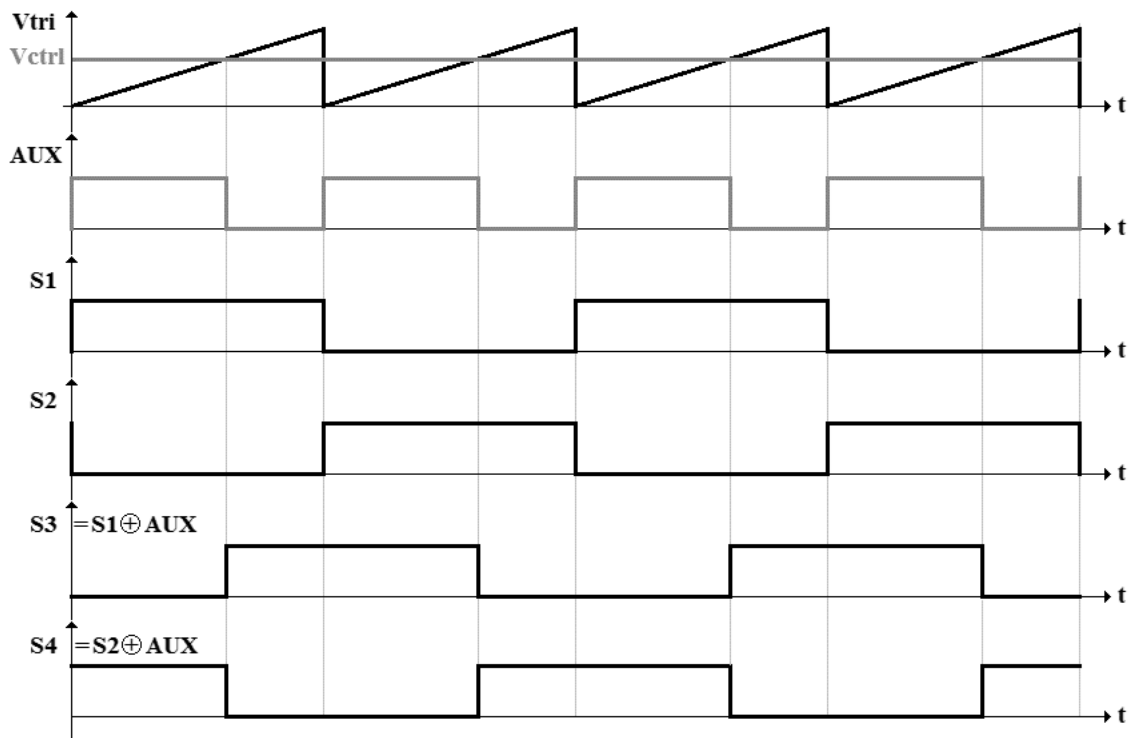


Figura 4.3 - Lógica que transforma o sinal de saída do controle em diferença de fase do acionamento das chaves

O chamado controle de tensão ($C_2(s)$) é o responsável por gerar um valor para a corrente de referência utilizada no controlador de corrente. A diferença entre a tensão de referência e a tensão lida na carga passa também por um controlador proporcional-integral e gera um valor numérico que representa a corrente de referência a ser utilizada na malha de controle de corrente.

4.3.1 - Cálculo do controlador de Corrente ($C_1(s)$)

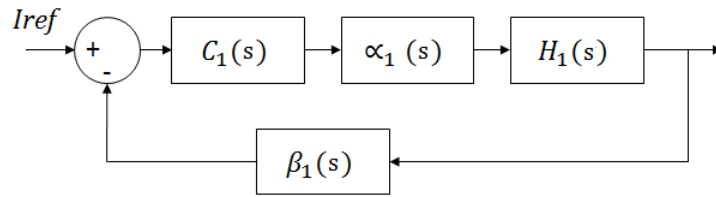


Figura 4.4 - Controle da corrente no Indutor de saída.

Na Seção 3.3.3 foi definido o modelo de pequenos sinais do conversor em ponte completa com ZVS e controle por desvio de fase. Agora, deve-se calcular as constantes do controlador proporcional-integral seguindo, o método descrito em [10]. Na Figura 4.4 está o diagrama de blocos que representa o que deve ser controlado por $C_1(s)$ e abaixo está a expressão da planta $H_1(s)$:

$$H_1(s) = nV_{IN} \frac{sC_{out}R_L + 1}{s^2C_{out}L_{out}R_L + s(L_{out} + C_{out}R_D) + R_L + R_D}. \quad (4.16)$$

Substituindo os valores de componentes calculados anteriormente:

$$H_1(s) = \frac{0,0024s + 80}{8,785 \times 10^{-9}s^2 + 0,0002938s + 4,953}. \quad (4.17)$$

De acordo com [10], para a determinação das constantes do controlador proporcional-integral, deve-se encontrar a frequência de *crossover* (ω_c) da planta $H_1(s)$ e a fase da planta nessa frequência. A frequência de transição é aquela em que o módulo da função de transferência tem valor unitário, ou seja, 0 dB. Na Figura 4.5 é apresentado o diagrama de Bode de $H_1(s)$ e na Tabela 4.2 estão os parâmetros observados nos gráficos.

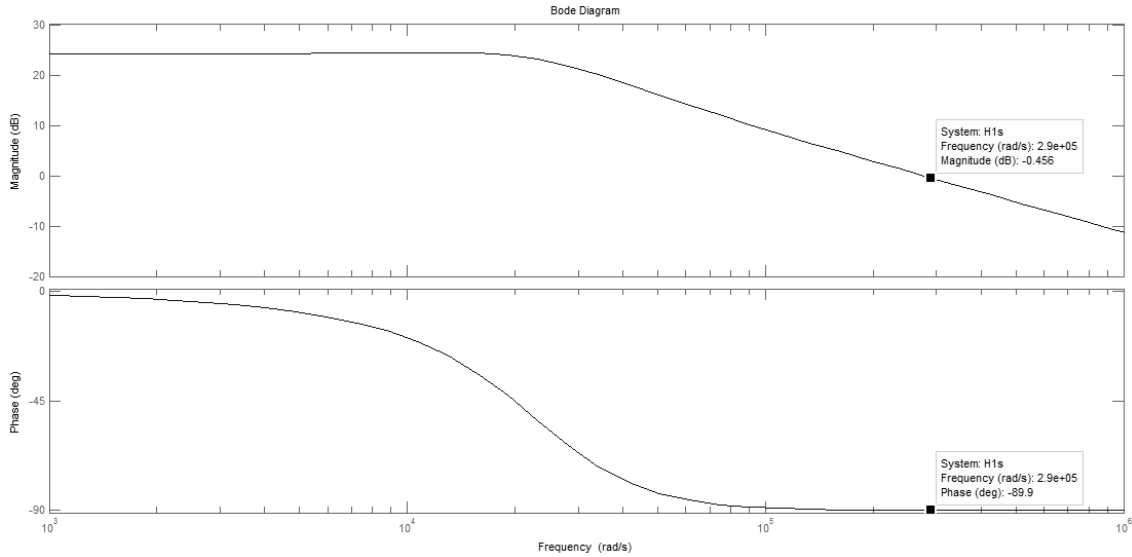


Figura 4.5 - Diagrama de Bode da planta $H_1(s)$.

Tabela 4.2 - Parâmetros de $H_1(s)$ para cálculo do controle

Frequência de crossover de $H_1(s)$ (ω_c)	290 krad/s
Fase em ω_c	-89,9°

O controlador $C_1(s)$, como já dito, é do tipo proporcional-integral, logo, pode-se representá-lo na forma:

$$C_1(s) = k_{Pi} + \frac{k_{Ii}}{s}, \quad (4.18)$$

sendo que k_P é a constante proporcional e k_i é a constante da integral:

Assumindo 100% de eficiência da leitura, e que a corrente lida no indutor tem a mesma ordem de grandeza que a corrente de referência, define-se:

$$\beta_1(s) = 1. \quad (4.19)$$

É preciso também definir quem é $\alpha_1(s)$. Esse parâmetro é a relação de transformação do valor na saída da malha de controle para gerar um valor de ciclo de trabalho, como visto na Figura 4.3. Será utilizada aqui uma onda dente de serra de amplitude de 3,3 V, já que é a tensão de alimentação de microcontroladores com tecnologia CMOS largamente utilizados atualmente. Esse valor é arbitrário, podendo ser bem menor, mas 3,3 V é apropriado para garantir que o sinal de controle não seja afetado

por ruído na prática. Assim, quando o valor de saída do controle for máximo, isso corresponderá ao valor de ciclo de trabalho efetivo máximo, ou seja, ciclo de trabalho unitário. Dessa forma, tem-se que:

$$\alpha_1(s) = \frac{1}{3,3}. \quad (4.20)$$

Para realizar o cálculo de todos os parâmetros do controlador, é necessária a utilização da função de transferência completa da malha do controle de corrente:

$$T_{CL}(s) = C_1(s) \alpha_1(s) \beta_1(s) H_1(s), \quad (4.21)$$

$$T_{CL}(s) = \left(k_{Pi} + \frac{k_{Ii}}{s}\right) \left(\frac{1}{3,3}\right) (1) \left(\frac{0,0024s + 80}{8,785 \times 10^{-9}s^2 + 0,0002938s + 4,953}\right). \quad (4.22)$$

Para a obtenção dos valores k_{Pi} e k_{Ii} são definidas duas condições [10].

$$|T_{CL}(s)| = 1 \quad (4.23)$$

$$\angle T_{CL}(s) = PM - 180^\circ = 90^\circ - 180^\circ = -90^\circ \quad (4.24)$$

onde $|T_{CL}(s)|$ e $\angle T_{CL}(s)$ são, respectivamente o módulo e a fase da função de transferência completa. PM é a margem de fase, onde colocamos a maior possível, ou seja 90° , pois assim ficamos longe da instabilidade e podemos ter uma maior liberdade para posterior ajuste das constantes. Para fazer o cálculo, deve-se substituir em (4.22) o parâmetro s por $j\omega$, obtendo a respectiva resposta em frequência em Transformada de Fourier:

$$T_{CL}(j\omega) = \left(k_{Pi} + \frac{k_{Ii}}{j\omega}\right) \left(\frac{1}{3,3}\right) \left(\frac{0,0024j\omega + 80}{-8,785 \times 10^{-9}\omega^2 + 0,0002938j\omega + 4,953}\right), \quad (4.25)$$

e calcular o módulo e fase de $T_{CL}(j\omega)$ de modo que satisfaça as condições mostradas em (4.23) e (4.24). Fazendo o cálculo, tem-se que:

$$k_{Pi} = 3,488, \quad (4.26)$$

$$k_{Ii} = 234859. \quad (4.27)$$

4.3.2 - Cálculo do controlador de Tensão ($C_2(s)$)

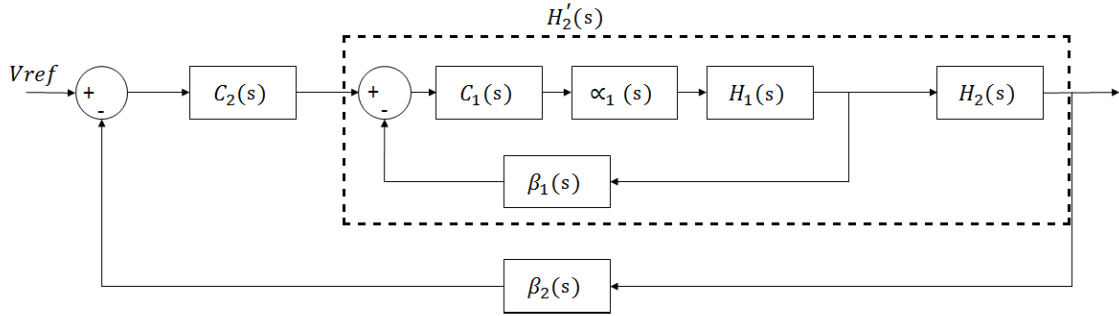


Figura 4.6 - Controle da tensão de saída do conversor.

O que é de interesse aqui agora é gerar uma corrente de referência para a malha de controle de corrente, e isso é possível pois pode-se obter uma relação direta entre tensão de saída e a corrente no indutor L_{OUT} .

Agora, o que será calculado é o controle da malha de tensão apresentada em destaque na Figura 4.6. A idéia é a mesma do controlador anterior, porém, nesse caso, não é preciso ter uma função que relaciona a saída do controle com o ciclo de trabalho efetivo. Relembrando a expressão que define $H_2(s)$:

$$H_2(s) = \frac{R_L}{sC_{out}R_L + 1}, \quad (4.28)$$

e substituindo os valores dos componentes calculados:

$$H_2(s) = \frac{4,8}{3 \times 10^{-5}s + 1}. \quad (4.29)$$

Com a função de transferência da planta definida, pode-se observar o diagrama de bode de $H_2(s)$ na Figura 4.7. Na Tabela 4.3 estão presentes os parâmetros observados nos gráficos.

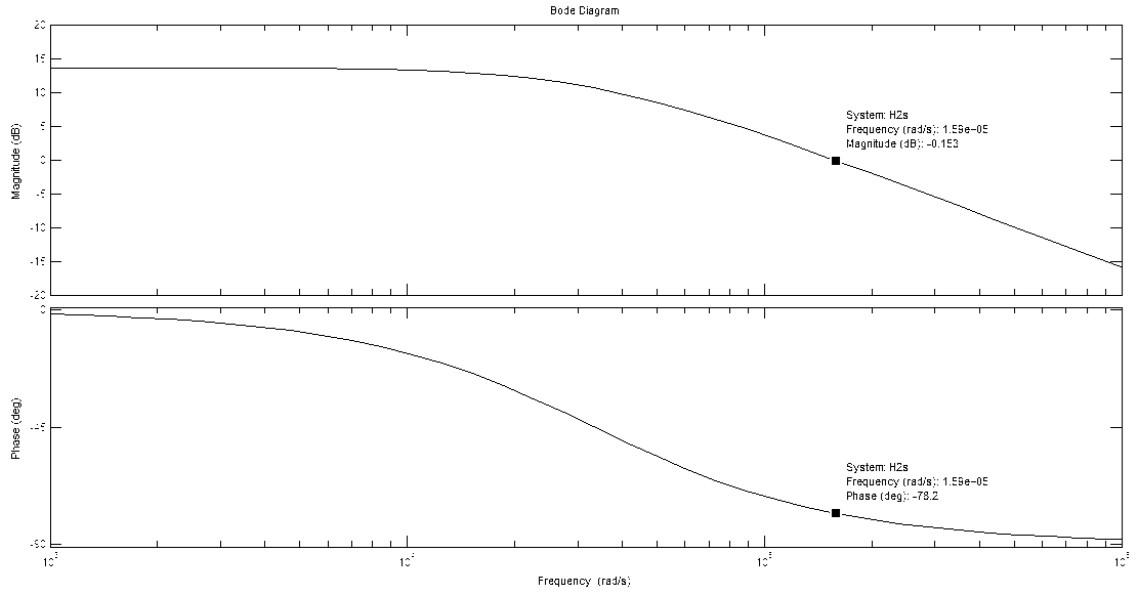


Figura 4.7 - Diagrama de Bode da planta $H_2(s)$.

Tabela 4.3 - Parâmetros de $H_2(s)$ para cálculo do controle

Frequência de crossover de $H_2(s)$ (ω_c)	159k rad/s
Fase em ω_c	-78,2°

Para esse controle, deve-se considerar a planta $H'_2(s)$ que representa a malha de controle de corrente em série com a planta $H_2(s)$, como é visto na Figura 4.6. Porém como a malha de corrente é capaz de corrigir os erros mais rapidamente que a malha de tensão [10], a dinâmica interna dessa malha pode ser desconsiderada. Assim, analogamente ao cálculo da seção anterior, temos que:

$$C_2(s) = k_{pv} + \frac{k_{lv}}{s}, \quad (4.30)$$

$$\beta_2(s) = 1, \quad (4.31)$$

$$H'_2(s) \cong H_2(s) = 16 * \frac{4,8}{3 \times 10^{-5}s + 1}. \quad (4.32)$$

Calculando a função de transferência completa dessa malha:

$$T_{VL}(s) = C_2(s) \beta_2(s) H'_2(s), \quad (4.33)$$

$$T_{VL}(s) = \left(k_{Pv} + \frac{k_{Iv}}{s}\right) * (1) * \left(\frac{76,8}{3 \times 10^{-5}s + 1}\right). \quad (4.34)$$

Para a obtenção dos valores k_{Pv} e k_{Iv} as condições são as mesmas apresentadas para o cálculo do controle de corrente:

$$|T_{VL}(s)| = 1, \quad (4.35)$$

$$\angle T_{VL}(s) = PM - 180^\circ = 90^\circ - 180^\circ = -90^\circ. \quad (4.36)$$

A margem de fase de 90° tem o mesmo motivo do cálculo anterior, ou seja, manter o controle longe da instabilidade para a possibilidade de um posterior ajuste do valor das constantes.

Para fazer o cálculo das constantes, deve-se substituir em (4.34) o parâmetro s por $j\omega$, e obter a respectiva resposta em frequência em Transformada de Fourier:

$$T_{VL}(j\omega) = \left(k_{Pv} + \frac{k_{Iv}}{j\omega}\right) * (1) * \left(\frac{76,8}{3 \times 10^{-5}j\omega + 1}\right), \quad (4.37)$$

e calcular o módulo e fase de $T_{CL}(j\omega)$ de modo que satisfaça às condições presentes em (4.35) e (4.36). Fazendo o cálculo, tem-se que os valores das constantes do controlador são:

$$k_{Pv} = 0,9946, \quad (4.38)$$

$$k_{Iv} = 33708,8. \quad (4.39)$$

4.4 - Conclusão

Agora tem-se todos os parâmetros do conversor calculados. Primeiramente, calculou-se os valores de componentes de acordo com as especificações definidas. Depois, foi realizado o cálculo do controle pelo método especificado [10] e obtiveram-se as constantes dos controladores proporcional-integral. Um resumo dos valores calculados é encontrado nas Tabelas 4.4 e 4.5.

Tabela 4.4 - Resumo dos valores de componentes calculados

Parâmetros	Valor
Relação de espiras (n)	0,2045
Indutor de ressonância (L_{LK})	9,53 μH
Indutor do filtro de saída (L_{OUT})	292,83 μH
Capacitor do filtro de saída (C_{OUT})	6,25 μF

Tabela 4.5 - Resumo das constantes dos controladores

Parâmetros	Valor
k_{pi}	3,488
k_{li}	234859
k_{pv}	0,9946
k_{lv}	33708,8

Assim, todo o projeto está dimensionado e as simulações podem ser realizadas e observados os resultados. Lembrando que as constantes dos controladores podem sofrer ajustes para atender a parâmetros importantes e necessários, mas não observados nos cálculos apresentados nesse Capítulo.

Capítulo 5

Simulações do circuito projetado

5.1 - Montagem

Para a simulação do conversor em ponte completa com ZVS e controle por desvio de fase será utilizado o PSCad, versão 4.5 *Free Edition*, um software largamente usado para simulação de circuitos de eletrônica de potência. Esse programa será usado para simular todo o sistema, incluindo o controle digital por desvio de fase. Na Figura 5.1 pode-se ver a montagem utilizada no PSCad. V_{in} é um sinal de 400 VDC porém, com um *ripple* de 10 V, como explicado na seção 4.1, por isso as duas fontes somadas na entrada, uma fixa de 400 V e outra alternada de 10 V de pico. Uma modificação feita aqui é o capacitor do filtro de saída. Como o valor calculado de $6.25 \mu\text{F}$ não é um valor comercial, é recomendável selecionar um valor que seja, e $10 \mu\text{F}$ foi o escolhido, pois, além de não aumentar significativamente o custo do projeto, ele nos ajuda em requisitos como *ripple* e diminuição de *overshoot*. Já para os indutores não há a preocupação com a disponibilidade de valores comerciais, pois como são de potência, devemos fazer o seu projeto físico com as especificidades da aplicação. Além disso, serão utilizadas as constantes dos controladores calculadas na Seção 4.3.

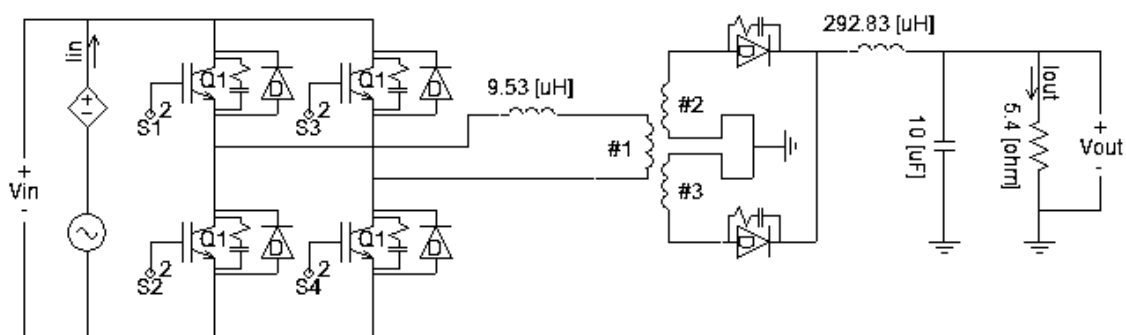


Figura 5.1 - Circuito utilizado para simulação.

Na Figura 5.2 é visto como é feita a montagem do controlador digital. Pode-se selecionar qualquer valor de referência dentro da faixa especificada, e o erro é calculado comparando a referência com o valor lido da tensão de saída. Esse erro passa por um controle proporcional-integral e gera a corrente de referência para o controle de corrente.

A saída do controle de corrente é comparada com um sinal triangular, e, seguindo o que é mostrado na Figura 4.3, é gerado o sinal que vai controlar a diferença de fase entre o acionamento das chaves. Em uma implementação real com um microcontrolador, não seria necessário fazer isso externamente ao chip, pois o mesmo já possui essa função internamente.

Outro fato que deve ser observado na Figura 5.2 é que, na saída do controle de tensão, que gera a corrente de referência, foi incluído um bloco saturador. Isso serve para que a referência do controle de corrente não ultrapasse o valor especificado, que no caso é de 10 A e, assim, o circuito não forneça mais corrente do que o suportado por ele e não desobedeça à norma.

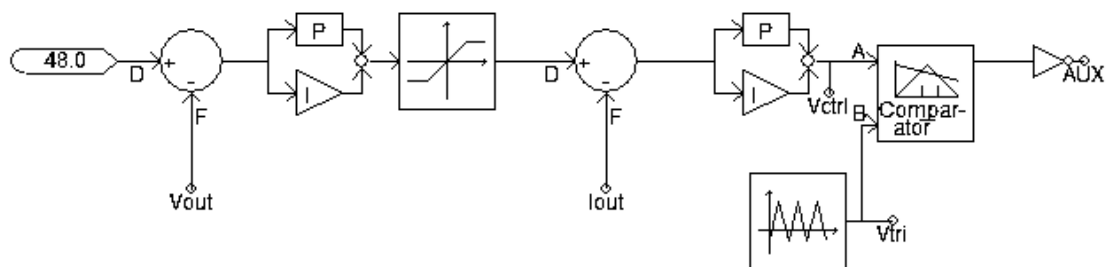


Figura 5.2 - Montagem do controlador do conversor.

Como visto na Figura 4.3, o sinal que sai do controle tem que passar por uma lógica combinacional para gerar a diferença de fase entre o acionamento das chaves. Como dito antes, os sinais S1 e S2 são fixos, inclusive com ciclo de trabalho fixo. Foi escolhido 50% para esse caso, mas são sinais complementares, ou seja, quando um está em nível alto, o outro está em nível baixo, e, juntamente com a presença de um tempo morto, prevenindo curtos-circuitos na entrada do circuito. Esses sinais são gerados na simulação ao compararmos um valor fixo de 0,5 com uma onda dente-de-serra com amplitude unitária e frequência de 100 kHz, como pode-se ver na Figura 5.3. Os sinais que são deslocados no tempo são S3 e S4, que são defasados de S2 e S1, são gerados seguindo a lógica definida anteriormente e ilustrada na Figura 4.3, utilizando portas lógicas XOR.

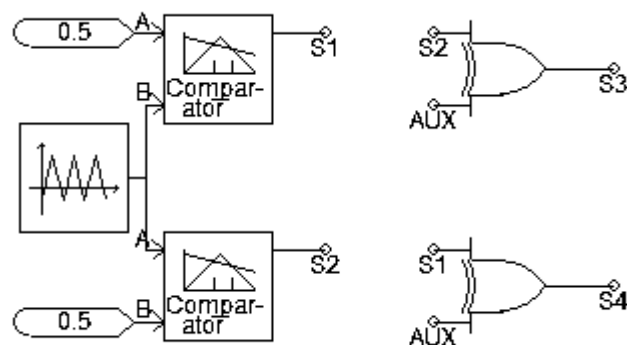


Figura 5.3 - Lógica que transforma a saída do controle em desvio de fase, onde a entrada AUX é proveniente do sistema da Figura 5.2.

Mais uma vez, deve-se considerar que, para uma realização real em um microcontrolador, essa lógica pode ser feita internamente ao chip via software.

5.2 - Simulações considerando componentes ideais

Primeiramente, serão apresentadas simulações do circuito projetado considerando os componentes ideais, principalmente os elementos semicondutores, pois estes afetam significativamente a eficiência do circuito por conta de suas resistências de condução. Assim, estamos considerando que não há perda de potência sobre eles durante o chaveamento.

O resultado do primeiro teste, usando como referência 54 V e uma carga de 5,4 Ω , é visto na Figura 5.4, onde o conversor atinge sua referência em aproximadamente 500 μ s e sua corrente está em 10 A, ou seja, o conversor funciona dentro das especificações básicas.

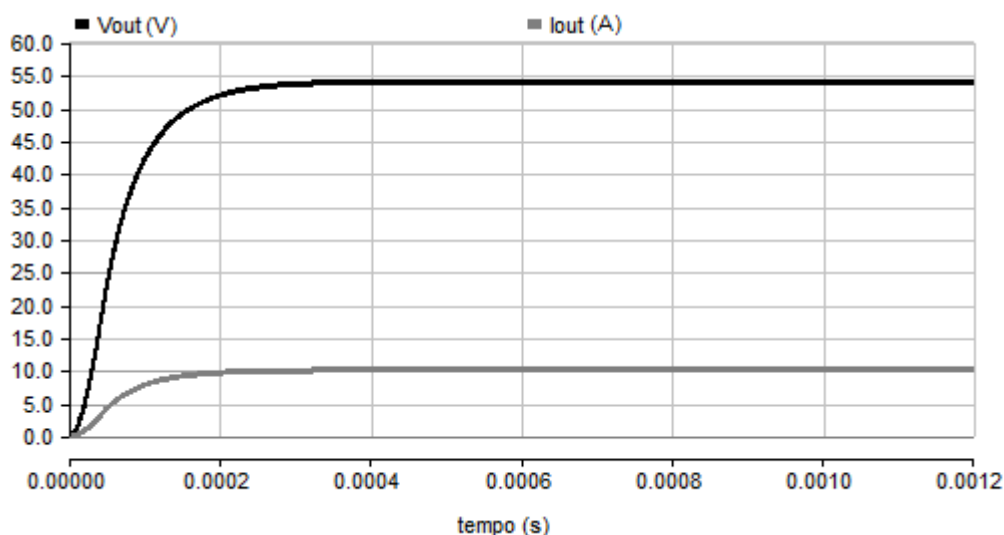


Figura 5.4 - Simulação inicial, mostrando a tensão na saída do conversor ao longo do tempo.

A seguir, será feito um esquema de simulações mais sistematizado. Utilizando a norma 542 [4], que também descreve os métodos de testes de unidades retificadoras (para qual o conversor desse projeto pode ser utilizado como um dos estágios), serão realizadas as simulações, observando os parâmetros que são testados pela ANATEL e que sejam relevantes para o conversor em estudo.

5.2.1 - Teste de Partida Gradativa

Para esse teste, a norma diz que o tempo para a corrente de saída atingir seu valor nominal deve ser inferior a 10 s e que não devem ocorrer *overshoots* no valor medido da tensão de saída. Esse teste é realizado com carga nominal, ou seja, tensão de saída de 54 V e corrente na carga de 10 A.

Vê-se na Figura 5.5 que a corrente atinge seus 10 A em aproximadamente 500 μ s e a tensão de saída não possui *overshoots*, como pode-se observar detalhadamente na Figura 5.6. Portanto, o conversor atende a esse requisito.

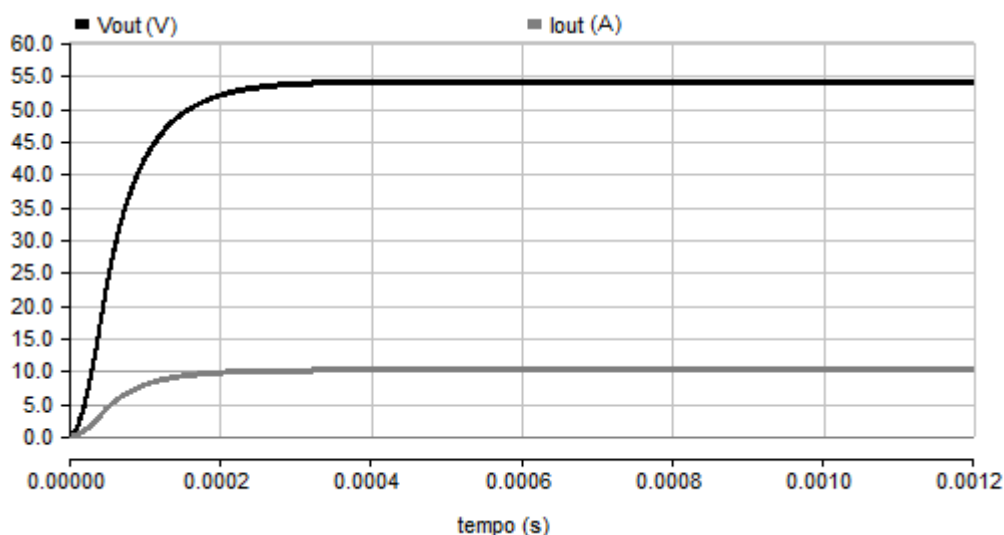


Figura 5.5 - Simulação de partida gradativa.

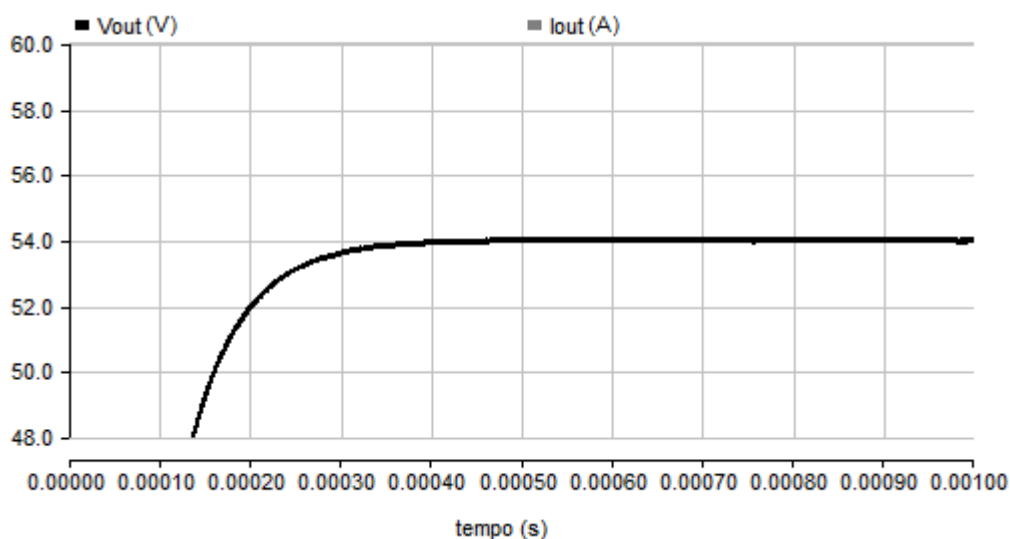


Figura 5.6 - Tensão de saída da simulação de partida gradativa com mais detalhes.

5.2.2 - Regulação Estática

Esse teste tem como objetivo verificar se a regulação estática da tensão de saída varia no máximo 1% da tensão de referência quando o circuito é submetido a cargas de 5% a 100% do valor nominal e 2% de variação máxima para cargas de até 5% do valor nominal. O procedimento é simples, basta variar as cargas entre os valores mencionados e verificar o valor de tensão na saída. Para o caso em estudo, serão apenas testados alguns

valores. Assim, se esses valores satisfizerem à norma, é provável que os intermediários também irão satisfazer.

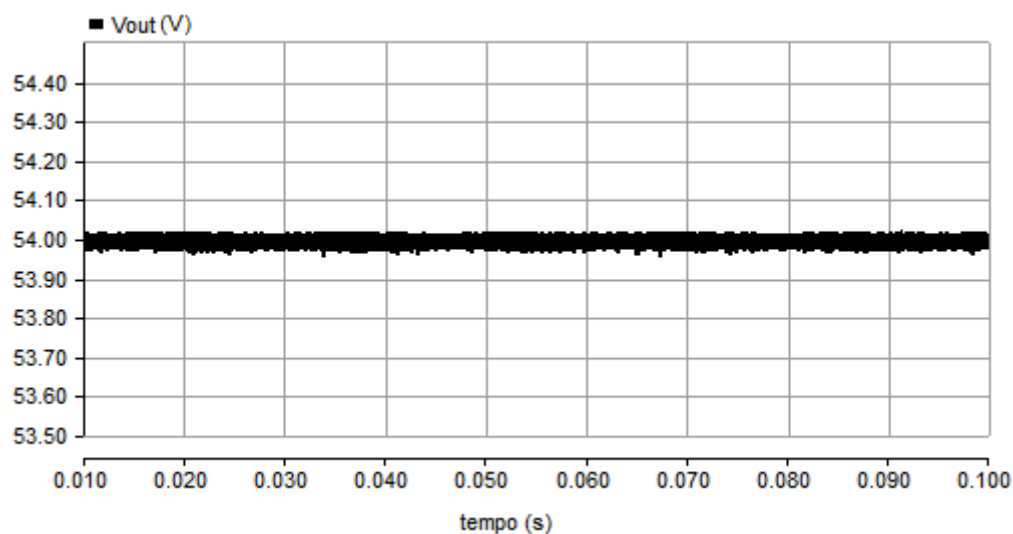


Figura 5.7 - Regulação estática para carga em 100% do valor nominal.

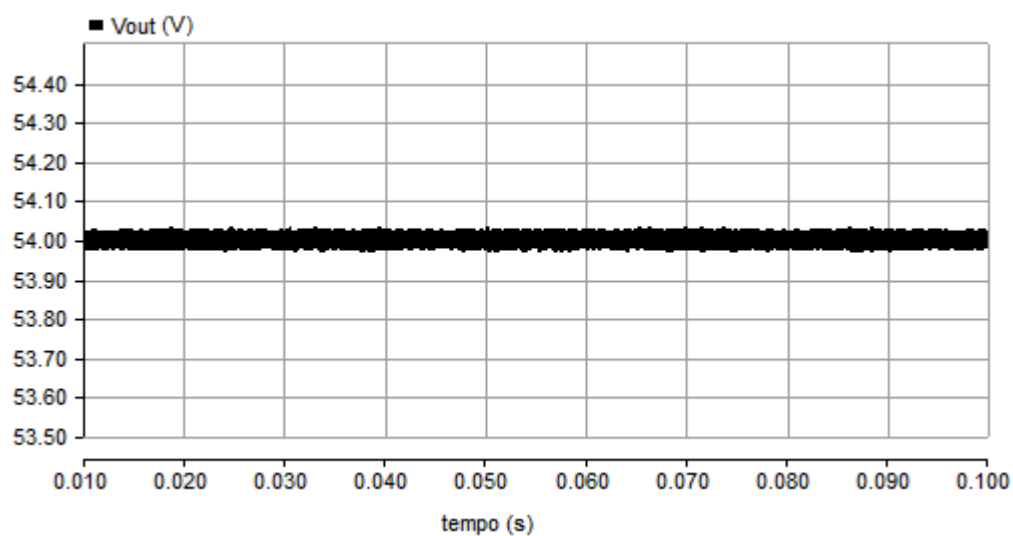


Figura 5.8 - Regulação estática para carga em 5% do valor nominal.

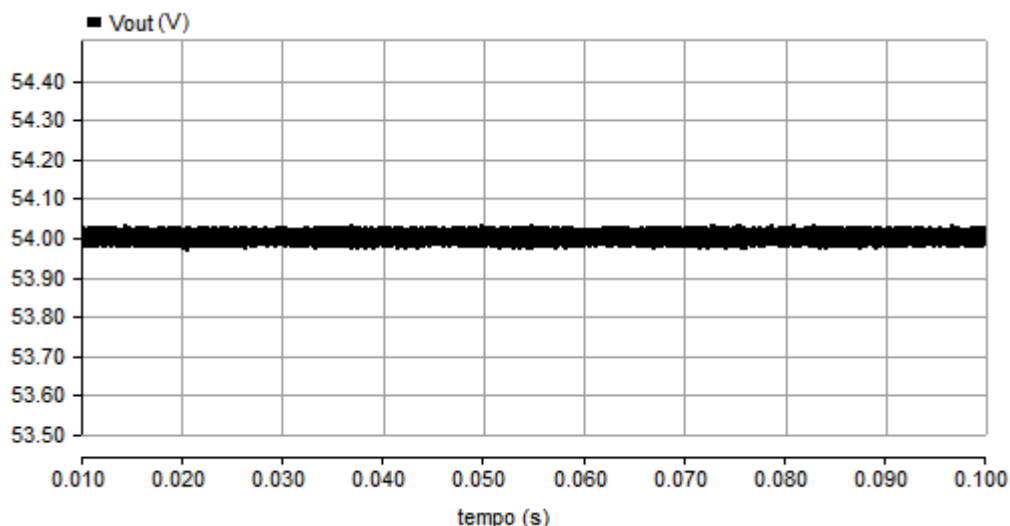


Figura 5.9 - Regulação estática para carga em 3% do valor nominal.

Nos resultados de simulação apresentados nas Figura 5.7, 5.8 e 5.9, é observado que a regulação estática está no valor de tensão nominal, atendendo ao requisitado pela ANATEL.

5.2.3 - Ripple

Essa simulação visa testar a tensão de ondulação, mais conhecida como *ripple*, na tensão de saída do conversor. A norma diz que o *ripple* presente na saída de uma unidade retificadora, que é a mesma saída do conversor aqui presente, não deve ser maior que 200 mV pico a pico para cargas de 5%, 50% e 100% do valor nominal.

Na Figura 5.10, para uma carga de 5% do valor nominal, que seria o pior caso, a ondulação apresenta um valor pouco maior que 50 mV. Na Figura 5.11, para uma carga de 50% do valor nominal, a ondulação apresenta também um valor pouco maior que 50 mV. Por fim, na Figura 5.12, para uma carga de 100% do valor nominal, também temos um *ripple* um pouco maior que 50 mV pico a pico.

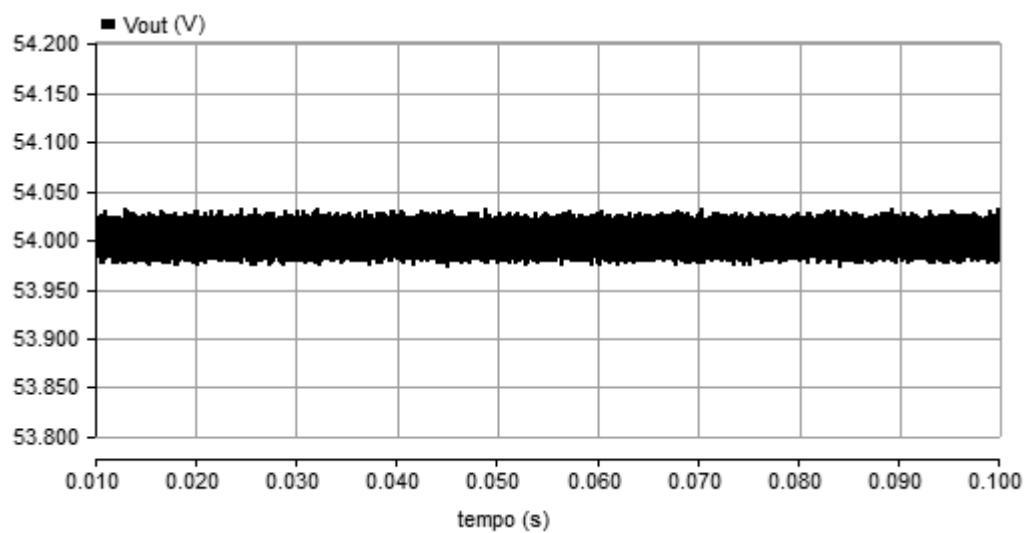


Figura 5.10 - Tensão de saída para carga em 5% do valor nominal.

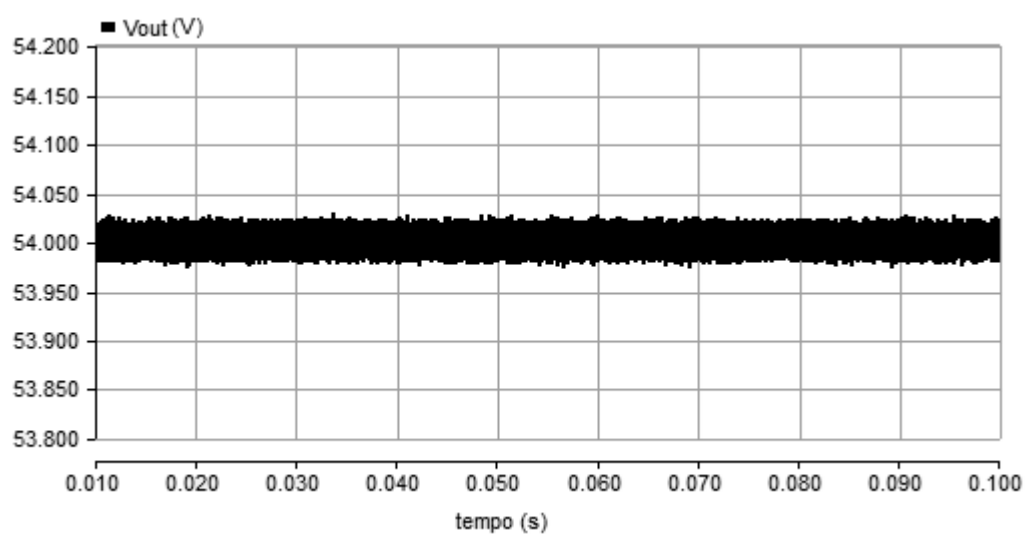


Figura 5.11 - Tensão de saída para carga em 50% do valor nominal.

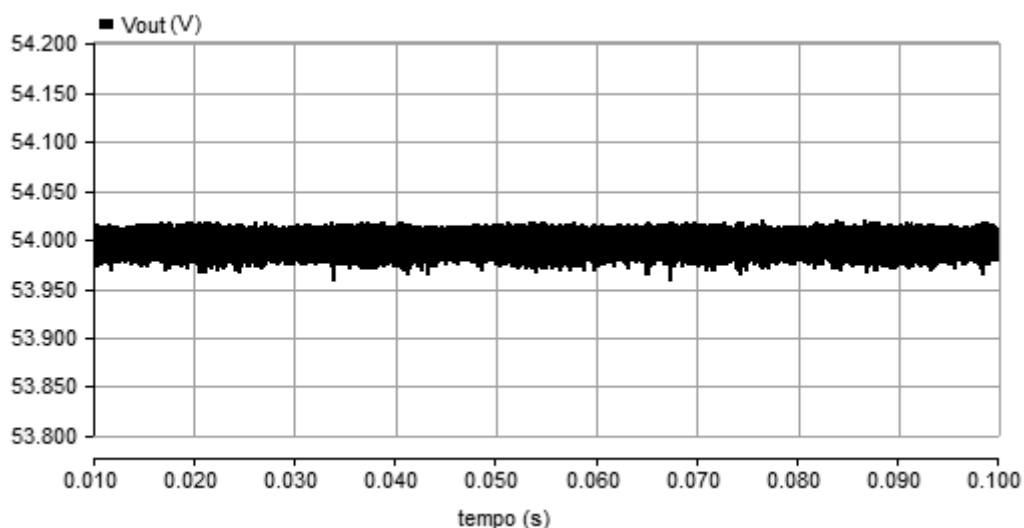


Figura 5.12 - Tensão de saída para carga em 100% do valor nominal.

Em suma, o requisito de ripple é mais um parâmetro exigido pela ANATEL que esse conversor do nosso estudo atende.

5.2.4 - Eficiência

Eficiência, chamado de rendimento pela ANATEL, é o quanto de potência está presente na saída do conversor em relação à entrada do mesmo, ou seja:

$$\eta = \frac{P_{OUT}}{P_{IN}}. \quad (5.1)$$

A norma 542 diz que, para unidades retificadoras com uma corrente nominal de saída acima de 25 A a eficiência deve ser maior que 87%. Já para corrente nominal de saída inferior a 25 A, que é o caso aqui apresentado, a eficiência do circuito deve ser superior a 85%. A norma se refere à eficiência de toda a unidade retificadora, mas como a eficiência de todo o circuito é a multiplicação das eficiências dos blocos que o compõe, isso significa que o nosso conversor deve atender à especificação de eficiência acima de 85%. O teste é feito com valores nominais de carga e de tensão na saída.

Como já dito inicialmente, a grande vantagem dessa topologia com ZVS é a alta eficiência desse circuito, e isso será comprovado com as simulações. No projeto, foi especificada uma eficiência de 95%, para termos uma grande margem de segurança, já que essa é uma especificação crítica. No gráfico da Figura 5.13 mostra-se a eficiência ao

longo do tempo, a partir do momento em que a tensão de saída se estabilizou em seu valor nominal. É observado que ela assume um valor próximo de 98,2% de eficiência, bem acima dos 85% exigidos pela ANATEL. Porém, aqui todos os componentes são considerados ideais, ou seja, não possuem perdas. Mais à frente será feita uma simulação com componentes com perdas para obter uma noção melhor desse requisito.

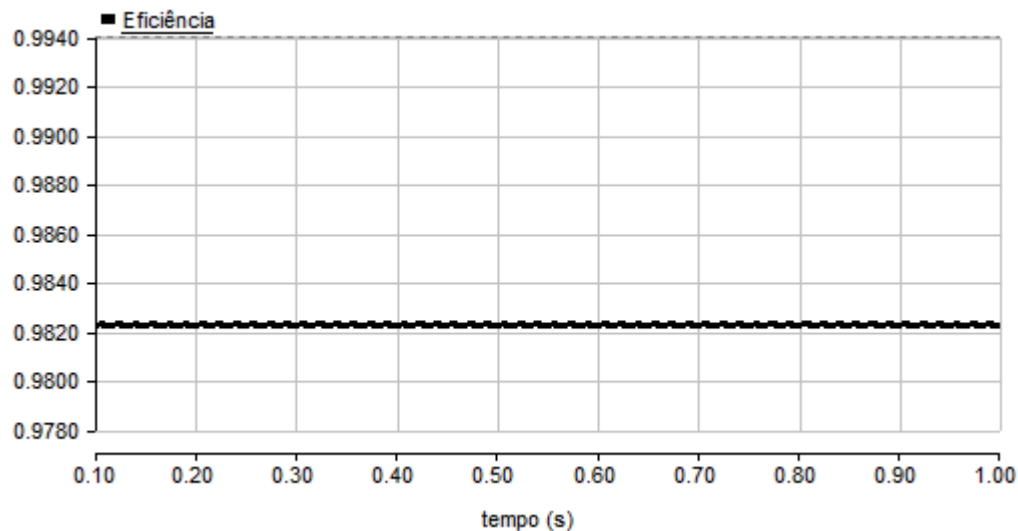


Figura 5.13 - Teste de eficiência do conversor.

5.2.5 - Limitação de Corrente

Esse teste verifica basicamente se o conversor possui um limitador para que a corrente de saída não ultrapasse a tolerância de 10% acima do especificado nominalmente. Para mostrar isso, colocou-se uma carga de $3\ \Omega$ na saída do conversor e fixou-se a tensão de referência em 54 V.

Pode-se ver, na Figura 5.14, que a corrente não passou dos 10 A, graças ao controlador que protegeu o circuito e, assim, a tensão de saída teve que ser abaixada para, no caso, 30 V, o que era esperado.

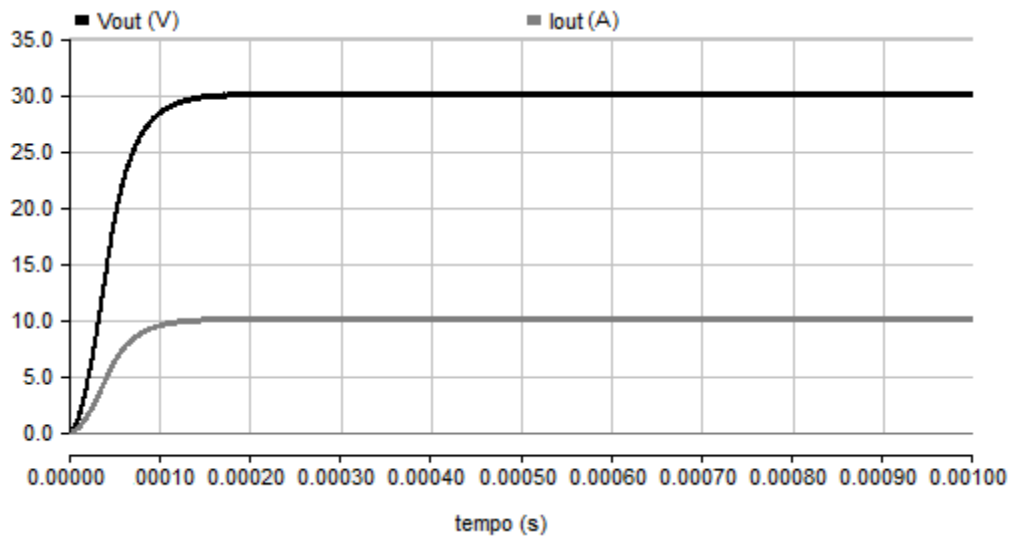


Figura 5.14 - Simulação de limitação de corrente.

5.3 - Simulações considerando erros do controlador

A partir de agora, não será mais considerado o controle como ideal. Microcontroladores possuem alguns detalhes que afetam a dinâmica de controle de qualquer circuito. A quantização e os erros de leitura de seus conversores analógico-digital devem ser levados em conta como perturbações, e o controle deve ser robusto o suficiente para rejeitá-las. Outra consideração que deve ser feita é que, como está sendo usado um chaveamento com uma frequência relativamente alta, deve-se observar como o tempo de atualização do valor de saída do controle afeta o conversor. Isso se deve pelo fato de que, por mais que o cálculo do controle seja feito rapidamente, o sinal de comando das chaves é atualizado apenas de tempo em tempo. Assim, o valor do controle calculado (no caso, é referente à diferença de fase entre a ativação das chaves) não é atualizado instantaneamente.

Para simular esses efeitos, foi feito um código em C que utiliza o algoritmo de um controlador PID implementado de forma discreta. Nesse mesmo código, tem-se uma função que quantiza em 12 bits a leitura feita e uma função que gera um erro aleatório com uma distribuição gaussiana e média zero para simular os efeitos não-ideais de leitura dos conversores analógico-digital. Essas características foram modeladas de acordo com as especificações do chip TM4C1294NCPDT. O valor do controle é atualizado a cada 10 μ s (que é o período referente à frequência de amostragem de 100 kHz), independente do passo de simulação do software utilizado. A função que define o algoritmo do PID utilizado [11] nesse controle a cada amostra k é:

$$u(t_k) = u(t_{k-1}) + K_P \left[\left(1 + \frac{\Delta t}{T_I} + \frac{T_D}{\Delta t}\right) e(t_k) + \left(-1 - \frac{2T_D}{\Delta t}\right) e(t_{k-1}) + \frac{T_D}{\Delta t} e(t_{k-2}) \right], \quad (5.2)$$

onde:

$$T_I = \frac{K_P}{K_I}, \quad T_D = \frac{K_D}{K_P}, \quad (5.3)$$

$u(t_k)$ é o valor do controle para o passo k , $e(t_k)$ é o erro entre o valor lido e a referência no passo k , K_P é a constante de proporcionalidade, K_I é a constante de integração e K_D é a constante derivativa. Como o uso para esse caso é de apenas um controlador proporcional-integral, $K_d = 0$.

Após feita a simulação com os valores calculados das constantes de controle, percebeu-se a necessidade de um ajuste. De fato, os valores das constantes de integração estavam bastante elevados. Porém, como o valor da diferença de fase calculada pelo controle demora mais tempo para atuar no circuito, os erros entre leitura e referência podem ser bem maiores, principalmente no início do funcionamento, o que leva o controle com as constantes de integração originais a calcular integrais com valores muito altos e fazer o controle se instabilizar. A solução é tornar a dinâmica de controle mais lenta, de forma que ele possa se recuperar de erros entre leitura e referência muito grandes, sem prejudicar a estabilidade do conversor. Na Tabela 5.1 estão os valores antigos das constantes, obtidos empiricamente, e a comparação com os valores atuais. Percebe-se uma variação bem grande, porém isso é possível, pois, no cálculo das constantes de proporcionalidade e integração, foi considerada uma margem de fase que deixasse o sistema em malha fechada bem longe da instabilidade. Assim, tem-se uma maior liberdade para ajustar tais valores.

Tabela 5.1 - Valores das constantes do controle ajustadas.

Parâmetros	Valor Calculado	Valor Ajustado
k_{Pi}	3,488	2,1
k_{Ii}	234859	23400
k_{Pv}	0,9946	0,09
k_{Iv}	33708,8	2580

Agora, as simulações feitas com os parâmetros ajustados podem ser apresentadas. São os mesmos testes utilizados na seção anterior. Assim, pode-se ter uma comparação direta do funcionamento antes e depois das considerações feitas.

5.3.1 - Teste de Partida Gradativa

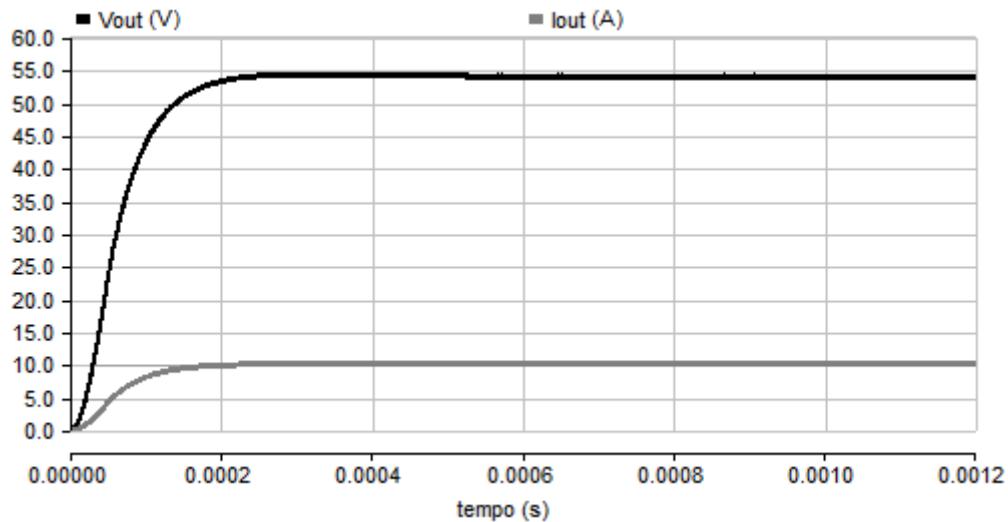


Figura 5.15 - Simulação de partida gradativa.

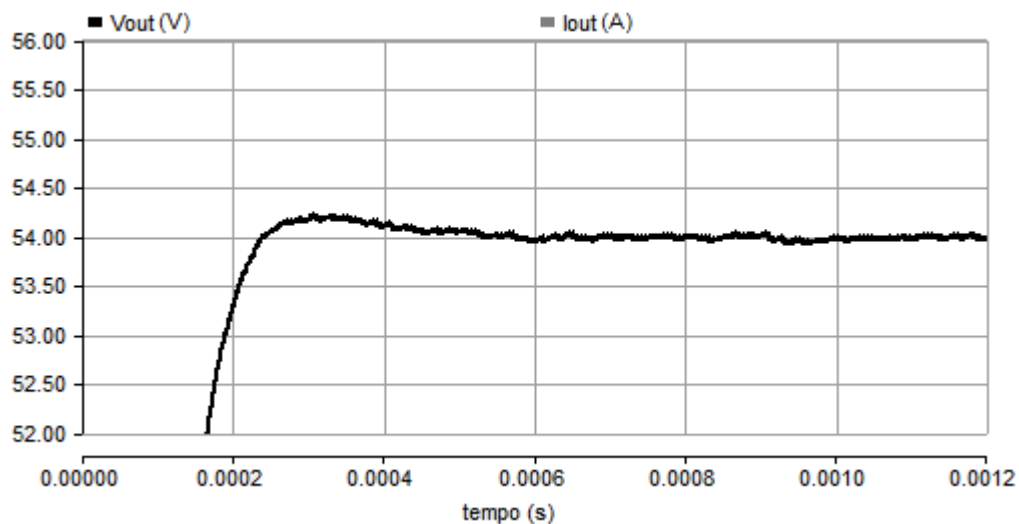


Figura 5.16 - Tensão de saída da simulação de partida gradativa com mais detalhes.

É visto na Figura 5.15 que a tensão de saída segue a referência de 54 V em bem menos que 10 s, como definido pela norma. Já na Figura 5.16, observa-se que há um pequeno *overshoot* de aproximadamente 250 mV. Porém, a norma diz que a regulação estática não deve ultrapassar um erro de 1% do valor ajustado, ou seja, 480 mV. Logo, esse pequeno *overshoot* não é impedimento para aprovação nesse requisito.

5.3.2 - Regulação Estática

Assim como para o caso ideal, aqui testa-se a regulação estática apenas para os alguns valores definidos de carga.

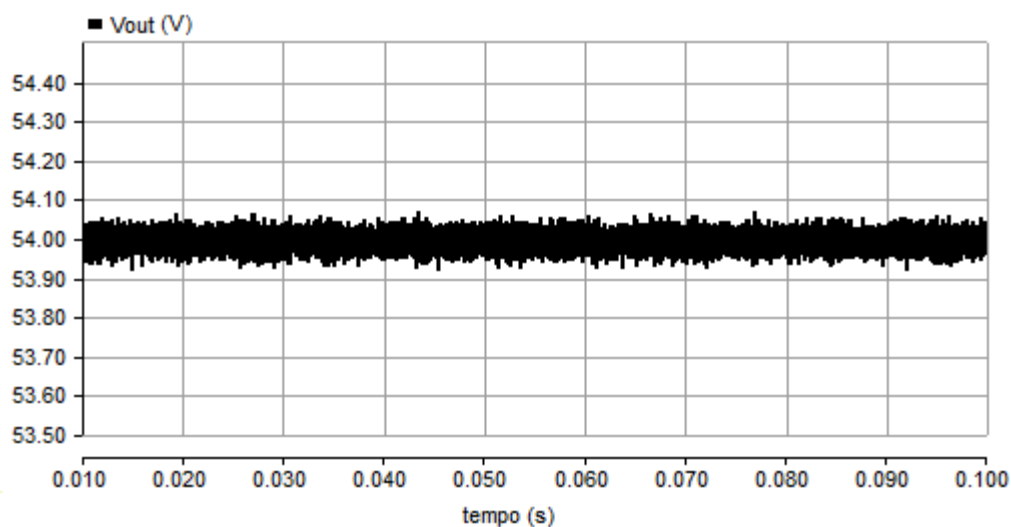


Figura 5.17 - Regulação estática para carga em 100% do valor nominal.

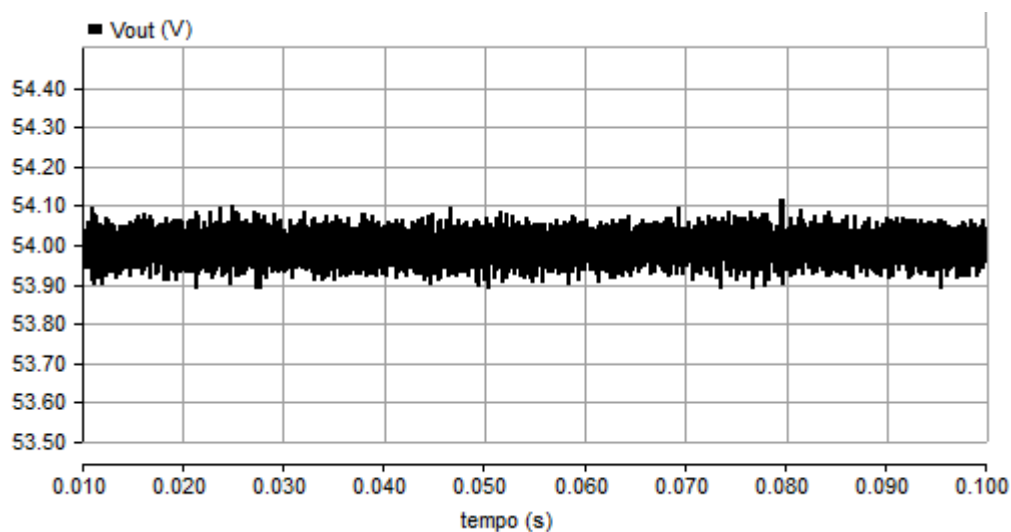


Figura 5.18 - Regulação estática para carga em 5% do valor nominal.

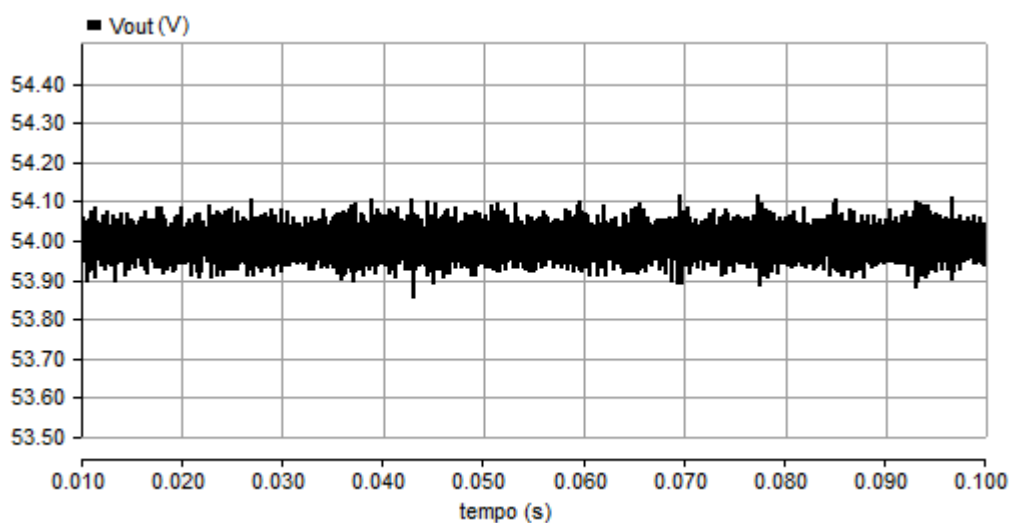


Figura 5.19 - Regulação estática para carga em 3% do valor nominal.

Observa-se na Figuras 5.17, 5.18 e 5.19 que, para tais valores de carga, o requisito de regulação estática seria aprovado segundo as normas da ANATEL, pois todos estão regulados próximos a 54 V.

5.3.3 - Ripple

Na Figuras 5.20 e 5.21, pode-se ver que o *ripple* está em torno de 150 mV pico a pico. Já na Figura 5.22, o *ripple* está em torno de 100 mV pico a pico. Assim, esse teste atende às especificações impostas pela ANATEL.

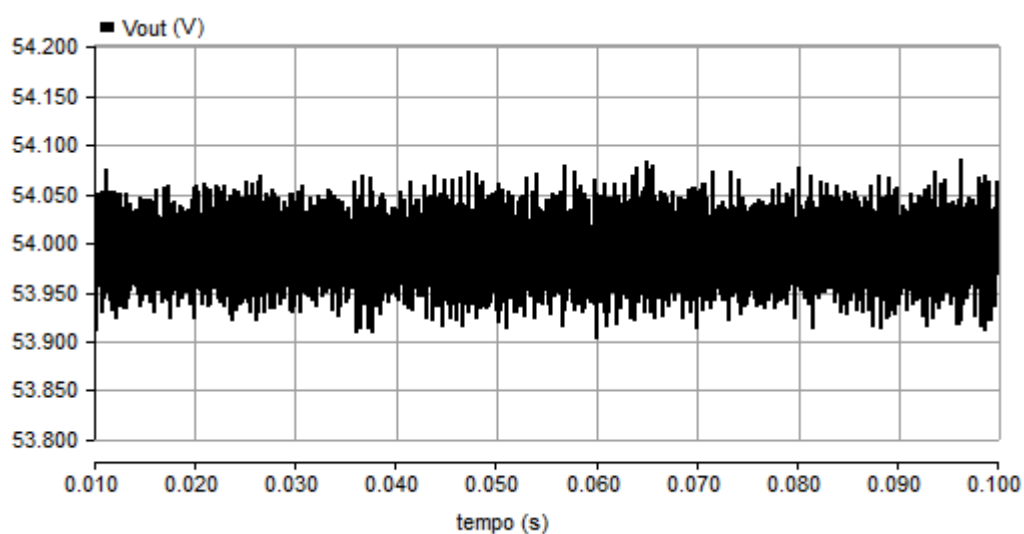


Figura 5.20 - Tensão de saída para carga em 5% do valor nominal.

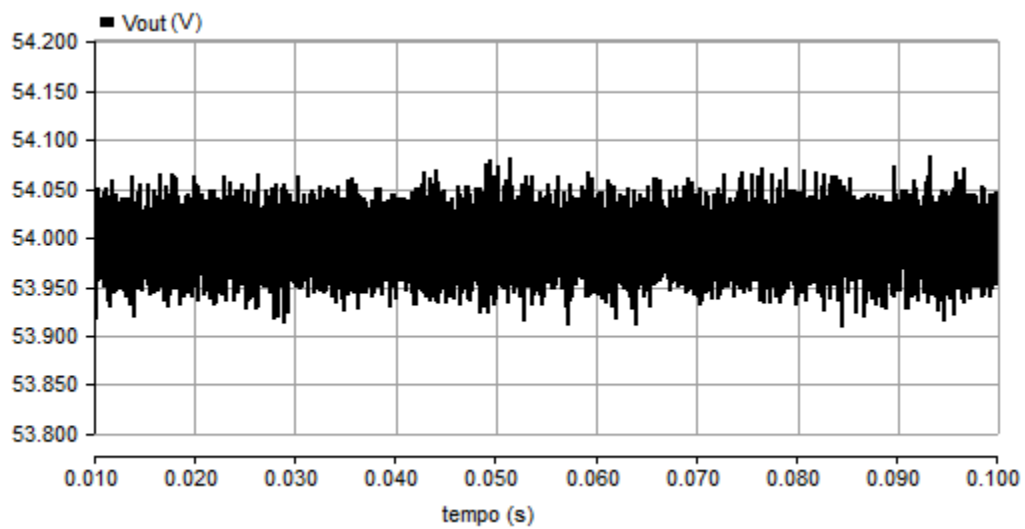


Figura 5.21 - Tensão de saída para carga em 50% do valor nominal.

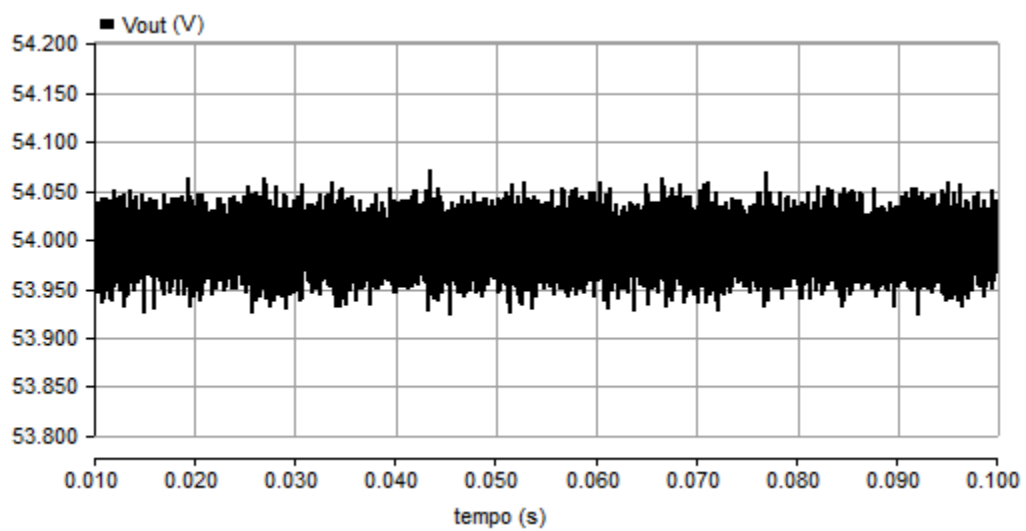


Figura 5.22 - Tensão de saída para carga em 100% do valor nominal.

5.3.4 - Eficiência

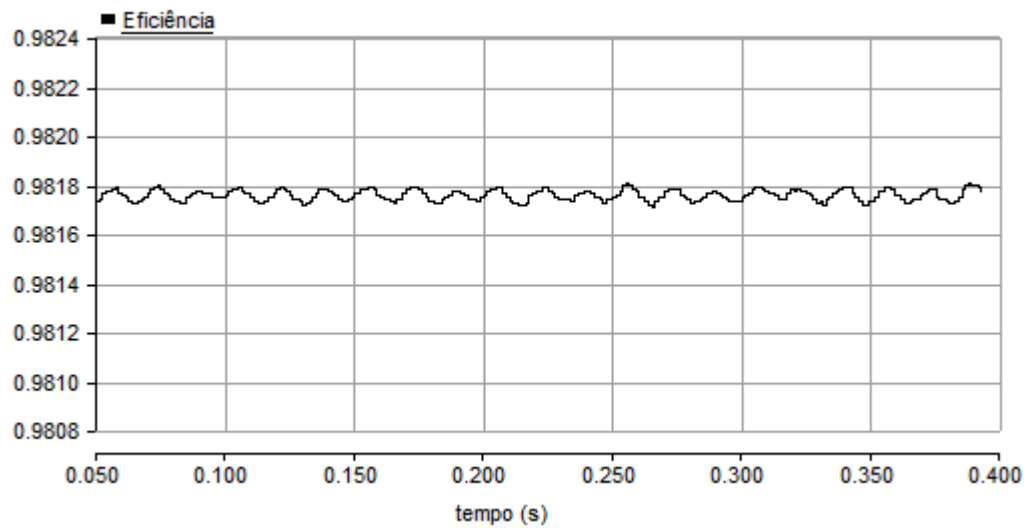


Figura 5.23 - Teste de eficiência do conversor.

É observado que a eficiência está um pouco abaixo de 98,2%, que foi o valor obtido na simulação da seção anterior. Porém, ainda continua bem acima do pedido pelas normas. Lembrando que nessa simulação, os componentes do circuito ainda são considerados sem perdas, por isso a alta eficiência obtida.

5.3.5 - Limitação de Corrente

Como anteriormente, coloca-se uma carga de $3\ \Omega$ na saída do conversor e a tensão de referência como 54 V. Pode-se ver que, na Figura 5.25, houve a ocorrência de um pequeno *overshoot*. Porém, nesse teste de limitação de corrente, esse requisito não é observado, ele é observado apenas para carga e tensão de saída nominais. Além disso, em regime permanente, a corrente passou um pouco dos 10 A, mas a norma diz que não se deve ultrapassar mais que 10% da corrente nominal, ou seja, 11 A. Assim, esse é mais um requisito que o conversor atende.

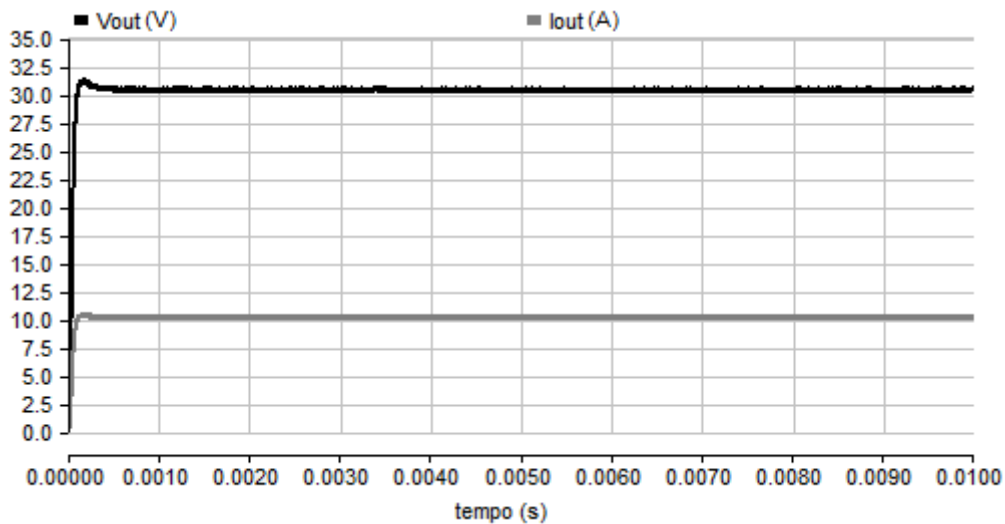


Figura 5.24 - Simulação de limitação de corrente.

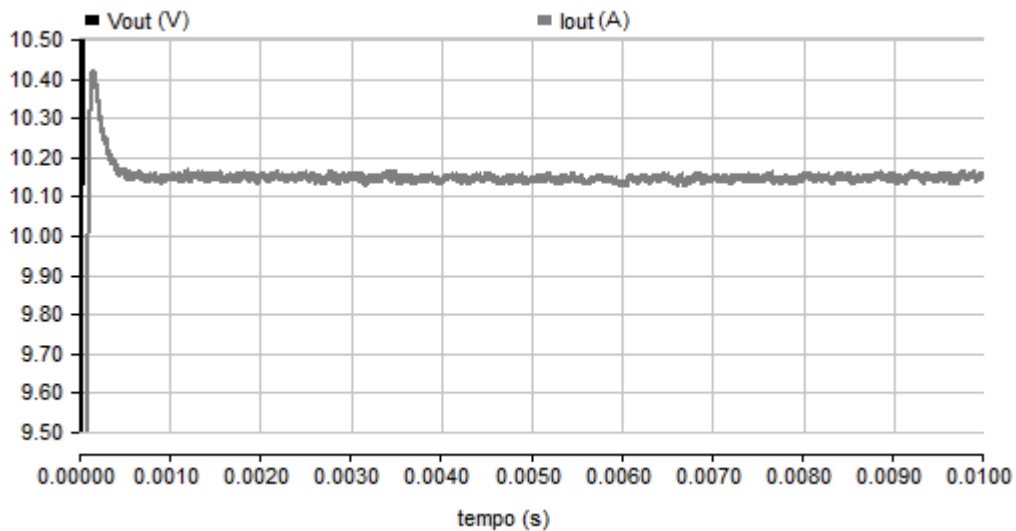


Figura 5.25 - Simulação de limitação de corrente com mais detalhes.

5.4 - Comparação entre os resultados

Pode-se dizer que as principais diferenças entre os dois tipos de simulações são os valores das constantes dos controladores proporcionais-integrais. Pois, com os valores ajustados, a simulação mais realística do controle digital apresentou resultados próximos aos obtidos na simulação anterior.

Deve ser observado também que ambos seguiram a referência de 54 V em um tempo bem menor do que o especificado, o que é bom, pois se for necessário um novo ajuste no momento de uma montagem física, visando deixar o controle mais lento, temos bastante margem de tempo até atingir os 10 s requeridos.

Um requisito que teve uma leve piora no último tipo de simulação é o *ripple*. Percebeu-se que ele aumentou de algo próximo de 50 mV para algo em torno de 100 mV pico a pico, mas ainda assim ele respeita à norma. Isso aconteceu pela demora da atualização do valor calculado, causando mais erros no cálculo do controle, gerando mais ruído de alta frequência.

Em suma, mesmo com os efeitos e perturbações que um controle digital causa na dinâmica do conversor, ao ajustarmos de forma correta as constantes de controle, conseguimos resultados satisfatórios e bem parecidos com aqueles resultantes das simulações ideais.

Capítulo 6

Montagem do circuito Físico

6.1 - Introdução

Depois de realizado todo o projeto do conversor, a simulação com componentes ideais e até mesmo simular os erros provenientes da leitura do ADC (*Analog-Digital Converter*) de um microcontrolador, pois é ele que faria o controle em uma implementação física, mais um passo será dado visando uma construção do circuito físico.

Nesse capítulo, serão abordados alguns circuitos auxiliares que são necessários ao conversor com uma implementação de controle digital. Serão também selecionados quais os componentes que serão usados na montagem em placa e também será realizado o projeto dos elementos magnéticos.

Com os respectivos *datasheets* dos componentes, pode-se tornar a simulação um pouco mais próxima do real, adicionando as características de cada dispositivo no modelo de simulação e verificando se o conversor continua atendendo às especificações, principalmente relativas à eficiência.

6.2 - Circuitos auxiliares

Como o objetivo desse trabalho é fazer uma implementação digital do controle, são necessários alguns circuitos auxiliares ao conversor e que são importantes para seu funcionamento. Circuitos para leitura das variáveis de controle (tensão de saída e corrente no indutor de saída) são necessários, uma vez que o conversor A/D do microcontrolador só lê valores entre 0 e 3,3 V. Drivers para ativação das chaves também são importantes, pois o microcontrolador não consegue fornecer corrente o suficiente para ativação das mesmas. Uma fonte auxiliar simples também é necessária para alimentar esses circuitos auxiliares, porém ela não será abordada aqui. Todas as montagens e simulações desses circuitos foram feitas com o software Design Entry CIS, que faz parte da suíte Allegro 16.6 com a licença da INOVAX.

6.2.1 - Instrumentação

Como já dito, o conversor A/D do microcontrolador só lê valores entre 0 e 3,3 V, e para isso precisa de circuitos de instrumentação para obter os valores de tensão de saída e corrente no indutor de saída. Como um microcontrolador só recebe valores de tensão, é utilizado um resistor do tipo *shunt* no conversor, como pode-se ver na Figura 6.1, que é um resistor de alta precisão. Assim, lendo a diferença de potencial sobre esse resistor, necessita-se apenas utilizar a Lei de Ohm para determinar a corrente que passa por ele. Já para a leitura de tensão, isso não é necessário.

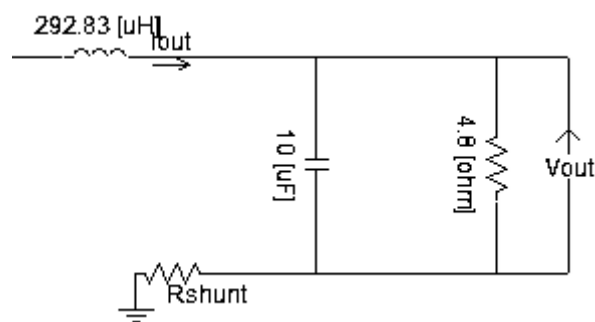


Figura 6.1 - Localização do resistor *shunt* no conversor.

Para a leitura da corrente, garante-se que a tensão lida em R_{SHUNT} seja menor que 3,3 V, pois o resistor *shunt* habitualmente possui baixíssima resistência, causando uma pequena diferença de potencial sobre ele. Porém, para a leitura da tensão de saída, será necessário utilizar um divisor resistivo, uma vez que as tensões podem chegar até 60 V.

Outro ponto que deve ser observado, até mesmo por questões de robustez do circuito, é que a referência do circuitos auxiliares e do microcontrolador deve ser diferente da referência do conversor, pois é recomendável que referências de sinais analógicos e de sinais digitais sejam distintas, para evitar interferências indesejadas. Assim, é necessário fazer uma leitura diferencial, e para isso foi utilizado um amplificador diferencial, cujo circuito é mostrado na Figura 6.2.

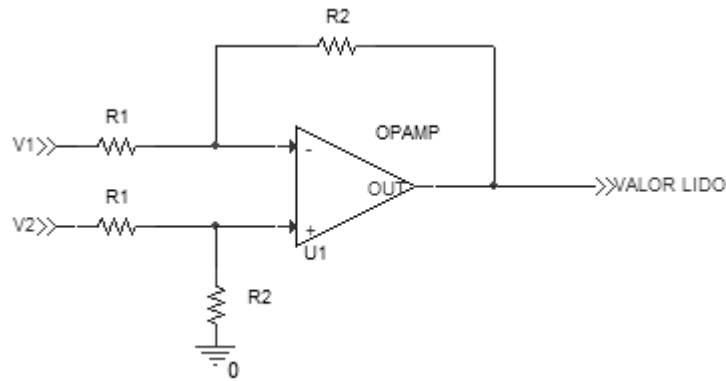


Figura 6.2 - Amplificador Diferencial.

E seus respectivos ganhos são:

$$A_d = -\frac{R_2}{R_1} \text{ e } A_{CM} = 0, \quad (6.1)$$

onde A_d é o ganho diferencial e A_{CM} é o ganho de modo comum.

Lembrando que todos os resistores utilizados, por serem para finalidade de leitura de valores, devem ter uma tolerância de, no máximo, 1% e o amplificador operacional também deve ser de precisão e com baixo ruído (no caso foi escolhido o amplificador operacional da série OPA192 da Texas Instruments [12]).

6.2.1.1 - Leitura da corrente do indutor

Como já explicado anteriormente, para a leitura da corrente no indutor de saída, tem-se um resistor shunt com o valor de $0,002 \Omega$. O circuito montado é apresentado na Figura 6.3. Para a simulação, tem-se uma fonte de corrente que gera correntes entre 0 A e 10 A, o resistor R3 faz o papel do *shunt*. A tensão sobre o *shunt* é de no máximo 0,02V. Assim, é recomendável amplificar esse valor para algo próximo de 3 V, para uma melhor leitura por parte do microcontrolador. Logo precisamos ter um ganho perto de 150. Tem-se no primeiro estágio um amplificador diferencial, que possui ganho 15 e, no segundo estágio, um amplificador inversor de ganho 10, formando o ganho de 150. Usando dois amplificadores inversores em cascata, a leitura não será invertida em relação ao valor lido.

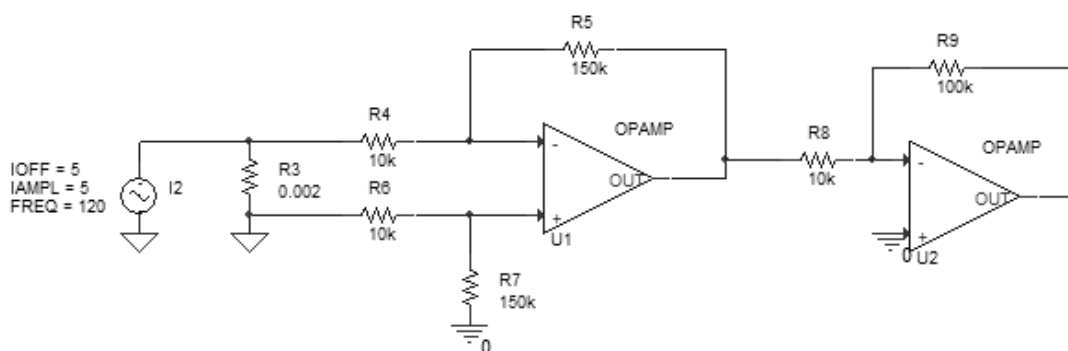


Figura 6.3 - Circuito para leitura de corrente.

Simulando esse circuito, pode-se ver na Figura 6.4 a tensão no resistor shunt e é comprovado que possui um valor máximo de 20 mV. Já na Figura 6.5, é observada a saída desse circuito de instrumentação, e vemos que seu valor máximo é de 3 V, como o esperado. Assim, é necessário apenas, ao implementarmos o código do controlador, lembrar de fazer a conversão do valor de tensão lido para o correspondente valor de corrente, ou seja, multiplicar o valor de tensão lido por uma constante igual a $10/3$, pois, por exemplo, se a corrente a ser lida for de 5 A, ela vai gerar uma tensão de 10 mV no R_{SHUNT} e, portanto, o microcontrolador receberá uma tensão de 1,5 V. Assim, ao multiplicar esse valor de tensão por $10/3$, tem-se o valor igual a 5 A. Como o circuito de leitura é linear, essa relação vale para qualquer valor lido.

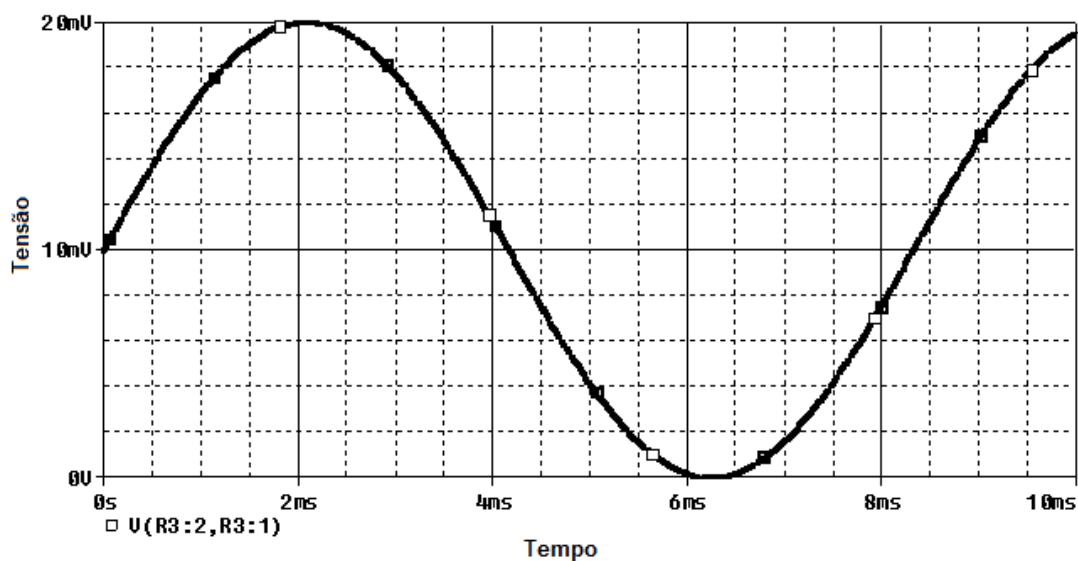


Figura 6.4 - Valor de tensão sobre o resistor *shunt*.

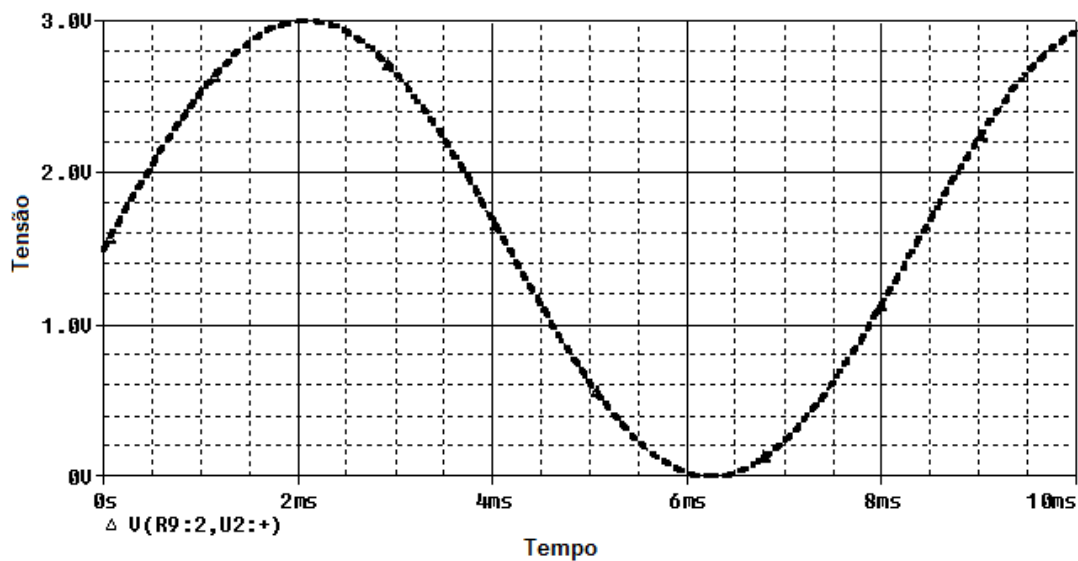


Figura 6.5 - Valor de tensão na saída do circuito de instrumentação.

6.2.1.2 - Leitura da tensão de saída

A leitura de tensão de saída é mais fácil, já que é necessário apenas adequar o valor lido aos 3,3 V permitidos pelo microcontrolador e fazer a leitura utilizando o amplificador diferencial. Como já dito, usa-se um divisor resistivo, como mostrado na Figura 6.6. No caso, tem-se uma fonte de tensão que simula a saída do conversor, gerando tensões entre 0 V e 60 V. Há um divisor resistivo que reduz o valor máximo de 60 V a aproximadamente 3 V e o amplificador diferencial de ganho unitário. Aqui utilizamos o amplificador diferencial apenas para compatibilização entre as referências do conversor (e, consequentemente, do divisor resistivo) e do microcontrolador.

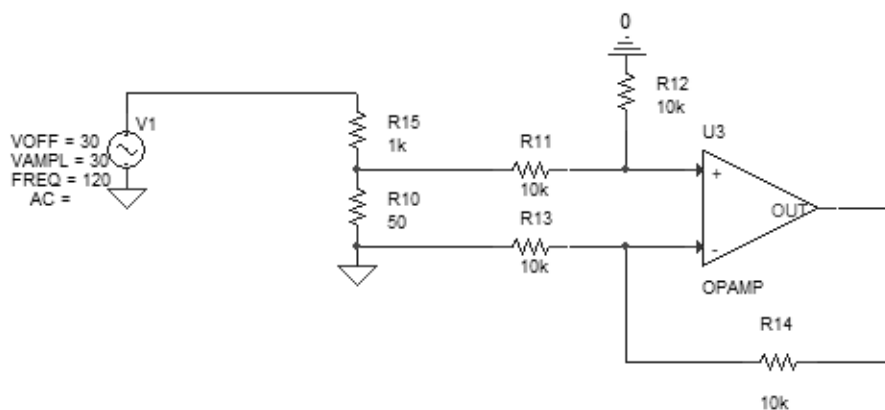


Figura 6.6 - Circuito para leitura de tensão.

Simulando o circuito acima, é visto na Figura 6.7 que a tensão a ser lida é de aproximadamente 3 V, e na Figura 6.8 que a tensão lida é a mesma.

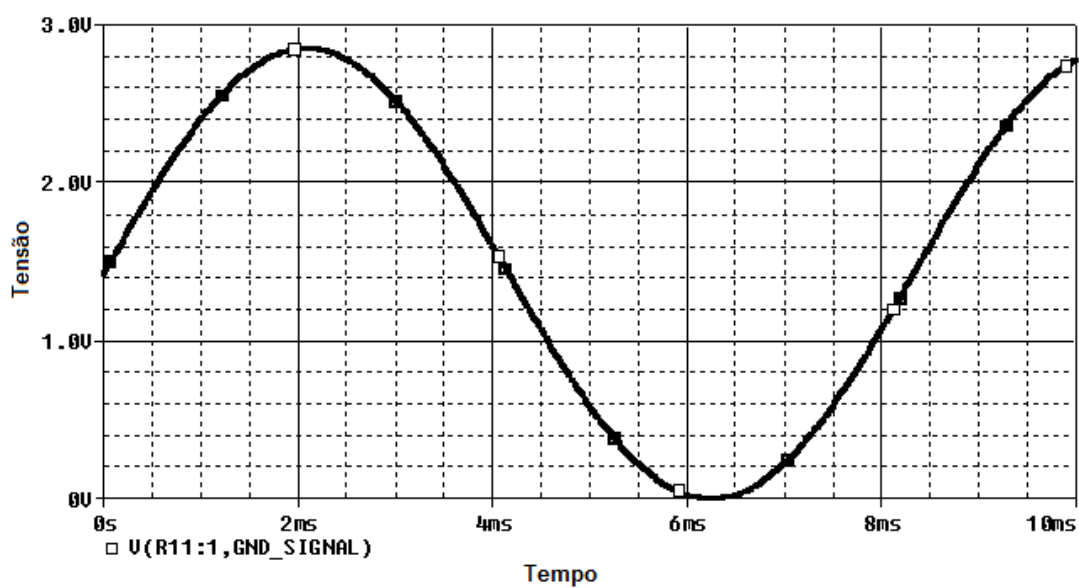


Figura 6.7 - Valor de tensão no divisor resistivo.

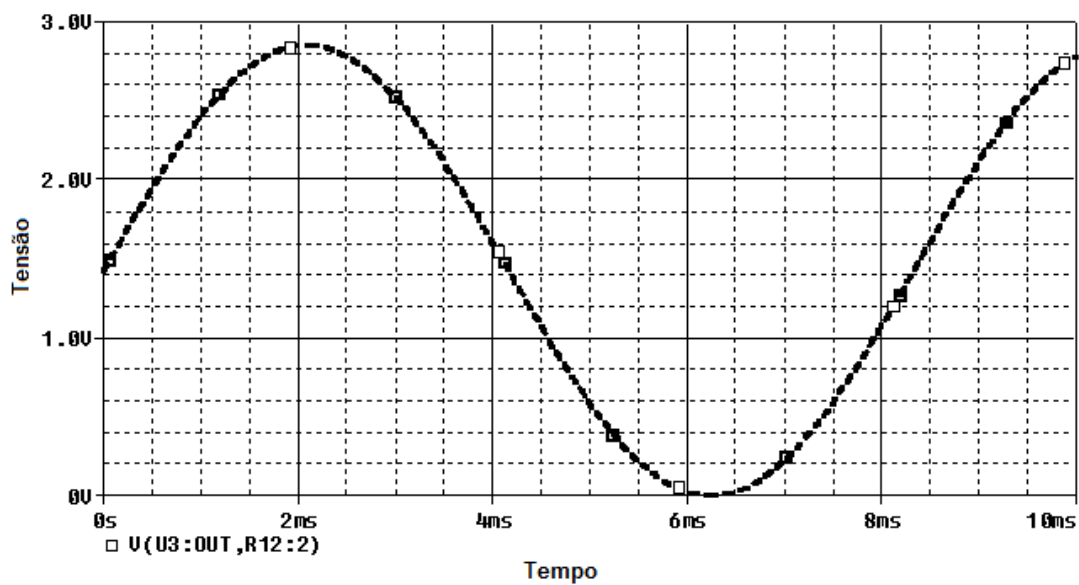


Figura 6.8 - Valor de tensão na saída do circuito de instrumentação.

6.2.2 - Drivers

Como pretende-se fazer uma implementação de controle digital, necessita-se de drivers para o comando dos MOSFETs, uma vez que o microcontrolador não fornece corrente o suficiente para ativar as chaves para o nível de potência que estamos trabalhando. Para isso, é utilizado o circuito integrado UCC27714 da Texas Instruments, que tem como aplicação fazer o driver de conversores em Meia Ponte e Ponte Completa. O circuito utilizado, e apresentado na Figura 6.9, é uma aplicação típica desse circuito integrado [13].

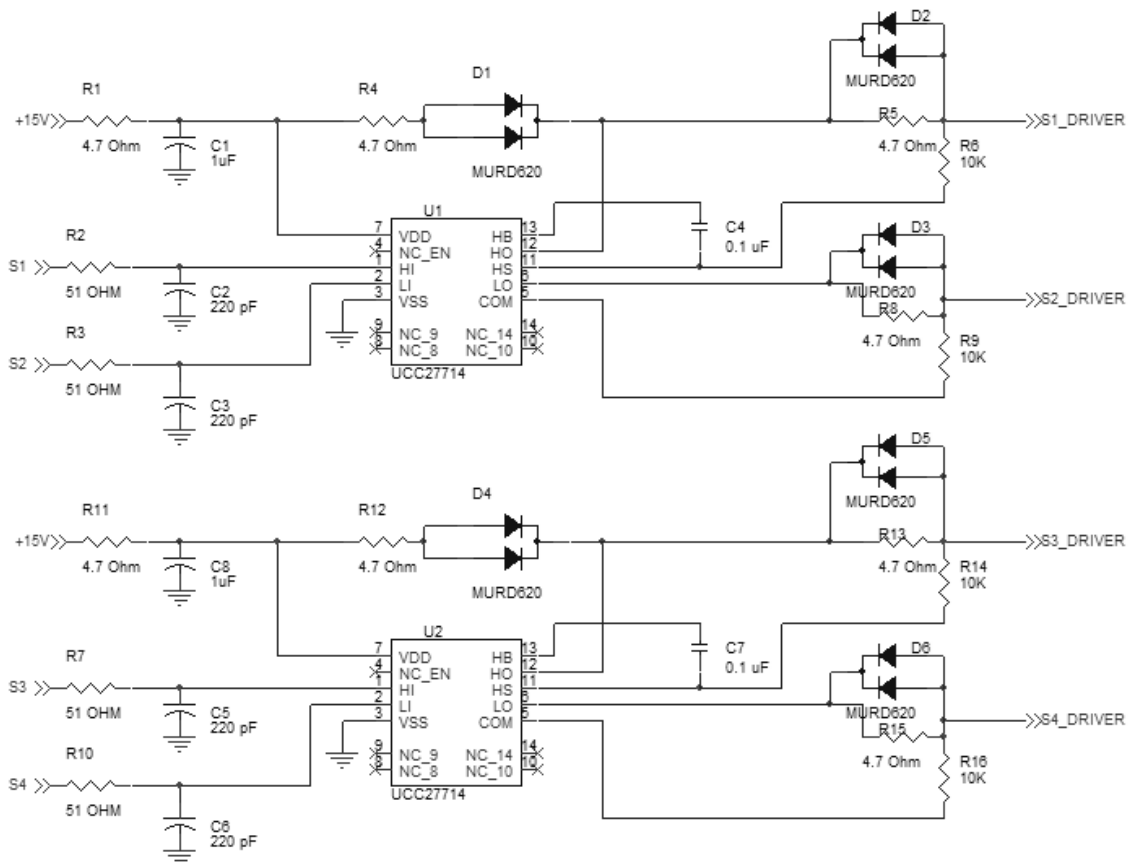


Figura 6.9 - Circuito de driver das chaves.

Alguns componentes devem ser calculados para a devida aplicação. Os componentes R1 e C1 servem como um filtro passa-baixa que impede que transitórios da fonte de tensão auxiliar atuem sobre o circuito. Deve-se também calcular os resistores chamados pelo fabricante de R_{BOOT} (R4 e R12 para o circuito da Figura 6.9). É recomendável que seus valores estejam 2Ω e 10Ω e eles servem para limitar a corrente nos diodos D1 e D4 [13]. Suas resistências são calculadas por:

$$R_{BOOT} = \frac{V_{DD} - V_{DBOOT}}{I_{DBOOT}}, \quad (6.2)$$

onde V_{DD} é a tensão de alimentação, V_{DBOOT} é a queda de tensão sobre o diodo em série com o R_{BOOT} quando polarizados diretamente e I_{DBOOT} é a máxima corrente que se deseja que passe pelo diodo. Assim utilizando $V_{DD} = 15\text{ V}$, $V_{DBOOT} = 1\text{ V}$ e $I_{DBOOT} = 3\text{ A}$:

$$R_{BOOT} = \frac{15 - 1}{3} = 4,333\ \Omega, \quad (6.3)$$

arrendondando para um valor comercial:

$$R_{BOOT} = 4,7\ \Omega. \quad (6.4)$$

Deve-se dimensionar também os resistores chamados de R_{HO} (R5 e R13 para esse caso) e R_{LO} (R8 e R15). Esses resistores servem para reduzir os efeitos de elementos parasitas e também para limitar a corrente que vai para o *gate* do MOSFET [13]. Eles são calculador por:

$$R_{HO} = R_{LO} = \frac{V_{DD} - V_{DBOOT}}{I_{HO}} - R_{HOH} = \frac{V_{DD} - V_{DBOOT}}{I_{LO}} - R_{LOH}, \quad (6.5)$$

onde I_{HO} e I_{LO} são as máximas correntes que passarão pelo *gate* dos mosfets e R_{HOH} e R_{LOH} são parâmetros dados pelo fabricante, e ambos valem $3,75\ \Omega$. Utilizando $I_{HO} = I_{LO} = 1,7\text{ A}$, tem-se que esse resistor vale:

$$R_{HO} = R_{LO} = \frac{15 - 1}{1,7} - 3,75 = 4,5\ \Omega, \quad (6.6)$$

arrendondando para um valor comercial:

$$R_{HO} = R_{LO} = 4,7\ \Omega. \quad (6.7)$$

Assim, com esse circuito, tem-se a certeza de que a corrente exigida do microcontrolador será adequada às suas especificações, e a corrente que vai comandar as chaves provém de uma fonte auxiliar. Além disso o circuito integrado UCC27714 protege o microcontrolador, pois ele coloca uma espécie de desacoplamento elétrico entre o sinal do driver e o sinal vindo do microcontrolador.

6.3 - Seleção de componentes reais

Até agora todos os componentes foram tratados como ideais, mas para uma implementação em uma placa de circuito impresso, precisa-se fazer a seleção dos componentes corretamente. Para o caso em estudo, a escolha dos elementos semicondutores é crítica, pois neles há uma perda de potência considerável, e como a alta eficiência é um dos requisitos a serem cumpridos, deve-se escolher componentes que possuem o mínimo de perda de potência possível. Para os indutores, como são de potência e têm valores específicos, seu projeto físico será detalhado.

6.3.1 - Escolha dos dispositivos semicondutores

Para as chaves, escolheu-se o MOSFET IPP50R190CEXKSA1 da Infineon Technologies. Ele possui uma corrente de dreno máxima de 18,5 A, suporta uma tensão entre dreno e fonte de até 550 V e possui um $R_{ds(on)}$ de 0,19 Ω . Assim, ele atende às especificações do circuito e possui uma menor perda de potência quando está em condução do que outros dispositivos do mesmo tipo [14].

Para os diodos retificadores, é necessário que sejam de baixa perda de potência e de rápida recuperação, pois estarão sob a frequência de chaveamento de 100 kHz. Para o caso, o diodo BYV415W-600P foi escolhido, que atende a esses requisitos [15]. Tem-se que a tensão de condução desse diodo a 15 A é tipicamente de 1,1 V, porém em corrente menor, essa tensão também é menor.

6.3.2 - Dimensionamento dos elementos magnéticos

Na Seção 2.4.5 foi apresentado como se faz o projeto físico dos elementos magnéticos, e ele será seguido nos cálculos seguintes. Porém, antes do início das contas, deve-se ter em mãos alguns dados mais gerais (tais como a excursão de densidade de fluxo magnético máxima, valor da densidade de corrente e valor de densidade e fator de ocupação do cobre dentro do carretel) que são definidos a gosto do projetista e podem servir para o projeto de todos os elementos magnéticos, além de dados específicos do componente, como seu valor (para o caso de indutores) e/ou relação de espiras (para o caso de transformadores) e a corrente de pico e RMS a qual ele é submetido.

Por serem valores comumente utilizados na prática por fabricantes de elementos magnéticos, serão utilizados os valores a seguir de B_{max} , J_{max} e k_w para os projetos dos indutores e transformador:

$$B_{max} = 0,51 \text{ T}, \quad (6.7)$$

$$J_{max} = 450 \text{ A/cm}^2, \quad (6.8)$$

$$k_w = 0,7. \quad (6.9)$$

6.3.2.1 - Projeto do indutor do filtro de saída (L_{OUT})

Calculando o produto $A_e A_w$:

$$A_e A_w = \frac{L I_{pico} I_{RMS}}{B_{max} J_{max} k_w} 10^4 \quad [\text{cm}^4], \quad (6.10)$$

Tabela 6.1 - Especificações do indutor de saída.

Parâmetro	Valor
L	292,83 uH
I_{pico}	10,2 A
I_{RMS}	10 A

$$A_e A_w = \frac{(292,83 \times 10^{-6}) \times 10,2 \times 10}{0,51 \times 450 \times 0,7} 10^4 \quad [cm^4], \quad (6.11)$$

$$A_e A_w = 1,86 \text{ cm}^4. \quad (6.12)$$

E o núcleo escolhido é o modelo NEE-42/21/15-400-IP12R da Thornton, com uma A_e de 181 mm² e A_l de 400 nH. O carretel selecionado para o mesmo foi o modelo TRZ 4215.010.2 da Terzi-LTDA, com um A_w de 190 mm². Assim:

$$N = \sqrt{\frac{292,83 \times 10^{-6}}{400 \times 10^{-9}}} = 27 \text{ espiras}. \quad (6.13)$$

Observando o efeito pelicular para essa frequência, vê-se que o diâmetro do fio de cobre a ser utilizado não pode ser maior que 2Δ , ou seja, 0,48 mm:

$$\Delta = \frac{7,5}{\sqrt{100\,000\text{Hz}}} \text{ cm} = 0,024 \text{ cm} = 0,24 \text{ mm}. \quad (6.14)$$

Outra especificação que o fio de cobre deve atender é área necessária para a corrente especificada. Nesse caso, tem-se que área do fio (ou a área de n fios em paralelo) deve ser de, pelo menos:

$$S_{fio} = \frac{10}{450} \text{ cm}^2 = 2,22 \text{ mm}^2. \quad (6.15)$$

Seguindo a tabela da *American Wire Gauge (AWG)*, que é uma escala de padronização de fios e cabos elétricos, foi escolhido o fio AWG 25, que possui um diâmetro de 0,4547 mm e área de 0,159 mm². Para não violar a condição do efeito pelicular, serão associados 14 fios desses em paralelo.

Para validar o projeto, será observada a possibilidade de execução, lembrando que o A_w do carretel escolhido é de 1,81 cm²:

$$A_{w_{min}} = \frac{27 \times 14 \times 0,00159}{0,7} \text{ cm}^2 = 0,86 \text{ cm}^2. \quad (6.16)$$

Logo, como o $A_{w_{min}}$ é maior que o A_w do núcleo, esse projeto é possível de ser executado.

Tabela 6.2 - Resumo do projeto físico do indutor de saída.

Parâmetro	Valor
Núcleo	NEE-30/15/7-400-IP12R
Numero de espiras	27
Fio de cobre	14 x AWG25

6.3.2.2 - Projeto do transformador

Tabela 6.3 - Especificações do transformador.

Parâmetro	Valor
Relação de espiras	0,2045
$V_{primario}$	400 V
D_{effmax}	0,50
I_{RMS}	1,41A

Segundo a Seção 2.4.5.2 e [8], será calculado o produto $A_e A_w$:

$$A_e A_w = \frac{V_{prim} D_{effmax} I_{RMS}}{f_s B_{max} J_{max} k_p k_w} 10^4 \quad [cm^4], \quad (6.17)$$

$$A_e A_w = \frac{400 \times 0,50 \times 1,41}{100000 \times 0,51 \times 450 \times 0,71 \times 0,7} 10^4 \quad cm^4 = 0,2472 \quad cm^4. \quad (6.18)$$

Escolheu-se, então, o núcleo NEE-25/10/6-55-IP12R da Thornton com um A_e de 39,29 mm² e A_l de 55 nH, e o carretel foi o TRZ 25.010.2 da Terzi-LTDA. Calculando o número de espiras:

$$N_p = \frac{V_{prim} D_{effmax}}{A_e f_s B_{max}} 10^4, \quad (6.19)$$

$$N_p = \frac{400 \times 0,5}{31 \times 100000 \times 0,51} 10^4 = 1 \quad espira, \quad (6.20)$$

$$N_s = n N_p = 0,2045 \times 1 = 0,2045. \quad (6.21)$$

Mas como não é possível fazer exatamente esses valores de espiras, vamos manter a relação, mas o número de espiras em cada lado do transformador:

$$N_s = 2 \text{ espiras}, \quad (6.22)$$

$$N_p = 10 \text{ espiras}. \quad (6.23)$$

O efeito pelicular aqui é o mesmo que no caso anterior, logo o diâmetro do fio de cobre a ser utilizado não pode ser maior que 0,48 mm.

Agora será calculado o fio de cobre necessário. É visto na equação abaixo que a área do fio deve ser maior que 0,31 mm². Escolheu-se novamente o fio AWG 25 e serão associados 2 fios desses em paralelo para não violar a regra do efeito pelicular

$$S_{fio} = \frac{1,41}{450} cm^2 = 0,31 mm^2. \quad (6.24)$$

Agora, para validar o projeto do transformador, precisa-se observar a possibilidade de execução, lembrando que o A_w do núcleo escolhido é de 47,88 mm²:

$$A_{w_{min}} = \frac{\sum_i N_i n_{condutores_i} S_{fio_i}}{k_w} [cm^2] \quad (6.25)$$

$$A_{w_{min}} = \frac{(2 + 2 + 10) \times 2 * 0,00159}{0,7} cm^2 = 18,62 mm^2 \quad (6.26)$$

Logo, como o $A_{w_{min}}$ é maior que o A_w do carretel, esse projeto é possível de ser executado.

Tabela 6.4 - Resumo do projeto do transformador.

Parâmetro	Valor
Núcleo	Thornton NEE-20/10/5-1300-IP12E
Numero de espiras	Primario = 10, Secundário = 2
Fio de cobre	2 x AWG25

6.3.2.3 - Projeto do indutor parasita (L_{LK})

Tabela 6.5 - Especificações do indutor parasita.

Parâmetro	Valor
L_{LK}	9,53 uH
I_{pico}	2 A
I_{RMS}	1,41 A

Antes de iniciar o projeto, deve-se observar qual a indutância presente no enrolamento do primário do transformador:

$$L_{primário} = N^2 A_l = 10^2 \times 55 \text{ nH} = 5,5 \text{ uH}, \quad (6.27)$$

para que esse valor seja subtraído do valor da indutância parasita que deve estar presente no conversor (9,53 μ H), ou seja:

$$L = L_{LK} - L_{primário} = 9,53 \text{ uH} - 5,5 \text{ uH} = 4,03 \text{ uH}, \quad (6.28)$$

e, assim, obtém o valor de indutância que deve ser adicionado ao circuito.

Como no projeto do indutor anterior, será calculado primeiramente o produto $A_e A_w$.

$$A_e A_w = \frac{(4,03 \times 10^{-6}) \times 2 \times 1,41}{0,51 \times 450 \times 0,7} 10^4 \quad [cm^4], \quad (6.29)$$

$$A_e A_w = 0,000707 \text{ cm}^4 = 7,07 \text{ mm}^4. \quad (6.30)$$

E o núcleo escolhido é o modelo NEE-8/4/4-450-IP6 da Thornton. Esse núcleo possui um A_l de 450 nH. Assim o número de espiras necessárias para realizar a indutância especificada é:

$$N = \sqrt{\frac{L}{A_l}}, \quad (6.31)$$

$$N = \sqrt{\frac{4,03 \times 10^{-6}}{450 \times 10^{-9}}} = 3 \text{ espiras}. \quad (6.32)$$

O efeito pelicular aqui é o mesmo que o caso anterior. Logo o diâmetro do fio de cobre a ser utilizado não pode ser maior que 0,48 mm.

Agora será calculado o fio de cobre necessário. É visto na equação abaixo que a área do fio deve ser maior que 0,31 mm². Escolheu-se novamente o fio AWG 25 e serão associados 2 fios desses em paralelo para não violar a regra do efeito pelicular

$$S_{fio} = \frac{1,41}{450} cm^2 = 0,31 mm^2. \quad (6.33)$$

Para validar o projeto, observar-se-á a possibilidade de execução, lembrando que o A_w do núcleo escolhido é de 24 mm²:

$$A_{wmin} = \frac{N n_{condutores} S_{fio}}{k_w} [cm^2], \quad (6.34)$$

$$A_{wmin} = \frac{5 \times 2 \times 0,00159}{0,7} cm^2 = 2,27 mm^2. \quad (6.35)$$

Logo, esse projeto é possível de ser executado.

Tabela 6.6 - Resumo do projeto físico do indutor parasita.

Parâmetro	Valor
Núcleo	Thornton NEE-8/4/4-450-IP6
Numero de espiras	3
Fio de cobre	2 x AWG25

6.4 - Simulações considerando componentes reais

Diferentemente de todas as outras simulações já apresentadas até aqui, agora, com os componentes semicondutores reais selecionados, serão consideradas as perdas neles. O objetivo aqui é observar se, mesmo com a perda de potência nos componentes do conversor, principalmente nos semicondutores que são os que consomem mais potência, a eficiência está acima do limite de 85% imposto pela norma 542 da ANATEL.

Estão sendo considerados, principalmente, os parâmetros dos dispositivos semicondutores (chaves e diodos), ou seja, serão adicionadas a resistências de condução das chaves e as tensões de junção dos diodos, tanto os retificadores como os que servem

como roda livre. Resistências internas de indutores e capacitores são consideradas, mas não são tão relevantes quanto as perdas em semicondutores.

Para essa simulação, as constantes dos controladores proporcional-integral não foram modificadas. Estão sendo utilizados os mesmo valores adotados nas últimas simulações mostradas até aqui, ou seja, aquelas que levam em conta perturbações causadas pelo controlador digital. O simulador PSCad permite que os componentes tenham seus parâmetros editados pelo usuário. Editando tais componentes do simulador com os parâmetros encontrados nos respectivos *datasheets* dos componentes reais selecionados, temos os resultados apresentados nas Figuras 6.10 e 6.11.

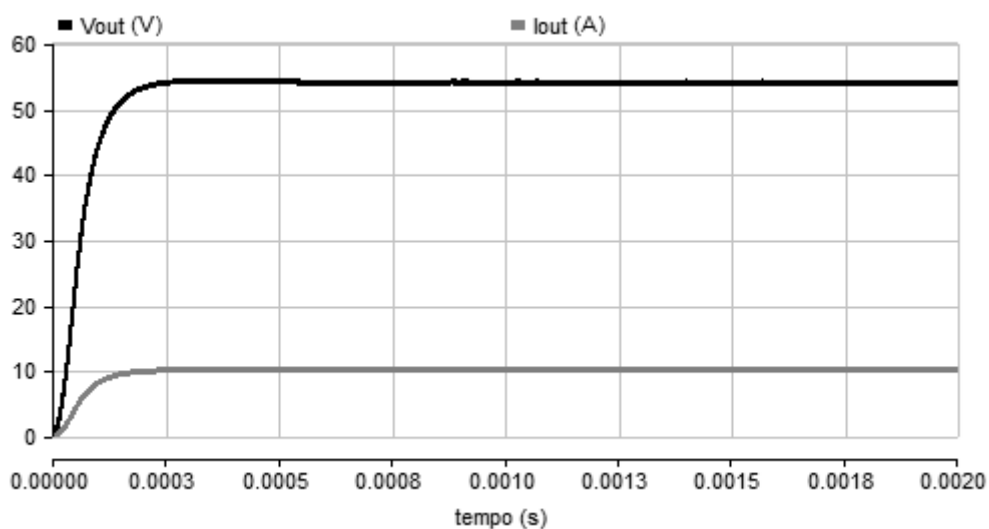


Figura 6.10 - Funcionamento do conversor considerando componentes com perdas.

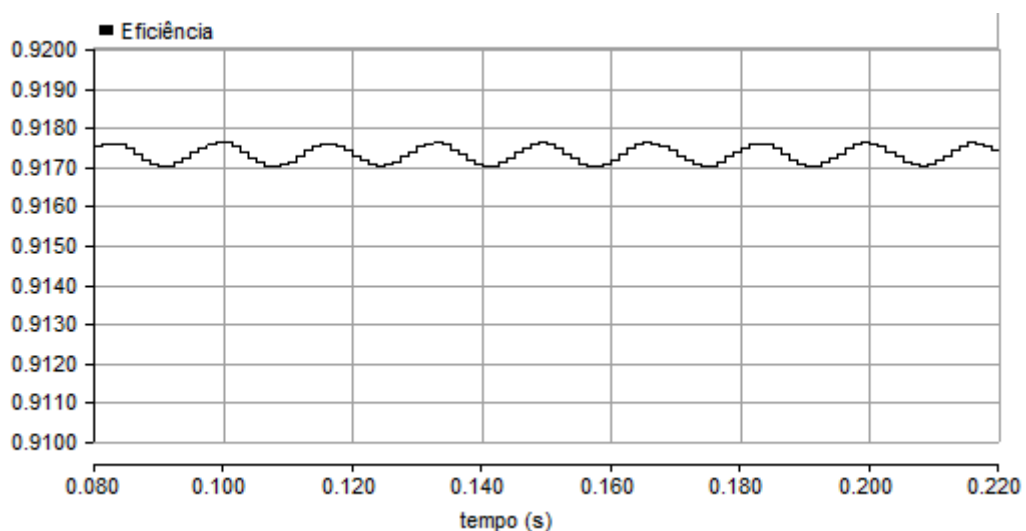


Figura 6.11 - Eficiência do conversor considerando componentes com perdas.

Pode-se ver na Figura 6.10 que o conversor continua funcionando perfeitamente, mesmo após as considerações feitas de componentes reais. Quanto à eficiência, é observado na Figura 6.11 que, como o esperado, ela caiu consideravelmente, de mais de 98% para 91,4%. Mesmo com a grande queda de eficiência, o valor se mantém bem afastado do limite de 85% requisitados por norma. Assim, tem-se uma margem consideravelmente grande para que, em uma implementação física, o rendimento do conversor possa cair mais um pouco, sem desrespeitar as especificações.

Capítulo 7

Conclusão

Esse trabalho se destinou ao projeto de um conversor em ponte completa com ZVS e controle por desvio de fase. Primeiramente foi discutida a idéia por trás desse tipo de circuito, o porquê de haver um indutor de ressonância adicionado à arquitetura, se comparado a um conversor em ponte completa convencional e as vantagens que o controle por desvio de fase traz para questões de performance do conversor.

Primeiramente, foi apresentada a dinâmica de funcionamento do conversor e mostrado como acontece o chaveamento sob tensão nula (ZVS), a grande característica desse circuito. Assim, foram levantadas as equações do projeto para que, com as devidas especificações, os valores dos componentes pudessem ser calculados e foi levantado o modelo de pequenos sinais do conversor para a realização do controle.

Com a estratégia de controle utilizada [10], ao simular o conversor, pode-se observar que tanto as equações do projeto, quanto a modelagem de pequenos sinais e o controle por desvio de fase são válidos, uma vez que os resultados obtidos estavam dentro do esperado. Fazendo uma série de simulações, com alguns testes semelhantes aos realizados pela ANATEL, foi visto que o conversor atendeu a todos os requisitos aos quais foi submetido, inclusive o da eficiência, onde obteve um valor acima dos 95% especificado no projeto. Deve-se lembrar que essas simulações consideraram componentes e controle ideais.

Porém, em uma implementação do controle em um microcontrolador, como discutido anteriormente, existem alguns detalhes não observados inicialmente que podem atrapalhar a dinâmica do conversor. Portanto, para dar mais confiabilidade às primeiras simulações, foi feita a modelagem de um controle mais próximo do real, levando em conta, por exemplo, o tempo necessário para que uma nova saída calculada pelo controle seja atualizada no circuito. Para que o circuito funcionasse perfeitamente, foram necessários ajustes nas constantes de controle, mas sem risco de perda de estabilidade do conversor, pois a necessidade de tais ajustes foram previstos no cálculo das mesmas.

Nessas novas simulações, mais próximas da realidade, o conversor continuou funcionando perfeitamente e atendendo a todos os requisitos aos quais foi submetido. Um requisito que teve pequena mudança foi o do *ripple*, pois, apesar do *ripple* em 120 Hz continuar muito baixo, o *ripple* de alta frequência, causado justamente pelo controle, obteve um valor ligeiro aumento, porém ainda dentro dos limites impostos pela ANATEL.

Visando tornar o projeto um pouco mais completo, foram apresentados circuitos que auxiliam no funcionamento do conversor, tais como circuito de leitura de variáveis de estado e *drivers* para as chaves. Eles não afetam a dinâmica do circuito, mas são necessários para uma implementação do controle digital em um microcontrolador. Ainda foram dimensionados fisicamente os elementos magnéticos utilizados nesse conversor, o transformador e os indutores parasita e de saída.

Além disso, foram selecionados os componentes semicondutores reais que deverão estar em uma montagem física, pois neles pode haver uma grande perda de potência durante o funcionamento, e como uma eficiência de pelo menos 85% é requisitada pela ANATEL, torna-se necessário obter um resultado o mais próximo possível do real, por mais que os resultados anteriores apresentassem uma grande margem longe do erro, pois em nenhum momento do cálculo dos componentes foi considerada a perda de potência neles. Com os componentes selecionados, foi feita uma simulação levando em conta suas perdas e observou-se que o conversor continuou funcionando satisfatoriamente, porém, como previsto, sua eficiência caiu em relação às simulações anteriores, mas manteve-se bem acima do valor mínimo requisitado.

Assim, ao final desse projeto, tem-se um conversor em ponte completa com ZVS e controle por desvio de fase funcional e que pode ser implementado com controle digital. Com todas as equações apresentadas, pode-se fazer o cálculo desse conversor para quaisquer especificações e aplicações requisitadas. As próximas etapas desse projeto seriam fazer o projeto da placa do circuito impresso do conversor e seus circuitos auxiliares, além dos circuitos necessários para funcionamento do microcontrolador, e configurar o mesmo para realizar o controle do conversor aqui presente. Por se tratar de um dos estágios de uma unidade retificadora, talvez alguns ajustes devam ser necessários ao colocarmos o conversor desenvolvido nesse trabalho em conjunto com um conversor boost como estágio de entrada.

Bibliografia

- [1] GAIDZINSKI, P. R., Unidade Retificadora de Alta Performance 1500W – 25A, para Telecomunicações. M.Sc. dissertation, Universidade Federal de Santa Catarina, Agosto de 1993.
- [2] MENDES, L.B., “Projeto e simulação de um retificador com controle digital para melhorar o fator de potência e reduzir a distorção harmônica da corrente na entrada”, B. Eng. Dissertation, Universidade Federal do Rio de Janeiro, Agosto de 2015.
- [3] SABATÉ, J. A., VLATKOVIC, V., RIDLEY, R. B., LEE, F. C., CHO, C. H., “Design Considerations for High-Voltage High-Power Full-Bridge Zero-Voltage-Switched PWM Converter”, *IEEE Transactions on Power Eletronics*, v. 7, pp. 275-284, 1992.
- [4] ANATEL, “Resolução nº 542, de 29 de junho de 2010”, <http://www.anatel.gov.br/legislacao/resolucoes/2010/81-resolucao-542>, 2010, (Acesso em 02 de maio de 2016).
- [5] BRUNORO, M., VIEIRA, L. F., “A High-Performance ZVS Full-Bridge DC–DC 0–50-V/0–10-A Power Supply with Phase-Shift Control”, *IEEE Transactions on Power Eletronics*, v. 14, n. 3, maio de 1999.
- [6] LOURENÇO, E. M., “Análise e Projeto de Compensadores para Conversores Full-Bridge-ZVS-PWM-OS”. M.Sc. dissertation, Universidade Federal de Santa Catarina, Dezembro de 1994.
- [7] USLU, M., “Analysis, design and implementation of a 5kW zero voltage switching phase-shifted full-bridge DC/DC converter based power supply for arc welding machines”, M.Sc dissertation, Middle East Technical University, Novembro de 2006.
- [8] “Projeto Físico de Indutores e Transformadores em Alta Frequência”, http://www.joinville.udesc.br/portal/professores/sergiovgo/materiais/Apostila_Projeto_Fisico_De_Magneticos.pdf (Acesso em 19 de junho de 2016).
- [9] VLATKOVIĆ, V., SABATÉ, J. A., “Small-Signal Analysis of the Phase-Shifted PWM Converter”, *IEEE Transactions on Power Eletronics*, v. 7, n.1, pp. 128-135, janeiro de 1992.

- [10] "Two Loop Average Current Control of Boost Converter" - Dr. Akshay Kumar, Assistant Professor, National University of Singapore. <http://www.ece.nus.edu.sg/stfpage/akr/controlboost.pdf> (Acesso em 22 de maio de 2015).
- [11] "PID Controller – Wikipedia, the free encyclopedia", https://en.wikipedia.org/wiki/PID_controller (Acesso em 09 de julho de 2016).
- [12] Texas Instruments, "36-V, Precision, RRIO, Low Offset Volt, Low Input Bias Current Op Amp w/ e-trim (Rev. E)", <http://www.ti.com/lit/ds/symlink/opa192.pdf> (Acesso em 06 de julho de 2016).
- [13] Texas Instruments, "High-Speed, 4-A, 600-V High-Side Low-Side Gate Driver (Rev. A)", <http://www.ti.com/lit/ds/symlink/ucc27714.pdf> (Acesso em 06 de julho de 2016).
- [14] Infineon Technologies, "Datasheet IPx50R190CE", http://www.mouser.com/ds/2/196/Infineon-IPX50R190CE-DS-v02_01-EN-359664.pdf (Acesso em 06 de julho de 2016).
- [15] NXP Semiconductors, "BYV415W-600P-524736", <http://www.mouser.com/ds/2/302/BYV415W-600P-524736.pdf> (Acesso em 6 de julho de 2016)