



# PROJETO E SIMULAÇÃO DE UM RETIFICADOR COM CONTROLE DIGITAL PARA MELHORAR O FATOR DE POTÊNCIA E REDUZIR A DISTORÇÃO HARMÔNICA DA CORRENTE NA ENTRADA

Leonardo Backer Mendes

Projeto de Graduação apresentado ao Curso de Engenharia Eletrônica e de Computação da Escola Politécnica, Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Engenheiro.

Orientador: Carlos Fernando Teodósio  
Soares

Rio de Janeiro

Agosto de 2015

PROJETO E SIMULAÇÃO DE UM RETIFICADOR COM  
CONTROLE DIGITAL PARA MELHORAR O FATOR DE  
POTÊNCIA E REDUZIR A DISTORÇÃO HARMÔNICA DA  
CORRENTE NA ENTRADA

Leonardo Backer Mendes

PROJETO DE GRADUAÇÃO SUBMETIDO AO CORPO DOCENTE DO CURSO  
DE ENGENHARIA ELETRÔNICA E DE COMPUTAÇÃO DA ESCOLA PO-  
LITÉCNICA DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO  
PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU  
DE ENGENHEIRO ELETRÔNICO E DE COMPUTAÇÃO

Autor:

---

Leonardo Backer Mendes

Orientador:

---

Carlos Fernando Teodósio Soares, D. Sc.

Co-Orientador:

---

Leonardo Alvim Muricy, B. Eng.

Examinador:

---

Fernando Antônio Pinto Barúqui, D. Sc.

Examinador:

---

Joarez Bastos Monteiro, D. Sc.

Rio de Janeiro

Agosto de 2015

UNIVERSIDADE FEDERAL DO RIO DE JANEIRO

Escola Politécnica - Departamento de Eletrônica e de Computação

Centro de Tecnologia, bloco H, sala H-217, Cidade Universitária

Rio de Janeiro - RJ CEP 21949-900

Este exemplar é de propriedade da Universidade Federal do Rio de Janeiro, que poderá incluí-lo em base de dados, armazenar em computador, microfilmear ou adotar qualquer forma de arquivamento.

É permitida a menção, reprodução parcial ou integral e a transmissão entre bibliotecas deste trabalho, sem modificação de seu texto, em qualquer meio que esteja ou venha a ser fixado, para pesquisa acadêmica, comentários e citações, desde que sem finalidade comercial e que seja feita a referência bibliográfica completa.

Os conceitos expressos neste trabalho são de responsabilidade do(s) autor(es).

## DEDICATÓRIA

Dedico esse trabalho aos meus pais, Márcia Backer Mendes e Gilberto Moreira Mendes, por todo o seu empenho em buscar a melhor educação possível para mim durante todos os meus anos de estudo, oferecendo-me a ajuda necessária durante todos esses anos para que eu pudesse me dedicar ao aprendizado.

Dedico também à minha namorada, Isabela Paes Koury, pelo seu suporte durante todo o final da graduação, incentivando-me a buscar o meu melhor independente dos obstáculos e das dificuldades.

## **AGRADECIMENTO**

Agradeço à INOVAX Engenharia de Sistemas, pela oportunidade da realização do estágio durante a minha graduação acadêmica, pela abertura na proposição de novas ideias, pelo foco no resultado e por todo o aprendizado durante a experiência de realizar o estágio.

Agradeço também ao orientador Leonardo Alvim Muricy, pela sua proatividade na resolução dos problemas e no seu foco de transformar o meu trabalho na INOVAX em um projeto final para a UFRJ.

Por último, agradeço ao orientador Carlos Fernando Teodósio pela sua presteza em aceitar orientar o projeto e durante as suas revisões, de forma a elevar a qualidade do trabalho.

## RESUMO

Este trabalho visa ao desenvolvimento de um circuito retificador com controle de fator de potência e baixa distorção harmônica da corrente de entrada.

A obtenção de tais características é capaz de fornecer vantagens econômicas tanto em relação aos circuitos, ocasionando diminuição de custos de infraestrutura, quanto em termos de sistema, provocando um melhor rendimento do mesmo e evitando desperdícios.

Além disso, uma vez que existem homologações necessárias junto aos órgãos regulamentadores, circuitos com características específicas são necessários para que um produto entre no mercado com o reconhecimento e regulamentação adequada. Objetiva-se, portanto, o desenvolvimento de um circuito que seja capaz de atender a essas características com o uso de controle digital e com auxílio da técnica de *Hardware in the Loop*.

Palavras-Chave: Unidade Retificadora, *Hardware in the Loop*, Eletrônica de Potência

## ABSTRACT

This paper aims the development of a rectifier circuit with power factor control and low harmonic distortion of the input current.

Obtaining these performance characteristics is necessary for achieving economical advantages in regard of circuits, by diminishing infrastructure costs, and in regard of energy systems, by achieving a better system efficiency and preventing waste.

Moreover, since there are requirements demanded by regulatory bodies, circuits with specific behavior need to be developed so a product can be launched into the market with the necessary labels and approval. Therefore, this paper proposes a way to meet these criteria, using digital control and the technique of Hardware in the Loop.

Key-words: Rectifier Unit, Hardware in the Loop, Power Electronics

## SIGLAS

CRC - *Cyclic Redundance Check* (Checagem de Redundância Cíclica)

EMTP - *ElectroMagnetic Transients Program*

FFT - *Fast Fourier Transform* (Transformada Rápida de Fourier)

FP - Fator de Potência

HIL - *Hardware in the Loop*

OrCAD - *Oregon Computer Aided Design*

PCI - Placa de Circuito Impresso

PI - Proporcional Integral

PSCAD - *Power System Computer Aided Design*

PWM - *Pulse-Width Modulation* (Modulação por Largura de Pulso)

THD - *Total Harmonic Distortion* (Distorção Harmônica Total)

UFRJ - Universidade Federal do Rio de Janeiro



# Sumário

<b>Lista de Figuras</b>	<b>xii</b>
<b>Lista de Tabelas</b>	<b>xvi</b>
<b>1 Introdução</b>	<b>1</b>
1.1 Tema . . . . .	1
1.2 Delimitação . . . . .	1
1.3 Justificativa . . . . .	2
1.4 Objetivos . . . . .	3
1.5 Metodologia . . . . .	3
1.6 Descrição . . . . .	4
<b>2 O Circuito Retificador</b>	<b>6</b>
2.1 Definição . . . . .	6
2.2 Características Desejadas . . . . .	6
2.3 Topologias . . . . .	7
2.3.1 Conversor <i>Buck</i> . . . . .	9
2.3.2 Conversor <i>Boost</i> . . . . .	10
2.3.3 Conversor <i>Buck-Boost</i> . . . . .	10
2.4 Conclusões Sobre as Topologias Apresentadas . . . . .	11
2.5 Considerações Iniciais Sobre o Controle Digital de Chaveamento . . . . .	11
2.6 Obtenção das Equações de Estado Médio . . . . .	13
2.7 Obtenção das Funções de Transferência . . . . .	15
<b>3 Projeto do Retificador</b>	<b>19</b>
3.1 Projeto do Retificador de Potência . . . . .	19

3.2	Primeiro Módulo: Circuito Retificador . . . . .	19
3.3	Segundo Módulo: Conversor <i>Boost</i> . . . . .	21
3.4	Projeto do Controlador Digital . . . . .	26
3.4.1	O controle de duas malhas de corrente média . . . . .	26
3.4.2	Projeto da malha de corrente . . . . .	28
3.4.3	Projeto da malha de tensão . . . . .	30
<b>4</b>	<b>Simulações do Circuito Retificador</b>	<b>34</b>
4.1	Montagem . . . . .	34
4.2	Resultados Parciais . . . . .	35
4.3	Circuito Inicial . . . . .	36
<b>5</b>	<b><i>Hardware in the Loop</i></b>	<b>48</b>
5.1	Definição . . . . .	48
5.1.1	Escolha do DSP . . . . .	49
5.2	Avaliação Inicial . . . . .	49
5.3	Integração com o PSCAD . . . . .	50
5.4	Implementação do Código de Correção de Erro . . . . .	52
5.5	Implementação do Circuito Retificador em HIL . . . . .	53
5.6	Resultados do HIL . . . . .	54
<b>6</b>	<b>Projeto de Indutor de Alta Frequência</b>	<b>61</b>
6.1	Introdução ao Projeto de Indutores . . . . .	61
6.2	Teoria do Projeto de Indutores . . . . .	61
6.2.1	Escolha do núcleo apropriado . . . . .	61
6.2.2	Número de espiras . . . . .	65
6.2.3	Cálculo do entreferro . . . . .	65
6.2.4	Bitola dos Condutores . . . . .	67
6.2.5	Perdas no Cobre . . . . .	68
6.2.6	Resistência Térmica do Núcleo . . . . .	69
6.2.7	Possibilidade de Execução . . . . .	69
6.3	Cálculo dos Parâmetros . . . . .	69

<b>7</b>	<b>Circuitos Adicionais</b>	<b>74</b>
7.1	Sensores . . . . .	74
7.2	Resistor Série . . . . .	75
7.3	Limitação da corrente de <i>inrush</i> . . . . .	82
7.4	<i>Driver</i> . . . . .	82
7.5	Fonte Auxiliar . . . . .	85
7.6	Simulação do Modelo Completo . . . . .	87
<b>8</b>	<b><i>Layout</i> da Placa de Circuito Impresso</b>	<b>89</b>
8.1	Considerações Iniciais . . . . .	89
8.2	Resultados do <i>Layout</i> . . . . .	90
8.3	Avaliação de Custos . . . . .	91
<b>9</b>	<b>Conclusões</b>	<b>93</b>
9.1	Trabalhos Futuros . . . . .	94
	<b>Bibliografia</b>	<b>95</b>
<b>A</b>	<b>Lista de materiais</b>	<b>97</b>
<b>B</b>	<b>Projeto Indutor</b>	<b>99</b>
<b>C</b>	<b>Orçamento Placa de Circuito Impresso</b>	<b>101</b>
<b>D</b>	<b>Orçamento Indutor</b>	<b>104</b>

# Lista de Figuras

2.1	<i>Estrutura de Ponte de Onda Completa.</i>	7
2.2	<i>Proposta de Topologia Flyback do Retificador.</i>	8
2.3	<i>Proposta de Topologia Buck do Retificador.</i>	9
2.4	<i>Proposta de Topologia Boost do Retificador.</i>	10
2.5	<i>Proposta de Topologia Buck-Boost do Retificador.</i>	11
2.6	<i>Conversor Boost Ideal.</i>	13
2.7	<i>Intervalo de operação quando a chave está ligada.</i>	14
2.8	<i>Intervalo de operação quando a chave está desligada.</i>	14
3.1	<i>Forma de onda na entrada e na saída de um retificador de onda completa</i>	20
3.2	<i>Diagrama de blocos da arquitetura de controle.</i>	27
3.3	<i>Diagrama de blocos da malha de controle de corrente.</i>	28
3.4	<i>Diagrama de Bode de <math>T_{p1}</math></i>	29
3.5	<i>Diagrama de blocos da malha de controle de tensão.</i>	31
3.6	<i>Diagrama de Bode de <math>T_{p2}</math></i>	32
4.1	<i>Versão inicial do circuito retificador montado no PSCAD.</i>	34
4.2	<i>Malha de controle do circuito retificador.</i>	35
4.3	<i>Montagem do sub-circuito para obtenção do THD da corrente de entrada.</i>	35
4.4	<i>Overshoot da tensão de saída do circuito, para entrada de <math>12,7 V_{ac}</math>.</i>	37
4.5	<i>Tensão de saída em regime permanente do circuito, para entrada de <math>12,7 V_{ac}</math></i>	37
4.6	<i>THD da corrente de entrada em regime permanente, para entrada de <math>12,7 V_{ac}</math></i>	38
4.7	<i>Comparação entre corrente e tensão de entrada, para entrada de <math>12,7 V_{ac}</math></i>	38
4.8	<i>Corrente de entrada, para entrada de <math>12,7 V_{ac}</math></i>	39

4.9	<i>Overshoot da tensão de saída do circuito, para entrada de 22 V<sub>ac</sub></i>	39
4.10	<i>Tensão de saída em regime permanente do circuito, para entrada de 22 V<sub>ac</sub></i>	40
4.11	<i>THD da corrente de entrada em regime permanente, para entrada de 22 V<sub>ac</sub></i>	40
4.12	<i>Comparação entre corrente e tensão de entrada, para entrada de 22 V<sub>ac</sub></i>	41
4.13	<i>Corrente de entrada, para entrada de 22 V<sub>ac</sub></i>	41
4.14	<i>Bloco de circuito que, recebendo a saída do PI de tensão, gera uma corrente de referência para o PI de corrente.</i>	42
4.15	<i>Comparação entre a corrente do indutor e corrente de referência para a entrada de 12,7 V<sub>ac</sub></i>	43
4.16	<i>Comparação entre a corrente do indutor e corrente de referência para a entrada de 22 V<sub>ac</sub></i>	43
4.17	<i>Comparação entre a corrente do indutor e corrente de referência para a entrada de 12,7 V<sub>ac</sub>.</i>	44
4.18	<i>Comparação a corrente no indutor e a de referência para a entrada de 22 V<sub>ac</sub>.</i>	45
4.19	<i>Comparação entre a tensão e a corrente na entrada, para uma tensão de entrada de 22 V<sub>rms</sub>, com as constantes de controle otimizadas.</i>	45
4.20	<i>Overshoot da tensão de saída do circuito, para entrada de 12,7 V<sub>ac</sub>, após ajuste fino de constantes de controle</i>	46
4.21	<i>Tensão de saída em regime permanente do circuito, para entrada de 22 V<sub>ac</sub>, após ajuste fino de constantes de controle</i>	46
4.22	<i>Overshoot da tensão de saída do circuito, para entrada de 22 V<sub>ac</sub>, após ajuste fino de constantes de controle</i>	47
4.23	<i>Tensão de saída em regime permanente do circuito, para entrada de 22 V<sub>ac</sub>, após ajuste fino de constantes de controle</i>	47
5.1	<i>Diagrama de blocos do funcionamento do controlador digital</i>	49
5.2	<i>Diagrama de blocos da arquitetura de comunicação serial</i>	51
5.3	<i>Diagrama de blocos do processo de comunicação serial</i>	51
5.4	<i>Diagrama de blocos do CRC16 bits no envio da mensagem</i>	52
5.5	<i>Diagrama de blocos do CRC16 bits na recepção da mensagem</i>	53
5.6	<i>Montagem do circuito para o HIL</i>	53
5.7	<i>Bloco que representa o controlador digital no HIL</i>	54

5.8	<i>FP quando a tensão nominal é de 22 Vac e corrente nominal em 50%, para simulação HIL . . . . .</i>	55
5.9	<i>THD quando a tensão nominal é de 22 Vac e corrente nominal em 100%, para simulação HIL . . . . .</i>	56
5.10	<i>Rendimento quando a tensão nominal é de 11,4 V e corrente nominal em 100%, para simulação HIL . . . . .</i>	56
5.11	<i>Corrente na entrada quando a tensão nominal é de 12,7 Vac e corrente nominal em 50%, para simulação HIL . . . . .</i>	57
5.12	<i>Corrente na entrada quando a tensão nominal é de 12,7 Vac e corrente nominal em 100%, para simulação HIL . . . . .</i>	57
5.13	<i>Corrente na entrada quando a tensão nominal é de 22 Vac e corrente nominal em 50%, para simulação HIL . . . . .</i>	58
5.14	<i>Corrente na entrada quando a tensão nominal é de 22 Vac e corrente nominal em 100%, para simulação HIL . . . . .</i>	58
5.15	<i>Tensão na saída quando a tensão nominal é de 12,7 Vac e corrente nominal em 50%, para simulação HIL . . . . .</i>	59
5.16	<i>Tensão na saída quando a tensão nominal é de 12,7 Vac e corrente nominal em 100%, para simulação HIL . . . . .</i>	59
5.17	<i>Tensão na saída quando a tensão nominal é de 22 Vac e corrente nominal em 50%, para simulação HIL . . . . .</i>	60
5.18	<i>Tensão na saída quando a tensão nominal é de 22 Vac e corrente nominal em 100%, para simulação HIL . . . . .</i>	60
6.1	<i>Núcleo de Ferrite e Carretel tipo E. . . . .</i>	62
6.2	<i>Corrente sobre o indutor L. . . . .</i>	63
6.3	<i>Modo como os enrolamentos ocupam uma janela. . . . .</i>	64
6.4	<i>Saturação do indutor com e sem entreferro. . . . .</i>	66
6.5	<i>Distribuição do entreferro em um núcleo tipo E-E. . . . .</i>	67
7.1	<i>Exemplo de divisor resistivo utilizado no circuito para dividir a tensão desejada . . . . .</i>	75
7.2	<i>Sub circuito para amplificação da tensão no resistor shunt . . . . .</i>	76

7.3	<i>Comportamento do sub-circuito de amplificação do resistor shunt para o caso de baixa corrente . . . . .</i>	77
7.4	<i>Comportamento do sub-circuito de amplificação do resistor shunt para o caso de alta corrente . . . . .</i>	78
7.5	<i>Sub-circuito para amplificação da tensão no resistor shunt com anulação de ruído. . . . .</i>	79
7.6	<i>Comportamento do sub-circuito de amplificação do resistor shunt para o caso de alta corrente com medição diferencial. . . . .</i>	80
7.7	<i>Comportamento do sub-circuito de amplificação do resistor shunt para o caso de baixa corrente com medição diferencial. . . . .</i>	81
7.8	<i>Montagem da chave de entrada para conter a corrente de inrush . . . . .</i>	82
7.9	<i>Montagem de simulação do driver optoacoplador . . . . .</i>	83
7.10	<i>Tensão no gate da chave a ser manipulada . . . . .</i>	84
7.11	<i>Corrente da chave a ser manipulada . . . . .</i>	84
7.12	<i>Tempo de atraso da corrente no driver . . . . .</i>	85
7.13	<i>Modelo de simulação da fonte auxiliar . . . . .</i>	86
7.14	<i>Modelo de simulação do circuito com cargas auxiliares . . . . .</i>	88
7.15	<i>Rendimento do modelo de simulação do circuito com cargas auxiliares . . . . .</i>	88
8.1	<i>Camada top do layout produzido . . . . .</i>	90
8.2	<i>Camada bottom do layout produzido . . . . .</i>	91
8.3	<i>Detalhes no canto superior direito do layout . . . . .</i>	91
8.4	<i>Referência dos pontos de medições da placa . . . . .</i>	92

# Lista de Tabelas

3.1	Parâmetros finais do projeto do Conversor <i>Boost</i> . . . . .	25
3.2	Valor das Constantes do Controlador <i>Boost</i> . . . . .	33
4.1	Valores das constantes de controle otimizadas. . . . .	44
4.2	Valores de THD da corrente na entrada e do FP utilizando o Controle Digital com o bloco de geração de corrente de referência e constantes de controle otimizadas. . . . .	45
5.1	Tempo de execução dos blocos do controlador digital . . . . .	50
5.2	Resultados obtidos para a tensão nominal mais baixa no HIL . . . . .	54
5.3	Resultados obtidos para a tensão nominal mais alta no HIL . . . . .	55
6.1	Lista de características de cada núcleo. . . . .	70
6.2	Análise da possibilidade de execução do projeto utilizando dois valores de Al. . . . .	72
6.3	Características finais para o projeto do indutor de alta frequência. . .	73
7.1	Resultados do projeto da fonte auxiliar. . . . .	87



# Capítulo 1

## Introdução

### 1.1 Tema

O tema do trabalho é o estudo, projeto e simulação de um retificador com controle digital para melhorar o fator de potência e reduzir a distorção harmônica da corrente na entrada. Para tal, realizar-se-á o estudo teórico do mesmo, de forma a projetá-lo a partir de especificações pré-definidas. Em seguida, desenvolver-se-á o circuito controlador digital através da teoria de controle e do ajuste fino feito a partir de simulações em plataformas específicas. Em uma etapa intermediária, visa-se o aprendizado do procedimento denominado *Hardware in the Loop*, de forma a se avaliar o controle digital proposto em uma primeira etapa. Por último, o *layout* do circuito será realizado, visando futura avaliação prática da viabilidade de sua arquitetura.

### 1.2 Delimitação

O objetivo é o desenvolvimento de uma arquitetura de um retificador com controle digital para melhorar o fator de potência e reduzir a distorção harmônica da corrente na entrada. O controle digital do circuito será testado no modelo *Hardware in the Loop*.

## 1.3 Justificativa

Retificadores são circuitos eletrônicos capazes de converter uma tensão alternada em uma tensão contínua. Existe uma vasta gama de aplicações para tais dispositivos, tais como fontes de alimentação, conversores de frequência e até circuitos inversores.

Na INOVAX Engenharia de Sistemas, por exemplo, atualmente procura-se desenvolver uma Unidade Retificadora de Potência voltada para o mercado de telecomunicações, com certificação da Anatel. Desse modo, esse trabalho representa parte do circuito que visa a ser um novo produto - ou uma nova linha de produtos - planejado pela empresa. O desenvolvimento desse projeto, portanto, representa a possibilidade de se usar o circuito retificador desenvolvido para futuras aplicações de potência.

Devido às exigências dos fornecedores de energia elétrica, é necessário que unidades consumidoras possuam um fator de potência próximo da unidade. Um fator de potência distante da unidade significa, na prática, que parte da energia não é, de fato, transformada em trabalho, sendo armazenada e devolvida à rede em intervalos de tempo do ciclo de trabalho. Como consequência, uma maior quantidade de corrente é transmitida através dos elementos resistivos do circuito (como cabos de transmissão). Desse modo, para evitar perdas por causa dessa característica, são necessários, por exemplo, cabos mais grossos, o que resulta em um aumento de custo de infra-estrutura da rede. Portanto, o descumprimento dessa exigência, além de resultar em multas, encarece o custo da transmissão elétrica para todos os usuários.

Além disso, a distorção harmônica produzida por um circuito é capaz de afetar a rede em que ele está presente. Somando-se todas as influências que múltiplos sistemas de potência podem ter em uma determinada rede, pode causar falhas ao longo da mesma devido à distorção introduzida por cada um deles.

Por fim, um fator de potência próximo à unidade e baixa distorção harmônica representam a adequação às normas exigidas por entidades governamentais [1], [2], [3], necessárias para a certificação de retificadores e sistemas retificadores, atendendo às demandas do mercado.

## 1.4 Objetivos

O objetivo geral do projeto é o desenvolvimento de um retificador com controle digital para melhorar fator de potência e reduzir distorção harmônica da corrente na entrada, com entrada de tensão AC, na frequência de 60 Hz.

Como objetivos específicos, o projeto servirá para a assimilação dos conhecimentos relacionados às nuances do projeto de retificadores, de controladores digitais e, mais especificamente, do projeto de indutores, além da metodologia de testes denominada *Hardware in the Loop*.

## 1.5 Metodologia

Este trabalho visa descrever as etapas do projeto do retificador com controle digital de fator de potência e com baixa distorção harmônica da corrente de entrada. Além disso, emprega-se a metodologia de testes *Hardware in the Loop*, de forma a avaliar o *hardware* de controle sugerido para uma futura implementação prática.

No início, o circuito retificador será projetado segundo a teoria presente em [4]. Com o projeto realizado, será obtido o modelo de pequenos sinais do retificador conforme [5]. Com o modelo de pequenos sinais, pode-se obter o modelo de estados médios linearizado do retificador, com o qual é possível obter o controle digital do sistema, segundo [6]. Dessa forma, a estratégia de controle será aplicada ao circuito, tanto para controle de corrente quanto para o de tensão. Por último, as duas malhas de controle serão modificadas para se atingir o objetivo final, obtendo o controle digital do fator de potência e a baixa distorção harmônica da corrente de entrada. Simultaneamente, serão comparados os modelos da planta do circuito e seus resultados teóricos com o modelo da simulação.

Com o controle obtido, simulações serão realizadas para ajuste fino dos valores obtidos. Esses valores serão implementados utilizando um *software* específico para a interface de um simulador com o *hardware* de controle, de forma a se implementar a etapa de *Hardware in the Loop*.

Então, poder-se-á iniciar o desenvolvimento da placa de circuito impresso com componentes reais para o protótipo do projeto, para futuramente ser implementado e testado na prática em laboratório.

## 1.6 Descrição

No Capítulo 2, discutir-se-ão as principais características que o circuito retificador deverá possuir. Algumas topologias serão apresentadas, discutidas e comparadas. Uma das topologias será escolhida como a topologia do circuito retificador. Com essa topologia, o modelo de pequenos sinais do circuito retificador será apresentado. Com ele, explicar-se-á como alcançar o modelo de estados médios do circuito e, assim, obter as funções de transferência necessárias para o cálculo do controle digital.

O Capítulo 3 traz o projeto do circuito retificador de potência segundo especificações presentes e a topologia escolhida no capítulo anterior. Nele a teoria disponível em outras fontes será explicada para a compreensão dos cálculos do parâmetro do circuito. Por fim, será demonstrado como calcular os valores dos controles de tensão e corrente do sistema, seguindo a teoria de controle presente na bibliografia do projeto.

Esses valores serão aplicados ao sistema e simulados no Capítulo 4. Serão também fornecidas análises das características do circuito. Em seguida, com tais resultados, o ajuste fino nos controladores será executado, com o intuito de ajustar os parâmetros do circuito em relação às normas comerciais vigentes no mercado.

O Capítulo 5 tratará do teste prático, no formato *Hardware in the Loop* (HIL) para uma primeira etapa de simulação prática do circuito, analisando se o processador escolhido será capaz de controlar o circuito. Nele explicar-se-á como a implementação pode ser realizada em um Arduino/dsPIC e quais podem ser as estratégias usadas para otimizar a sua aplicação. Explicar-se-á também como integrar o software PSCAD com o Arduino/dsPIC, de forma a realizar a comunicação entre ambos para o HIL.

Ademais, no Capítulo 6 o projeto do indutor de alta frequência será explicado e desenvolvido, de forma a servir para o projeto prático do circuito retificador de potência com controle digital.

O Capítulo 7 mostra os projetos e simulações envolvendo os circuitos adicionais para a implementação prática do projeto. No fim do mesmo, a simulação do modelo com os circuitos adicionais será realizada.

Já no Capítulo 8, o *layout* da placa de circuito impresso será apresentado,

após a definição dos componentes para a montagem prática do circuito.

Por fim, são apresentadas as conclusões do projeto, incluindo os trabalhos futuros.

# Capítulo 2

## O Circuito Retificador

### 2.1 Definição

Retificador é um dispositivo capaz de transformar um sinal de entrada alternado em um sinal de saída contínuo. Mais especificamente, interessa-se por transformar uma tensão alternada de entrada em uma tensão quase-contínua de saída.

### 2.2 Características Desejadas

Nesse projeto, divide-se o circuito em dois subsistemas: O subsistema de ponte e o subsistema de fonte chaveada. A separação foi realizada de forma a simplificar a topologia específica desejada para cada um dos estágios. O conjunto dos dois subsistemas será referido neste texto como circuito retificador.

Como a entrada é a própria rede comercial, é desejável que o circuito seja capaz de operar na mesma frequência da mesma, ou seja 60 Hz. Além disso, o circuito irá operar em uma única fase, isso é, ele será monofásico, de forma a simplificar o seu projeto inicial.

O tamanho físico do circuito também é um ponto a ser considerado. Ele não pode ocupar uma grande área na placa de circuito impresso. Desse modo, deve-se ter em mente que a frequência de operação do conversor chaveado deve ser elevada o suficiente para garantir que os componentes do mesmo tenham um tamanho físico reduzido. Além disso, deve-se evitar a adição de componentes extras, buscando o menor número destes nos subsistemas.

## 2.3 Topologias

Existem diversas topologias possíveis para um estágio de ponte, como, por exemplo, a de meia onda ou a de onda completa. Elas podem ser compostas por um, dois ou quatro diodos, ou até mesmo por transistores. Neste trabalho, interessa-se pelo subgrupo de retificadores de onda completa monofásicos, pois eles permitem que todo o ciclo da onda seja retificado e utilizado no próximo estágio. Doravante, escolheu-se para esse estágio uma ponte de onda completa, conforme Figura 2.1, composta por quatro diodos de rápida recuperação, específicos para aguentar a frequência de 100 kHz que estará presente no circuito.

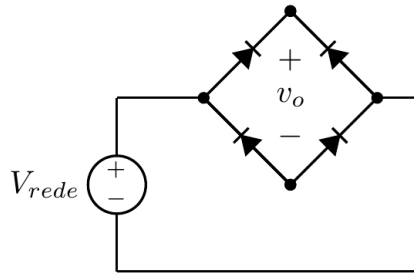


Figura 2.1: *Estrutura de Ponte de Onda Completa.*

O estágio de fonte chaveada é o responsável por transformar a versão retificada da senóide de entrada em uma tensão DC, através do chaveamento do transistor presente no mesmo. O objetivo é que essa tensão DC possua um *ripple* reduzido o suficiente para ser utilizado diretamente na carga ou em um próximo estágio.

Em relação a esse estágio, serão descartadas as fontes chaveadas isoladas, como a topologia *Flyback* apresentada na Figura 2.2, já que o objetivo deste projeto é o controle da corrente da entrada.

Na topologia *Flyback*, por exemplo, seria exigido o uso de um transformador para isolar os dois ramos do circuito. Nesse isolamento, uma chave operaria na mesma malha da fonte. Quando essa chave se abrisse (para um estado específico do circuito), a corrente seria totalmente interrompida, o que provocaria distorção harmônica na entrada e impediria o controle da mesma como desejado.

Para evitar tal evento, seria necessário utilizar um outro tipo de acoplamento do circuito, ou até mesmo inserir um ramo extra no transformador de forma que a

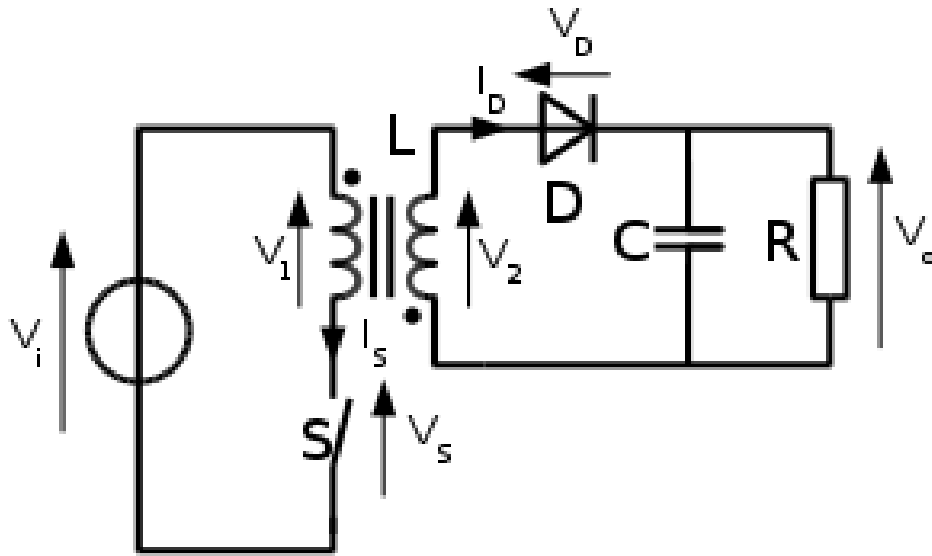


Figura 2.2: *Proposta de Topologia Flyback do Retificador.*

corrente não seja totalmente interrompida com a abertura da chave. Entretanto, isso aumentaria a complexidade e custo do circuito, o que não é desejado neste projeto. Portanto, o uso de topologias isoladas até poderia ser possível com um aumento de custos do circuito. Entretanto, como se objetiva a implementação menos custosa possível (tanto em termos monetários quanto em complexidade), tal topologia foi descartada.

Como o objetivo deste projeto é a melhoria do fator de potência e a redução da distorção harmônica da corrente de entrada, é necessário realizar o controle tanto da tensão de saída, quanto da corrente de entrada do circuito. Portanto, quando operado no modo descontínuo, o próprio modo de operação do circuito será um obstáculo para o controle dessa corrente, já que é preciso que a corrente possua aproximadamente o mesmo formato da tensão de entrada e, por isso, se ela for “zerada” por algum período de tempo, a Distorção Harmônica Total (THD) da corrente de entrada será prejudicada. Dessa forma, o circuito será operado no modo contínuo.

A seguir são apresentadas três topologias diferentes de fontes chaveadas, já com a ponte retificadora em onda completa: *Buck* (Figura 2.3), *Boost* (Figura 2.4) e *Buck-Boost* (Figura 2.5). A partir dessa apresentação preliminar, será escolhida aquela que é mais adequada para o presente projeto. Utiliza-se [4] para a obtenção



das características das três topologias de fontes chaveadas.

### 2.3.1 Conversor *Buck*

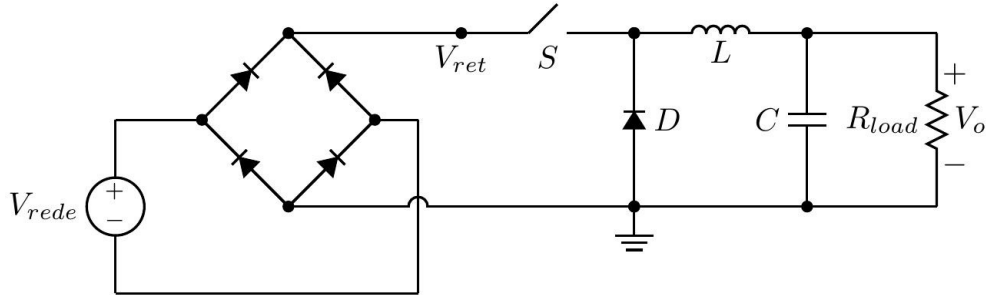


Figura 2.3: *Proposta de Topologia Buck do Retificador.*

O conversor *Buck*, ilustrado na Figura 2.3 normalmente é utilizado como um abaixador de tensão. Ele pode ser uma escolha apropriada, desde que seja especificado que a tensão de saída  $V_o$  deve ser inferior à tensão de entrada  $V_{ret}$ .

Repare que, apesar de normalmente existir um capacitor ligando as duas saídas da ponte retificadora, ele não está presente na topologia. Já que se deseja que a corrente do circuito tenha o mesmo formato da onda de entrada do circuito ( $V_{rede}$ ), caso se coloque um capacitor na saída da ponte, um nível constante surgirá em  $V_{ret}$ . Esse nível constante provocará, por sua vez, um efeito que irá piorar o THD da corrente de entrada do circuito. Assim, inicialmente, optou-se por não incluir esse capacitor, já que ele prejudica o objetivo do circuito.

Na topologia *Buck*, operando no modo contínuo a relação entre as tensões de entrada e saída, segundo [4], é

$$V_o = V_{ret} \cdot d, \quad (2.1)$$

Onde  $0 \leq d \leq 1$  é o ciclo de trabalho (*duty cycle*) da chave S.

Entretanto, quando a chave S do conversor *Buck* está aberta, a corrente na entrada do circuito é completamente interrompida. Como se deseja que no sistema final a corrente de entrada siga a tensão senoidal, essa interrupção ocasionaria uma maior distorção harmônica de corrente na entrada. Por conseguinte, esse efeito

poderia ser amenizado ou anulado adicionando-se componentes extras ao circuito. Porém, tal procedimento resultaria em uma elevação no custo e complexidade do mesmo, o que não é desejado.

### 2.3.2 Conversor *Boost*

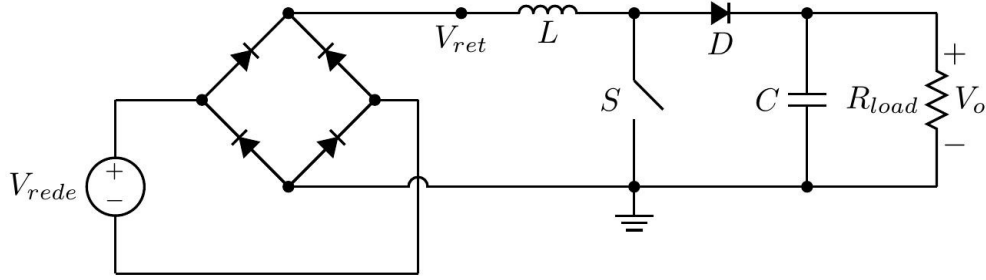


Figura 2.4: *Proposta de Topologia Boost do Retificador.*

O conversor *Boost* normalmente é utilizado como um elevador de tensão. Ele pode ser uma escolha apropriada, quando se deseja que a tensão de saída  $V_o$  seja sempre superior à tensão de entrada  $V_{ret}$ . Para tal, deve-se conectar a entrada e a ponte de tal maneira que a tensão  $V_{ret}$  seja a tensão de entrada retificada em onda completa.

Na topologia *Boost*, a relação entre as tensões de entrada e saída é, segundo [4], dada por

$$V_o = \frac{V_{ret}}{(1 - d)}. \quad (2.2)$$

Ao contrário do conversor *Buck* não há uma alteração drástica da corrente da entrada com a alteração do estado da chave, pois a abertura da chave não interrompe a corrente de entrada. Desse modo, o conversor *Boost* apresenta uma vantagem sobre o outro conversor nesse aspecto.

### 2.3.3 Conversor *Buck-Boost*

O conversor *Buck-Boost* pode tanto ser utilizado como um abaixador ou como um elevador de tensão, já que é uma combinação dos conversores *Buck* e *Boost*. Sua

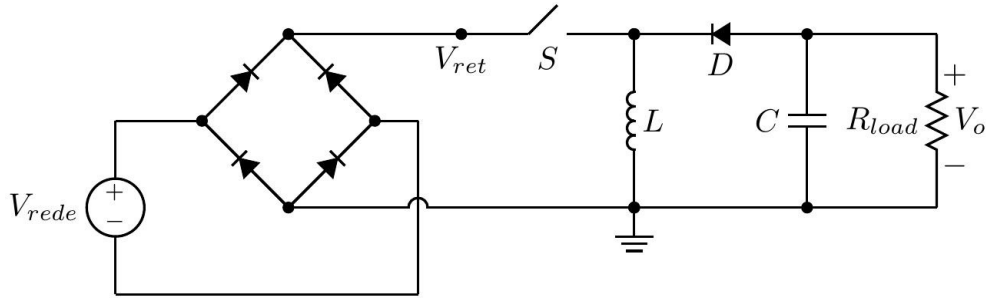


Figura 2.5: *Proposta de Topologia Buck-Boost do Retificador.*

relação entre as tensões de entrada e saída é, segundo [4], dada por

$$V_o = -\frac{V_{ret} \cdot d}{(1 - d)}. \quad (2.3)$$

O conversor *Buck-Boost* apresenta a mesma desvantagem do conversor *Buck*, já que a corrente na entrada será interrompida quando a chave estiver aberta.

## 2.4 Conclusões Sobre as Topologias Apresentadas

Escolheu-se a topologia *Boost* como a topologia de fonte chaveada, por ser aquela que não apresenta desvantagem em relação às características de distorção harmônica da corrente na entrada do circuito, ao contrário das outras topologias apresentadas.

## 2.5 Considerações Iniciais Sobre o Controle Digital de Chaveamento

O controle digital possui como suas entradas tanto a tensão de saída do circuito quanto a corrente que atravessa o indutor. A sua variável de controle é o ciclo de chaveamento do transistor no conversor *Boost*. Dessa forma, as variáveis de entrada do controle digital devem se relacionar com o ciclo de trabalho  $d$ .

De forma geral, existem dois objetivos principais com o controle digital: O ajuste da tensão de saída para um valor fixo dentro de uma faixa de valores de

entrada e a obtenção de uma corrente de entrada senoidal e em fase com a tensão de entrada – como em um circuito meramente resistivo.

Já que duas variáveis devem ser controladas (tensão e corrente no circuito) com apenas uma variável de controle (ciclo de chaveamento), serão necessárias duas malhas de controle em série, cada uma com sua respectiva referência. A referência de tensão é definida internamente no controle, enquanto que a referência de corrente é gerada como saída da primeira malha de controle.

O controle de corrente tem como objetivo ajustar o nível de tensão na saída do circuito através do sinal de controle da chave analógica. Tal feito pode ser realizado porque é possível calcular a relação entre a tensão de saída e a corrente no indutor do conversor *Boost*. O controle possui como entrada uma corrente de referência que será gerada pelo controle de tensão e a corrente no indutor. A subtração entre a corrente de referência e a corrente amostrada na entrada do conversor gera o sinal de erro que será processado pelo controlador proporcional-integral (PI) resultando no sinal de acionamento da chave analógica.

O controle de tensão é responsável por gerar a corrente de referência para o controle de corrente. O sinal de erro é gerado pela subtração entre a tensão de referência e a tensão na saída do circuito. Após o processamento por um controlador PI, a corrente de referência é gerada.

Para facilitar o entendimento, repete-se a apresentação do circuito do conversor *Boost* na Figura 2.6. Nele, estão destacadas as principais tensões e correntes.

Para obter o modelo de pequenos sinais do Conversor *Boost*, serão assumidas as seguintes premissas:

1. Todos os componentes são ideais e sem perdas.
2. A tensão de entrada é praticamente constante, durante o período de chaveamento do conversor.
3. Operação no modo de condução contínua.

Vale notar que, para (1), existe a possibilidade de se simular os componentes utilizando-se de modelos extremamente precisos, considerando as suas não-idealidades. A premissa (2) é aproximadamente verdadeira se considerarmos que a frequência de chaveamento do conversor (100 kHz) é muito maior que a frequência

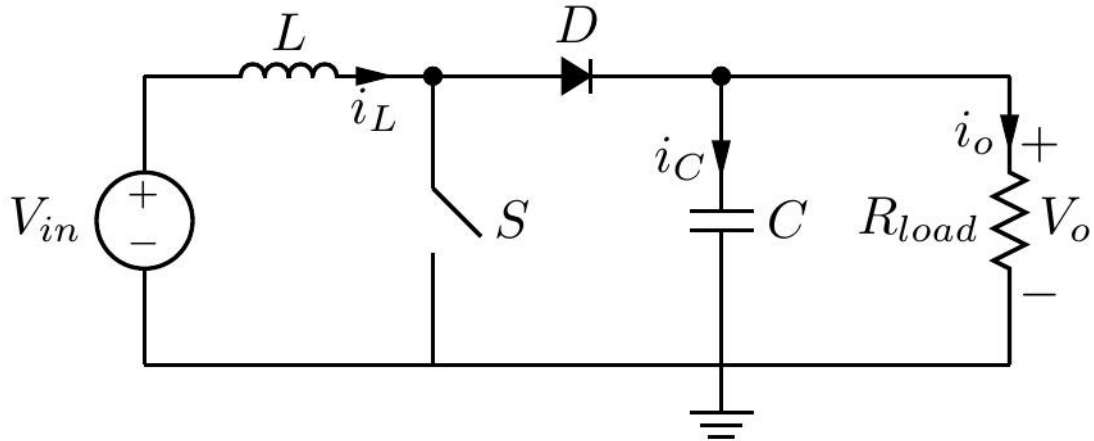


Figura 2.6: *Conversor Boost Ideal.*

da tensão retificada  $V_{in}$  na entrada do circuito (120 Hz). Portanto, deve-se garantir que o sistema de controle seja capaz de operar de modo a acompanhar tal variação na entrada. Por último, o ponto (3) pode ser garantido porque a corrente do indutor é exatamente a que está sendo controlada pelo sistema.

## 2.6 Obtenção das Equações de Estado Médio

Para se projetar os controles de tensão e de corrente a serem aplicados ao conversor *Boost* deste projeto, é preciso, inicialmente, modelar matematicamente o comportamento dinâmico desse conversor. Essa modelagem será realizada através da obtenção da Função de Transferência média (ou seja, uma versão linearizada) do conversor *Boost*. Essa função de transferência será obtida através de uma modelagem preliminar do sistema no espaço de estados.

Primeiramente, serão definidas as seguintes variáveis:

- Tensão de saída,  $v_o$ ;
- Corrente do indutor,  $i_L$ ;
- Tensão de entrada,  $v_{in}$ ;
- Período de um ciclo de trabalho,  $T$ ;
- Ciclo de trabalho,  $d$ .

Entre elas, a corrente no indutor e a tensão no capacitor (que é igual a tensão de saída  $v_o$ ) serão tomadas como variáveis de estado do sistema.

Considerando o diodo e a chave como ideais, quando a chave está ligada conforme a Figura 2.7, temos:

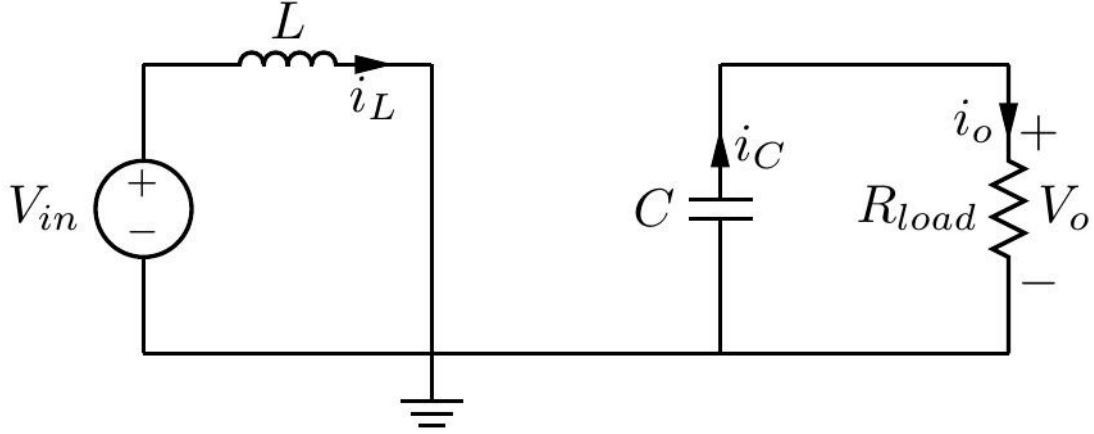


Figura 2.7: *Intervalo de operação quando a chave está ligada.*

$$L \frac{di_L}{dt} = v_{in} \quad (2.4)$$

$$C \frac{dv_o}{dt} = -\frac{v_o}{R} \quad (2.5)$$

Similarmente, quando a chave está desligada, conforme a Figura 2.8, temos:

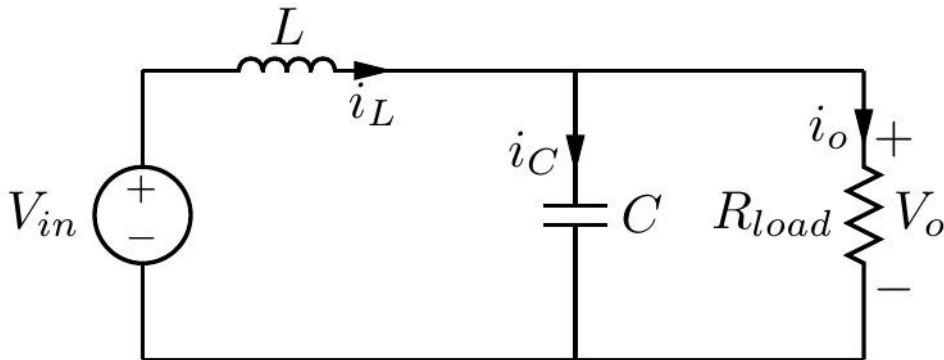


Figura 2.8: *Intervalo de operação quando a chave está desligada.*

$$L \frac{di_L}{dt} = v_{in} - v_o \quad (2.6)$$

$$C \frac{dv_o}{dt} = i_L - \frac{v_o}{R} \quad (2.7)$$

Agora, com os dois pares de equações para os dois estados do sistema, será possível obter a equação de estado médio do circuito. Assim, considerando que as Equações (2.4) e (2.5) representam o circuito na fração  $d$  do período  $T$ , e que as Equações (2.6) e (2.7) representam o circuito na fração  $(1-d)$ , é possível obter a média dos dois estados fazendo

$$L \frac{di_L}{dt} = d \cdot v_{in} + (1-d) \cdot (v_{in} - v_o) \quad (2.8)$$

$$C \frac{dv_o}{dt} = d \cdot \left(-\frac{v_o}{R}\right) + (1-d) \cdot \left(i_L - \frac{v_o}{R}\right) \quad (2.9)$$

Simplificando (2.8) e (2.9), obtêm-se, finalmente, o conjunto de equações de estado médio:

$$L \frac{di_L}{dt} = v_{in} - (1-d)v_o \quad (2.10)$$

$$C \frac{dv_o}{dt} = (1-d)i_L - \frac{v_o}{R} \quad (2.11)$$

## 2.7 Obtenção das Funções de Transferência

Para a obtenção do modelo de pequenos sinais do conversor boost, utilizaremos os resultados (2.11) e (2.10) obtidos na Seção 2.6.

Um ponto interessante a se notar é que, para atingir o valor desejado de tensão de saída, o sinal de controle deve ter, na média, um valor fixo, dependendo da média da tensão de entrada. Já para que o controle de corrente seja executado do modo adequado, o valor desse sinal oscilará em torno do seu valor médio. Dessa forma, para que esse objetivo seja alcançado, o primeiro passo é a fragmentação das variáveis de estado em uma componente AC e uma componente DC, da seguinte forma:

$$i_L = I_L + \hat{i}_L; \quad v_{in} = V_{in} + \hat{v}_{in}; \quad v_o = V_o + \hat{v}_o; \quad d = D + \hat{d}; \quad (2.12)$$

Onde as letras maiúsculas representam a parcela DC do sinal e as componentes com acento circunflexo representam as parcelas AC do sinal.

Substituindo (2.12) em (2.11) e (2.10), obtemos:

$$L \frac{d(I_L + \hat{i}_L)}{dt} = (V_{in} + \hat{v}_{in}) - (1 - D - \hat{d})(V_o + \hat{v}_o) \quad (2.13)$$

$$C \frac{d(V_o + \hat{v}_o)}{dt} = (1 - D - \hat{d})(I_L + \hat{i}_L) - \frac{(V_o + \hat{v}_o)}{R} \quad (2.14)$$

A próxima etapa envolve a manipulação das equações. Expandindo (2.13):

$$L \frac{dI_L}{dt} + L \frac{d\hat{i}_L}{dt} = V_{in} + \hat{v}_{in} + D(V_o + \hat{v}_o) + \hat{d}(V_o + \hat{v}_o) - V_o - \hat{v}_o \quad (2.15)$$

Igualando a parcela unicamente DC:

$$L \frac{dI_L}{dt} = V_{in} + DV_o - V_o = 0 \quad (2.16)$$

Igualando a parcela unicamente AC:

$$L \frac{d\hat{i}_L}{dt} = \hat{v}_{in} + D\hat{v}_o + \hat{d}V_o + \hat{d}\hat{v}_o - \hat{v}_o \quad (2.17)$$

Manipulando (2.17) e desprezando o termo AC de segunda ordem, obtemos:

$$L \frac{d\hat{i}_L}{dt} = \hat{v}_{in} - (1 - D)\hat{v}_o + V_o\hat{d} \quad (2.18)$$

Expandindo agora (2.14):

$$C \frac{dV_o}{dt} + C \frac{d\hat{v}_o}{dt} = (I_L + \hat{i}_L) - D(I_L + \hat{i}_L) - \hat{d}(I_L + \hat{i}_L) - \frac{V_o}{R} - \frac{\hat{v}_o}{R} \quad (2.19)$$

Igualando a parcela unicamente DC:

$$C \frac{dV_o}{dt} = I_L - DI_L - \frac{V_o}{R} = 0 \quad (2.20)$$

Igualando a parcela unicamente AC:

$$C \frac{d\hat{v}_o}{dt} = \hat{i}_L - D(I_L + \hat{i}_L) - \hat{d}(I_L + \hat{i}_L) - \frac{\hat{v}_o}{R} \quad (2.21)$$



Manipulando (2.21) e desprezando o termo AC de segunda ordem, obtemos:

$$C \frac{d\hat{v}_o}{dt} = (1 - D)\hat{i}_L - \hat{d}I_L - \frac{\hat{v}_o}{R} \quad (2.22)$$

Nesse ponto, como desejamos obter o modelo linearizado de pequenos sinais, analisaremos as parcelas (2.18) e (2.22). Aplicando a transformada de Laplace a essas duas parcelas, obtemos:

$$sL\hat{i}_L(s) = \hat{v}_{in}(s) - (1 - D)\hat{v}_o(s) + V_o\hat{d}(s) \quad (2.23)$$

$$sC\hat{v}_o(s) = (1 - D)\hat{i}_L - I_L\hat{d}(s) - \frac{\hat{v}_o}{R} \quad (2.24)$$

Reformulando de modo simétrico, obtemos:

$$sL\hat{i}_L(s) + (1 - D)\hat{v}_o(s) = V_o\hat{d}(s) + \hat{v}_{in}(s) \quad (2.25)$$

$$(1 - D)\hat{i}_L(s) - (sC + \frac{1}{R})\hat{v}_o(s) = I_L\hat{d}(s) \quad (2.26)$$

Agrupando, agora, em forma matricial:

$$\begin{bmatrix} sL & (1 - D) \\ (1 - D) & -(sC + \frac{1}{R}) \end{bmatrix} \begin{bmatrix} \hat{i}_L(s) \\ \hat{v}_o(s) \end{bmatrix} = \begin{bmatrix} V_o \\ I_L \end{bmatrix} \hat{d}(s) + \begin{bmatrix} 1 \\ 0 \end{bmatrix} \hat{v}_{in}(s) \quad (2.27)$$

Isolando, então, as variáveis de estado:

$$\begin{bmatrix} \hat{i}_L(s) \\ \hat{v}_o(s) \end{bmatrix} = \begin{bmatrix} sL & (1 - D) \\ (1 - D) & -(sC + \frac{1}{R}) \end{bmatrix}^{-1} \begin{bmatrix} V_o \\ I_L \end{bmatrix} \hat{d}(s) + \begin{bmatrix} sL & (1 - D) \\ (1 - D) & -(sC + \frac{1}{R}) \end{bmatrix}^{-1} \begin{bmatrix} 1 \\ 0 \end{bmatrix} \hat{v}_{in}(s) \quad (2.28)$$

Resolvendo a matriz inversa:

$$\begin{aligned}
& \begin{bmatrix} sL & (1-D) \\ (1-D) & -(sC + \frac{1}{R}) \end{bmatrix}^{-1} \\
&= \frac{1}{-sL(sC + \frac{1}{R}) - (1-D)^2} \begin{bmatrix} -(sC + \frac{1}{R}) & -(1-D) \\ -(1-D) & sL \end{bmatrix} \\
&= \frac{-1}{LCs^2 + \frac{L}{R}s + (1-D)^2} \begin{bmatrix} -(sC + \frac{1}{R}) & -(1-D) \\ -(1-D) & sL \end{bmatrix} \\
&= \frac{1}{LCs^2 + \frac{L}{R}s + (1-D)^2} \begin{bmatrix} (sC + \frac{1}{R}) & (1-D) \\ (1-D) & -sL \end{bmatrix}
\end{aligned} \tag{2.29}$$

Aplicando (2.29) em (2.28), obtemos

$$\frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{(1-D)V_o - (LI_L)s}{(LC)s^2 + \frac{L}{R}s + (1-D)^2} \tag{2.30}$$

$$\frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{(CV_o)s + 2(1-D)I_L}{(LC)s^2 + \frac{L}{R}s + (1-D)^2} \tag{2.31}$$

$$\frac{\hat{v}_o(s)}{\hat{i}_L(s)} = \frac{(1-D)V_o - (LI_L)s}{(CV_o)s + 2(1-D)I_L} \tag{2.32}$$

Enquanto (2.30) e (2.31) representam as funções de transferência da tensão de saída e corrente no indutor em relação ao sinal da chave do circuito, (2.32) mostra a relação entre a tensão de saída e a corrente no indutor.

Uma vez obtido o modelo linearizado de pequenos sinais para o conversor *Boost*, este modelo será empregado no próximo capítulo no projeto do sistema de controle. Nesse projeto, a transferência (2.30) será utilizada para o controle de tensão e a transferência (2.31) no controle de corrente.

# Capítulo 3

## Projeto do Retificador

### 3.1 Projeto do Retificador de Potência

Com o intuito de facilitar o entendimento do projeto do retificador de potência, dividiu-se essa seção nos pequenos passos que compõem cada um dos subgrupos a serem desenvolvidos nesse projeto. A primeira seção descreverá como a ponte retificadora se comporta na transformação da senóide de entrada em uma nova forma de onda, agora retificada, na entrada do conversor *Boost*. Em seguida, definir-se-ão quais serão as considerações em relação a essa onda de entrada, de forma a facilitar o cálculo dos parâmetros do conversor *Boost*. Após, mostrar-se-ão os parâmetros desejados nos componentes desse circuito e, assim, os mesmos serão calculados e apresentados no final do capítulo.

### 3.2 Primeiro Módulo: Circuito Retificador

Nesse módulo, avalia-se o efeito da ponte retificadora na tensão de entrada do circuito, analisando o seu efeito na forma da onda e na sua amplitude. Nesse caso, será adotada a ponte retificadora da Figura 3.1, com diodos ideais.

O comportamento de uma ponte retificadora de onda completa pode ser descrito de uma maneira bastante direta: Quando a tensão entre os terminais de entrada é positiva, a corrente flui por um par de diodos, gerando uma tensão  $V_{ret}$  positiva. Quando a tensão na entrada é negativa, porém, esse par que estava ativo impede que a corrente percorra pelo circuito no sentido contrário. Entretanto, o outro par

de diodos é ativado agora, permitindo que a corrente flua. Devido ao modo como a corrente flui no circuito, a saída  $V_{ret}$  também apresenta uma tensão positiva.

Portanto, para uma dada tensão de entrada de forma senoidal, a saída apresenta o “módulo” dessa tensão de entrada: a tensão de entrada positiva se mantém, enquanto a negativa é “refletida”, gerando uma onda também positiva na saída. A esse formato de onda na saída dá-se o nome de “senóide retificada em onda completa”. Deve-se observar que a senóide final possui uma amplitude menor do que sua senóide original, devido à queda de tensão provocada pelos diodos. A Figura 3.1 mostra a forma de onda da entrada e saída do retificador de onda completa.

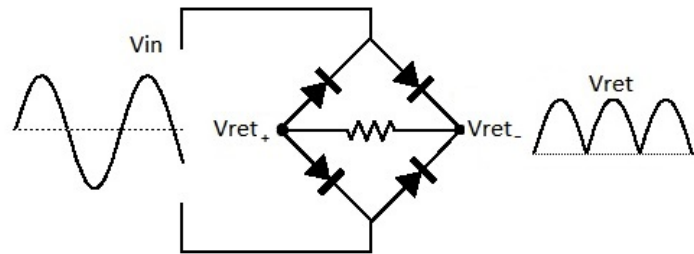


Figura 3.1: Forma de onda na entrada e na saída de um retificador de onda completa

Este projeto tem como objetivo a utilização de uma tensão de entrada que classifique o circuito como *fullrange*, aproximando-se da norma presente em [2]. Na norma, essa faixa de tensão é considerada como sendo de  $127 \text{ e } 220 \pm 15\% V_{ac}$ . Entretanto, em especificações do mercado, comumente encontra-se definida a tensão *fullrange* como sendo de  $90 \text{ a } 240 V_{ac}$ . Neste projeto será utilizada essa segunda definição, para melhor se adaptar com as demandas do mercado. Como adaptação ao fato do circuito ser uma versão escalada daquele necessário para seguir a norma, utilizar-se-á um fator de divisão por 10 para a entrada de tensão no circuito.

A importância da entrada *fullrange* está no fato de ela poder operar em uma faixa de valores (nesse caso de  $90 \text{ até } 240 V_{ac}$ ), ao contrário de um produto *bivolt*, limitado a duas tensões específicas. Desse modo, adaptar o produto a uma tensão de entrada *fullrange* fornece ao mesmo flexibilidade no seu uso, inclusive permitindo-o operar em uma maior variedade de situações. Observe que, com essa característica, o produto será capaz de operar inclusive em condições de sobretensão e subtensão

da rede, desde que tais variações anormais não saiam da sua faixa de funcionamento.

Por conseguinte, pode-se concluir que a tensão  $V_{ret}$  é uma senóide retificada, cuja frequência é o dobro daquela adotada na rede elétrica – nesse caso, 120 Hz. O valor eficaz (RMS) escalado da senóide de entrada varia entre 9 e 24  $V_{ac}$ . Esses valores podem ser convertidos para os valores de pico da onda, multiplicando-os por  $\sqrt{2}$ . Assim, obtêm-se 12,72 e 33,94  $V_{pico}$  para os dois extremos da faixa, respectivamente.

### 3.3 Segundo Módulo: Conversor *Boost*

Para a análise do segundo módulo, considera-se como tensão na entrada a média da tensão senoidal retificada.

A média de uma tensão retificada, segundo [7], pode ser obtida através de

$$\overline{V_{ret}} = \frac{2V_{pico}}{\pi} \quad (3.1)$$

Desse modo, podem ser obtidos os valores médios para ambos os extremos da faixa de operação

$$\overline{V_{retmin}} = \frac{2 \cdot 12,72}{\pi} = 8,09V \quad (3.2)$$

$$\overline{V_{retmax}} = \frac{2 \cdot 33,94}{\pi} = 21,60V \quad (3.3)$$

Os quais representam os nossos valores médios mínimo e máximo de entrada. Definindo o sinal de controle  $d$  como a razão cíclica do circuito (fração do período na qual o sinal do *Pulse-Width Modulator* (PWM) está ativo), pode-se calcular o valor médio  $d_{med}$  para a faixa dos possíveis valores de entrada. Para isso, define-se:

$$V_{retmed} = \frac{\overline{V_{retmin}} + \overline{V_{retmax}}}{2} = \frac{8,09 + 21,60}{2} = 14,86V \quad (3.4)$$

Além disso, o ciclo de trabalho de um conversor boost é determinado pelo ganho de tensão entre a entrada e a saída do circuito, onde

$$V_o = \frac{V_{in}}{(1 - d)} \quad (3.5)$$

$$1 - d = \frac{V_{in}}{V_o} \quad (3.6)$$

$$d = 1 - \frac{V_{in}}{V_o} \quad (3.7)$$

Nessas expressões,  $V_{in}$  é a tensão de entrada do conversor *Boost* e  $V_o$  é a tensão na sua saída. Para este projeto será adotado  $V_o = 35$  V.

Logo, usando (3.7)

$$d_{max} = 1 - \frac{8,09}{35} = 0,769 \quad (3.8)$$

$$d_{min} = 1 - \frac{21,60}{35} = 0,383 \quad (3.9)$$

Assim, pode-se obter o valor médio

$$d_{med} = \frac{0,769 + 0,383}{2} = 0,576 \quad (3.10)$$

Para a realização do projeto do conversor *Boost*, utilizar-se-ão as seguintes especificações:

- Tensão de entrada média,  $V_{in} = 15$  V;
- Tensão de entrada mínima,  $V_{min} = 9$  V;
- Tensão de entrada máxima,  $V_{max} = 24$  V;
- Razão cíclica mínima,  $d_{min} = 0,383$  ;
- Razão cíclica máxima,  $d_{max} = 0,769$  ;
- Razão cíclica média,  $d_{med} = 0,576$  ;
- Tensão de saída,  $V_o = 35$  V;
- Potência de saída,  $P_{out} = 5$  W;
- Tensão pico a pico de ripple na saída,  $\Delta V_{pp} \leq 5$  V;
- Frequência de chaveamento,  $f_c = 100$  kHz ( $T = 0,1 \mu s$ );

Para o cálculo dos parâmetros do circuito, conforme [4], utiliza-se a seguinte equação

$$V_o = \frac{V_{in}}{1-d} \quad (3.11)$$

Observe que na Equação (3.11), desconsidera-se a queda de tensão presente no diodo como em [4], para questão de simplificação dos parâmetros do projeto.

Do ponto de vista da carga, sabendo  $P_{out}$  e  $V_o$ , pode-se calcular

$$I_{out} = \frac{P_{out}}{V_o} \quad (3.12)$$

que, substituindo pelos valores do projeto, resulta em  $I_{out} = 142 \text{ mA}$ .

Segundo [4], pode-se calcular  $C_{min}$  como

$$C_{min} = \frac{I_{out}d}{\Delta V_{pp}f_c} \quad (3.13)$$

Para o caso de  $\Delta V_{pp} = 5 \text{ V}$  e  $d_{min}$ ,  $C_{min1} = 0,11 \text{ }\mu\text{F}$ .

Para o caso de  $\Delta V_{pp} = 5 \text{ V}$  e  $d_{max}$ ,  $C_{min2} = 0,23 \text{ }\mu\text{F}$ .

Já  $L_{min}$  pode ser calculado como

$$L_{min} = \frac{(V_o - V_{in})V_{in}^2}{2I_{out}V_o^2f_c}. \quad (3.14)$$

Com  $\Delta V_{pp} = 5 \text{ V}$  e  $V_{min}$ ,  $L_{min1} = 60 \text{ }\mu\text{H}$ .

Já com  $\Delta V_{pp} = 5 \text{ V}$  e  $V_{max}$ ,  $L_{min2} = 182 \text{ }\mu\text{H}$ .

Já para o cálculo da carga necessária para dissipar a potência de saída do circuito,

$$R_{load} = \frac{(V_o^2)}{P_{out}} \quad (3.15)$$

que, substituindo pelos valores do projeto, resulta em  $R_{load} = 245 \text{ }\Omega$ . O valor de  $R_{load} = 247 \text{ }\Omega$  por questões de valores disponíveis para compra.

Como um parâmetro extra, pode-se calcular a corrente média no indutor. Para tal, usamos

$$\overline{I_{ind}} = \frac{I_{out}}{1-d_{med}} \quad (3.16)$$

Utilizando  $d_{min}$ ,  $\overline{I_{ind1}} = 230 \text{ mA}$ . Já  $I_{pico1} = 360 \text{ mA}$ .

Já utilizando  $d_{max}$ ,  $\overline{I_{ind2}} = 615 \text{ mA}$ .  $I_{pico2} = 966 \text{ mA}$ .

Observe que os valores mínimos calculados para o conversor *Boost* levam em consideração uma entrada constante, de tal forma que o indutor garanta um funcionamento em modo contínuo e o capacitor garanta um valor máximo de Ripple na saída considerando o chaveamento em 100 kHz. Entretanto, existe o empecilho de que o sinal de entrada ser uma senóide retificada de 120 Hz, gerando outros requisitos a esses dois componentes.

Em relação ao capacitor, o sinal de 120 Hz precisa ser filtrado também na saída de modo a garantir que este não cause ripple considerável. Assim, o filtro RC da saída, neste projeto, será calculado de modo a apresentar uma frequência de corte duas décadas antes de tal frequência (em 1,2 Hz), garantindo, assim, atenuação de 40 dB para o sinal retificado. Considerando a corrente máxima do circuito (com um resistor de  $247 \Omega$  na saída), o valor mínimo para o capacitor de filtro é

$$C = \frac{1}{(2 \cdot \pi \cdot R \cdot f)} = 541 \mu F, \quad (3.17)$$

Considerando  $C_{min1}$ ,  $C_{min2}$  e o valor  $C$  encontrado, o mínimo a ser escolhido é de  $541 \mu F$ . O capacitor comercial escolhido foi de  $680 \mu F$  para este projeto.

Em relação ao indutor do conversor *Boost*, a variação de corrente de entrada durante os ciclos de carregamento e descarregamento aparece sobreposta ao sinal senoidal desejado. Assim, quanto maior for tal variação em comparação com a variação total prevista sobre o indutor, maior também será o THD induzido na corrente de entrada. Assim, deve-se escolher um indutor maior que o mínimo calculado anteriormente. Segundo [8], sabe-se que

$$\Delta I_L = \frac{V_{ret} \cdot d \cdot T}{L}. \quad (3.18)$$

Além disso, a corrente no indutor chega a cerca de 1 A de pico para a menor tensão retificada de entrada e cerca de 360 mA de pico para a maior tensão retificada de entrada. Para alcançar uma variação de corrente máxima de 15 mA, foi escolhido o indutor comercial de 13 mH, de modo que a variação de corrente máxima seja de 14,2 mA para  $V_{in} = 24 \text{ V}$  (aproximadamente 3,1% da corrente de pico) e 2,65 mA para  $V_{in} = 9 \text{ V}$  (aproximadamente 0,265% da corrente de pico).



Além disso, pode-se calcular também a tensão de *ripple* no capacitor. Para tal, usa-se

$$V_{ripple} = \frac{I_{out} \cdot d_{med} \cdot T}{C} \quad (3.19)$$

Com os valores usados, neste projeto, obtém-se que  $V_{ripple} = 1,2 \text{ mV}$ .

Finalmente, os parâmetros calculados para este projeto estão resumidos na Tabela 3.1.

Tabela 3.1: Parâmetros finais do projeto do Conversor *Boost*

Parâmetro	Valor
Valor do Capacitor	680 $\mu\text{F}$
Valor do Indutor	13 mH
Valor do Resistor	247 $\Omega$
Corrente Média no Indutor	0,35 A
Tensão de Ripple Média	1,2 mV
Razão Cíclica d média	0,576

## 3.4 Projeto do Controlador Digital

Na Seção 2.7, foram obtidas as funções de transferência do circuito, com as seguintes variáveis:

- $d$ , ciclo de trabalho;
- $V_o$ , tensão de saída;
- $C$ , valor do capacitor;
- $L$ , valor do indutor;
- $R$ , valor do resistor;
- $I_L$ , corrente no indutor.

Substituindo nas equações (2.30), (2.31) e (2.32), os valores encontrados para eles na Tabela 3.1, obtêm-se

$$\frac{\hat{v}_o(s)}{\hat{d}(s)} = \frac{-0.00455s + 15}{8.84 \times 10^{-06}s^2 + 5.571 \times 10^{-05}s + 0.1837} \quad (3.20)$$

$$\frac{\hat{i}_L(s)}{\hat{d}(s)} = \frac{0.0238s + 0.3}{8.84 \times 10^{-06}s^2 + 5.571 \times 10^{-05}s + 0.1837} \quad (3.21)$$

$$\frac{\hat{v}_o(s)}{\hat{i}_L(s)} = \frac{-0.00455s + 15}{0.0238s + 0.3} \quad (3.22)$$

### 3.4.1 O controle de duas malhas de corrente média

A Figura 3.2 mostra o diagrama de blocos da arquitetura de controle que será utilizada. Nesse diagrama, definimos:

- $T_{c1}$  (*Transfer Control 1*) como a função de transferência do primeiro controlador. Ele é o controle de corrente, já que sua entrada é uma corrente e sua saída é o ciclo de trabalho do circuito.
- $T_m(s)$  como uma função para modular o resultado do controlador de corrente para gerar o sinal  $d(s)$  segundo características específicas.

- $T_{c2}$  (*Transfer Control 2*) como a função de transferência do segundo controlador. Ele é o controle de tensão, já que sua entrada é o sinal de tensão e sua saída é a corrente de referência ( $i_{Lref}$ ).
- $T_{p1}$  (*Transfer Plant 1*) como a função de transferência do sinal  $d(s)$  para  $i_L(s)$ , representando uma parcela do circuito. Apresentado na Equação (3.21).
- $T_{p2}$  (*Transfer Plant 2*) como a função de transferência do sinal  $i_L(s)$  para  $v_o(s)$ , representando a outra parcela do circuito. Apresentado na Equação (3.22).
- $H_1(s)$  como uma função que representará o ganho para realimentação do controle de corrente.
- $H_2(s)$  como uma função que representará o ganho para realimentação do controle de tensão.

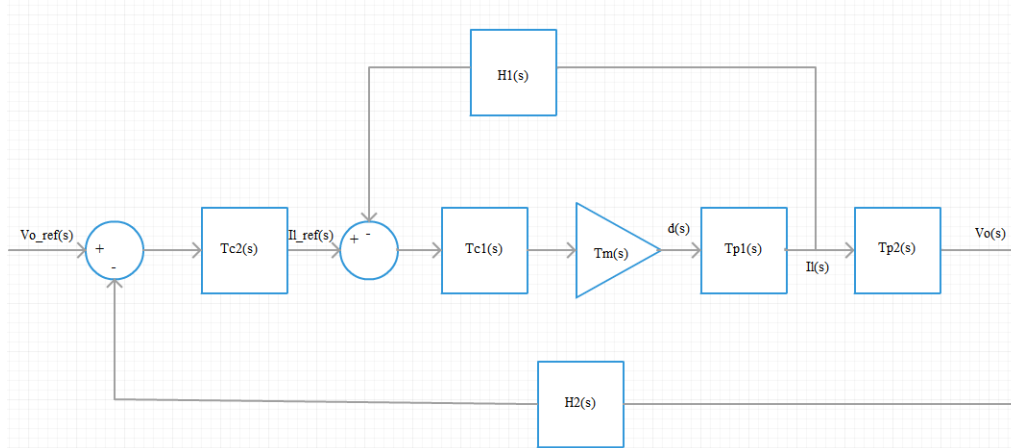


Figura 3.2: Diagrama de blocos da arquitetura de controle.

O controle é formado por duas malhas de controle: o *loop* interno (*loop* de controle de corrente) e o *loop* externo (*loop* de controle de tensão). Em relação a essas duas malhas, é necessário que a malha de controle de corrente opere em uma velocidade mais elevada do que aquela da malha de tensão. Tal requisito decorre do fato que existe um chaveamento no circuito que altera o valor da corrente no circuito na frequência de 100 kHz, derivado dos ciclos de carga e descarga do indutor. Desse

modo, é necessário que o controlador seja capaz de atuar na velocidade dessa corrente, ajustando-a para atingir o objetivo da baixa distorção harmônica na corrente de entrada. Além disso, o método de integração dos controladores PI é trapezoidal. Tal método representa uma transformação bilinear entre o sistema contínuo e o sistema discreto, o que garante que, quando o sistema for utilizado na sua implementação digital, os cálculos feitos neste projeto sejam válidos e não necessitem de nenhuma transformação extra.

### 3.4.2 Projeto da malha de corrente

A Figura 3.3 mostra apenas o diagrama de blocos da malha de controle de corrente, que é um subsistema do diagrama completo da Figura 3.2.

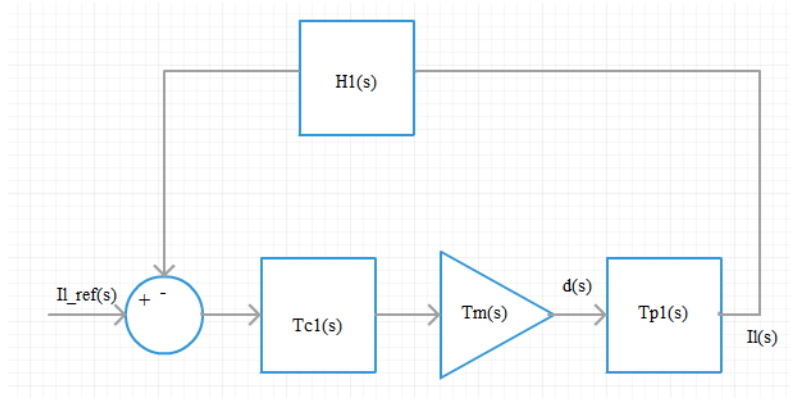


Figura 3.3: Diagrama de blocos da malha de controle de corrente.

Realiza-se o Diagrama de Bode de  $T_{p1}(s)$ , na Figura 3.4. Considerando apenas a planta a ser controlada, observe que a fase com valor de  $90^\circ$  é obtida na frequência  $f_c = 429 \text{ Hz}$  ( $\omega_c = 2,7 \text{ K rad/s}$ ).

Assumindo 100% de eficiência, a corrente média do indutor é igual a corrente de referência. Desse modo, a realimentação da malha de corrente é igual a

$$H_1(s) = \frac{I_{ind}}{I_{ref}} = 1 \quad (3.23)$$

Em relação ao modulador PWM, normalmente se utiliza uma forma de onda triangular ou dente de serra, cuja frequência é a mesma do chaveamento do circuito,

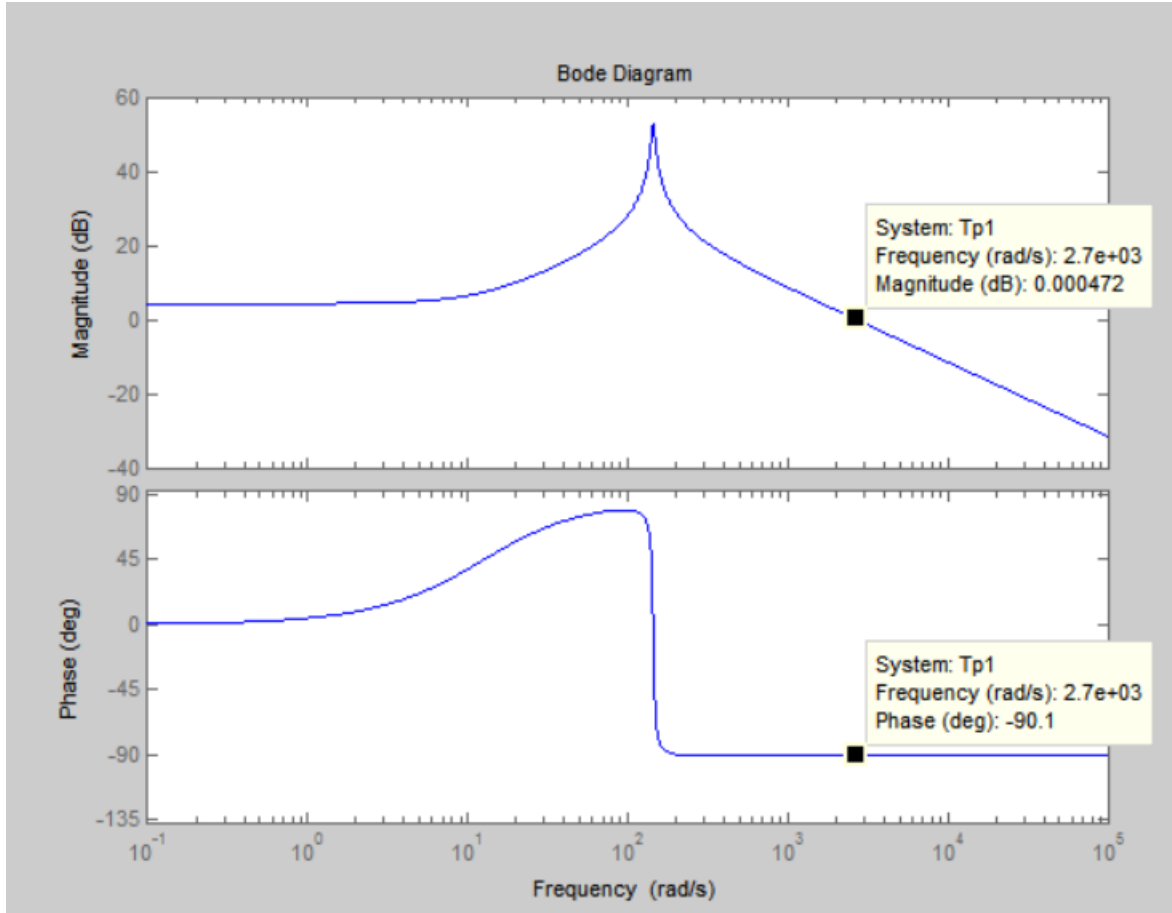


Figura 3.4: Diagrama de Bode de  $T_{p1}$

como forma de onda a ser comparada com o valor de saída do PI para gerar o sinal de PWM. Nesse projeto, será utilizada uma onda em formato de dente de serra, com amplitude máxima igual a 5 V como a onda a ser comparada com o sinal de saída do PI. Essa escolha é arbitrária. Caso fosse desejado comparar o sinal de saída de  $T_{c1}(s)$  com uma onda forma de onda triangular ou dente de serra, o valor de 5 V seria apropriado para garantir que o sinal de controle não fosse tão afetado pelo ruído presente no circuito do que caso tivesse uma amplitude menor. Neste projeto, tal valor é arbitrado, já que não se utilizará, na prática, um sinal analógico. Desse modo, temos que a amplitude pico a pico da onda escolhida,  $V_{mpp} = 5$  V. Já  $T_m(s)$  é o “mapeamento” entre a forma de onda de saída do PI e a largura do pulso PWM, através da comparação com a forma de onda dente de serra. Quando a saída do PI é máxima, isso é, igual a 5, o valor do sinal d seria igual a 1. Dessa forma, deve-se

escolher  $T_m(s)$  tal que seja capaz de realizar esse “mapeamento”. Com isso,  $T_m(s) = 0,2$ .

Para realizar o dimensionamento do controlador, observe que a função de transferência de  $T_{c1}(s)$  do controlador PI é dada por

$$T_{c1}(s) = K_{vp} + \frac{K_{vi}}{s} = \frac{K_{vp} \cdot (s + \frac{K_{vi}}{K_{vp}})}{s} \quad (3.24)$$

A função de malha do controle de corrente é dada por

$$T_{OL1}(s) = T_{c1}(s)T_m(s)T_{p1}(s)H_1(s) \quad (3.25)$$

que, substituindo as expressões (3.21), (3.23), (3.24) em (3.25), obtemos

$$T_{OL1}(s) = \frac{K_{vp} \cdot (s + \frac{K_{vi}}{K_{vp}})}{s} \cdot 0,2 \cdot \left( \frac{0.0238s + 0.3}{8.84 \times 10^{-06}s^2 + 5.571 \times 10^{-05}s + 0.1837} \right) \cdot 1 \quad (3.26)$$

Para a obtenção dos valores  $K_{vp}$  e  $K_{vi}$ , deve-se seguir duas condições:

- $|T_{OL1}(jw_c)| = 1$
- $\angle T_{OL1}(jw_c) = 90^\circ - 180^\circ = -90^\circ$ .

onde  $90^\circ$  é o valor adotado neste projetado para representar a margem de fase da planta a ser controlada.

A resolução de tais questões se encontra em [6]. Adotando o mesmo procedimento apresentado, obtêm-se  $K_{vp} = 0,164$  e  $K_{vi} = 6,311$

Substituindo os valores encontrados em (3.26),

$$T_{OL1}(s) = \frac{0.001242s^2 + 1.587s + 42.9}{8.439 \times 10^{-08}s^3 + 5.274 \times 10^{-05}s^2 + 0.138s} \quad (3.27)$$

### 3.4.3 Projeto da malha de tensão

Similarmente, a Figura 3.5 mostra o diagrama de blocos da malha de tensão.

Como a malha interna de corrente é capaz de corrigir os erros rapidamente e a malha de tensão é realimentada pela tensão de saída, as dinâmicas internas da malha de corrente podem ser ignoradas, exceto pelo ganho DC. Sua função de

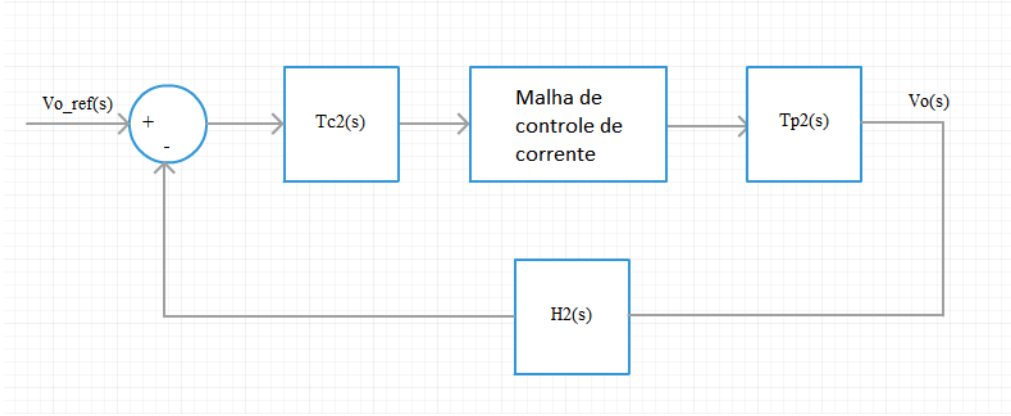


Figura 3.5: Diagrama de blocos da malha de controle de tensão.

transferência não precisa ser incluída, de forma a ser possível substituir o ciclo de trabalho  $d$  pelo seu valor DC,  $D$ . Desse modo, pode-se recalculer o valor de  $T_{p2}(s)$  a partir dessa premissa.

Partindo da Equação (2.28), pode-se desprezar  $\hat{d}(s)$ , obtendo

$$\begin{bmatrix} \hat{i}_L(s) \\ \hat{v}_o(s) \end{bmatrix} \approx \begin{bmatrix} sL & (1-D) \\ (1-D) & -(sC + \frac{1}{R}) \end{bmatrix}^{-1} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \hat{v}_{in}(s) \quad (3.28)$$

Usando o resultado obtido na Equação (2.29)

$$\begin{bmatrix} \hat{i}_L(s) \\ \hat{v}_o(s) \end{bmatrix} \approx \frac{1}{LCs^2 + \frac{L}{R}s + (1-D)^2} \begin{bmatrix} (sC + \frac{1}{R}) & (1-D) \\ (1-D) & -sL \end{bmatrix} \cdot \begin{bmatrix} 1 \\ 0 \end{bmatrix} \hat{v}_{in}(s) \quad (3.29)$$

é possível obter

$$\begin{cases} \hat{i}_L(s) \cong \frac{sC + \frac{1}{R}}{LCs^2 + \frac{L}{R}s + (1-D)^2} \hat{v}_{in}(s) \\ \hat{v}_o(s) \cong \frac{(1-D)}{LCs^2 + \frac{L}{R}s + (1-D)^2} \hat{v}_{in}(s) \end{cases} \quad (3.30)$$

Logo,

$$T_{p2}(s) = \frac{\hat{v}_o(s)}{\hat{i}_L(s)} = \frac{(1-D)}{(Cs + \frac{1}{R})}. \quad (3.31)$$

É possível desenhar o diagrama de Bode para essa função de transferência.

A Figura 3.6 mostra o diagrama de Bode, onde a fase de  $90^\circ$  é obtida na frequência  $f_c = 100 \text{ Hz}$  ( $\omega_c = 630 \text{ rad/s}$ ).

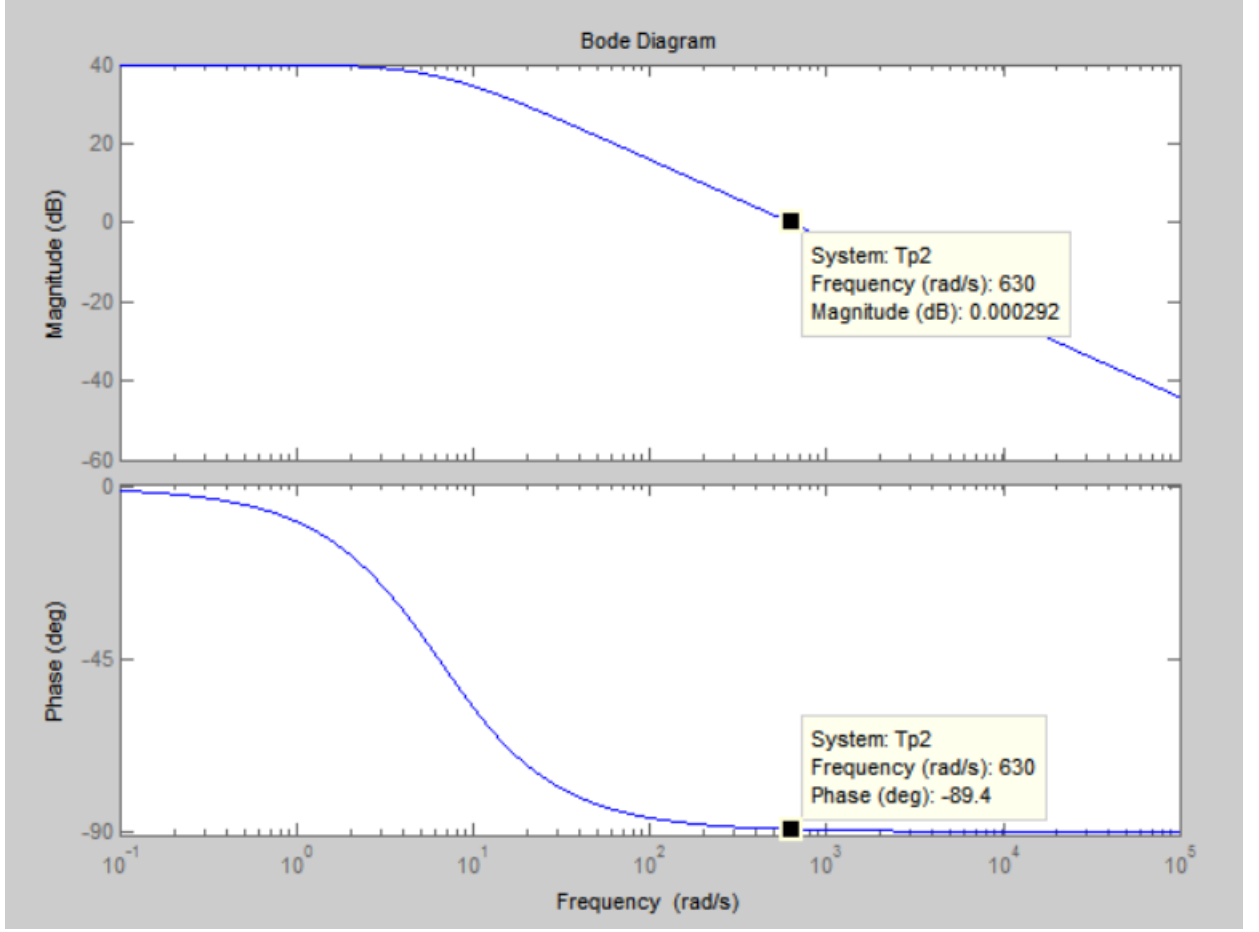


Figura 3.6: Diagrama de Bode de  $T_{p2}$

Selecionando a tensão de referência  $v_{o,ref} = 3,5 \text{ V}$ , o ganho de realimentação da malha de controle de corrente é dado por

$$H_2(s) = \frac{3,5}{35} = 0,1 \quad (3.32)$$

A função de transferência  $T_{c2}(s)$  do controlador PI é dada por

$$T_{c2}(s) = K_{ip} + \frac{K_{ii}}{s} = \frac{K_{ip} \cdot \left(s + \frac{K_{ii}}{K_{ip}}\right)}{s} \quad (3.33)$$

Desse modo,

$$T_{OL2}(s) = T_{c2}(s)T_{p2}(s)H_2(s) \quad (3.34)$$



Substituindo (3.31), (3.32) e (3.33) em (3.34), obtém-se

$$T_{OL2}(s) = \frac{K_{ip} \cdot (s + \frac{K_{ii}}{K_{ip}})}{s} \cdot \frac{-0.00455s + 15}{0.0238s + 0.3} \cdot 0,1 \quad (3.35)$$

Similarmente, para a obtenção dos valores  $K_{ip}$  e  $K_{ii}$ , deve-se seguir duas condições:

- $|T_{OL2}(jw_c)| = 1$
- $\angle T_{OL2}(jw_c) = 90^\circ - 180^\circ = -90^\circ$ .

Adotando o mesmo procedimento apresentado em [6], obtém-se  $K_{ip} = 1,405$  e  $K_{ii} = 79,495$ .

Substituindo os valores encontrados em (3.35),

$$T_{OL2}(s) = \frac{2.855 \times 10^{-06}s + 0.1698}{6.491 \times 10^{-06}s^2 + 0.004057s} \quad (3.36)$$

Desse modo, somos capazes de obter os valores das constantes de integração e proporcionalidade para os dois controladores. A Tabela 3.2 mostra os valores obtidos.

Tabela 3.2: Valor das Constantes do Controlador *Boost*

Parâmetro	Valor
$K_{vp}$	0,164
$K_{vi}$	6,311
$K_{ip}$	1,405
$K_{ii}$	79,495

## Capítulo 4

# Simulações do Circuito Retificador

### 4.1 Montagem

Para as simulações do Circuito Retificador, utilizou-se o simulador *PSCAD*, versão de estudante, para a simulação de todo o sistema, incluindo o controlador digital. A Figura 4.1 mostra o circuito montado.

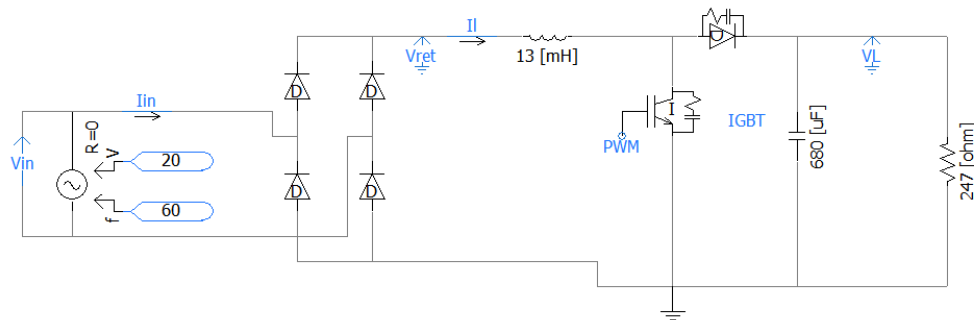


Figura 4.1: Versão inicial do circuito retificador montado no PSCAD.

A malha de controle pode ser vista na Figura 4.2. Observe que, conforme definido no Capítulo 3, amostra-se 10% da tensão de saída e o valor completo da corrente no indutor.

Para a obtenção do THD da corrente de entrada, utilizou-se o bloco respectivo no PSCAD, cuja a entrada é a *Fast Fourier Transform* (FFT) da corrente de entrada do circuito. Sua saída é a soma de todas as componentes de THD do sinal com o total de 15 harmônicos. A montagem do sub-circuito pode ser vista na Figura 4.3.

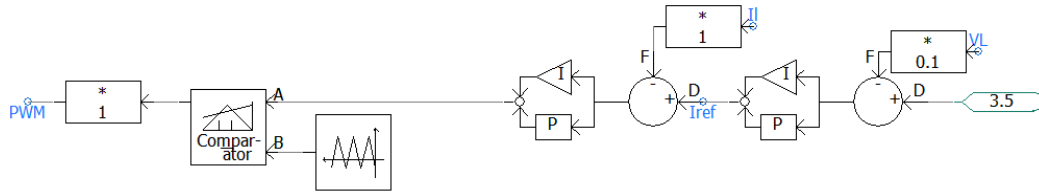


Figura 4.2: Malha de controle do circuito retificador.

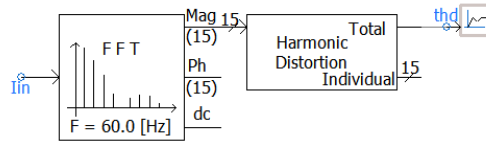


Figura 4.3: Montagem do sub-circuito para obtenção do THD da corrente de entrada.

Simulou-se o controle digital do circuito utilizando os próprios dispositivos presentes no *PSCAD*, definindo como as constantes de proporcionalidade e integração aquelas obtidas na Seção 3.3.

## 4.2 Resultados Parciais

Os pontos mais importantes a serem avaliados, nessa primeira etapa, são o THD da corrente de entrada e o Fator de Potência (FP) da tensão e correntes de entrada.

Para a obtenção dos dados da simulação, utilizou-se como referência a norma 542 da Anatel, presente em [2]. A partir dela, concluiu-se que:

- As tensões nominais de entrada serão consideradas como 12,7 e 22  $V_{ac}$ . Elas foram definidas a partir dos valores de  $V_{in}$  que representam as tensões nominais. Repare que esses valores são um décimo das tensões nominais da norma (127 e 220  $V_{ac}$ ), já que utiliza-se um fator de escalamento de 10 para as tensões desse projeto no aspecto de entrada *fullrange*. Com esses valores, podemos obter as tensões médias retificadas de entrada, lembrando que a entrada do conversor *Boost* é uma senóide retificada.

- O teste THD da corrente de entrada do circuito, será avaliado quando o circuito operar com a sua potência nominal de saída e com a tensão nominal de entrada. Desse modo, dois testes serão realizados: o primeiro quando a tensão de entrada for de  $12,7 V_{ac}$  e a corrente de saída for máxima e o segundo quando a tensão de entrada for de  $22 V_{ac}$ , com a corrente máxima na saída.
- O teste do Fator de Potência, seguirá a mesma ideia presente na obtenção do THD. O circuito será operado tanto em  $12,7 V_{ac}$  quanto  $22 V_{ac}$ , com a corrente máxima na saída. Serão observadas a forma de onda que representam a corrente e tensão de entrada e será obtida a diferença de fase entre as duas. Com a diferença de fase pode-se calcular o Fator de Potência, segundo [9], como:

$$FP = \frac{\cos(\phi_{VI})}{\sqrt{(1 + THD^2)}} \quad (4.1)$$

Onde  $\phi_{VI}$  é a diferença de fase entre as formas de onda de tensão e de corrente na entrada,  $THD$  é o valor obtido para o THD e  $FP$  é o fator de potência do circuito. Além disso, vale notar que a defasagem também representa a relação entre as potências aparente e ativa do sistema.

### 4.3 Circuito Inicial

A seguir, são apresentados, inicialmente, os resultados referentes à tensão de entrada em  $12,7 V_{ac}$  ( $17,9 V_p$ ).

A Figura 4.4 mostra o comportamento da saída  $V_{out}$  durante o transitório. Note a presença de um *overshoot* na tensão da saída, elevando até próximo de 40 V durante 0,1 segundos, para depois tender aos 35 V durante o regime permanente.

Já a Figura 4.5 mostra o comportamento da mesma tensão  $V_{out}$  no regime permanente do circuito, revelando uma tensão de *ripple* de aproximadamente 0,4 V pico a pico.

Por sua vez, a Figura 4.6 aponta que o THD da corrente de entrada, no regime permanente do circuito, alcançou níveis abaixo de 50% nas simulações.

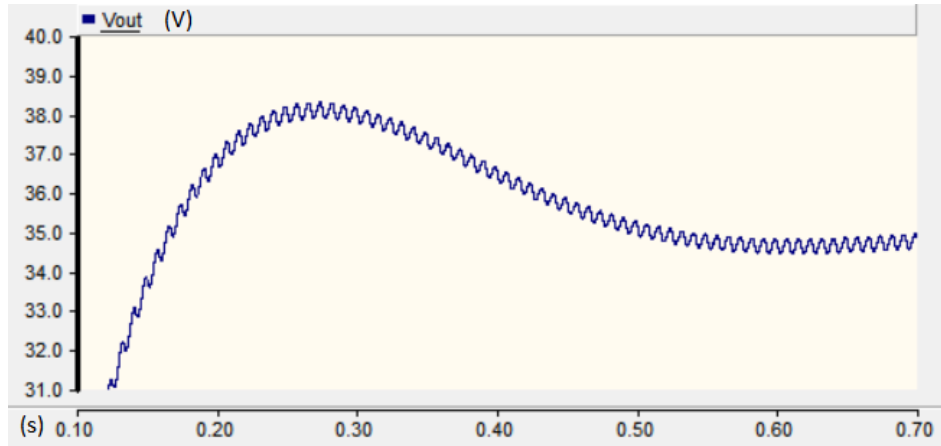


Figura 4.4: *Overshoot da tensão de saída do circuito, para entrada de  $12,7 V_{ac}$*

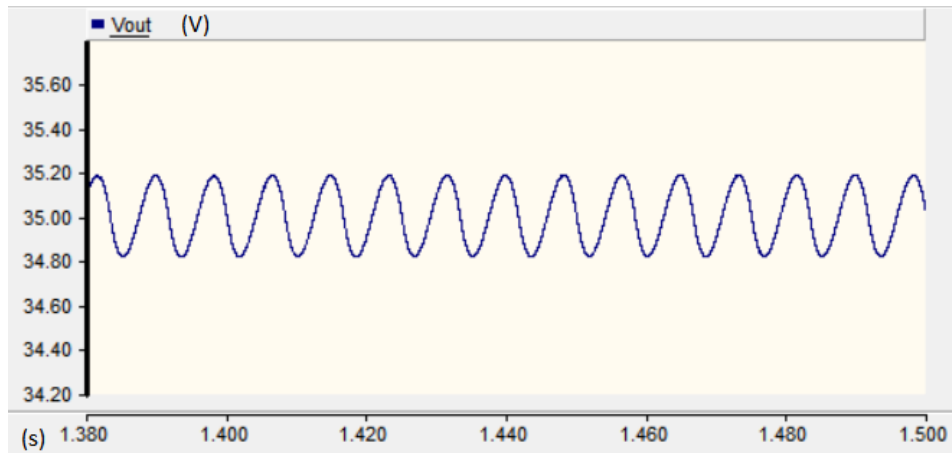


Figura 4.5: *Tensão de saída em regime permanente do circuito, para entrada de  $12,7 V_{ac}$*

Por último, as Figuras 4.7 e 4.8 mostram, respectivamente, a forma de onda da tensão e corrente de entrada do circuito.

Agora, são apresentados os resultados referentes à tensão de entrada em  $22 V_{ac}$  ( $31,1 V_p$ ):

A Figura 4.9 mostra o comportamento da tensão na saída  $V_{out}$  durante o transitório. Note a presença de um *overshoot* na tensão  $V_{out}$ , elevando-a até próximo de 40 V durante 0,1 segundos, para depois tender aos 35 V durante o regime permanente.

Já a Figura 4.10 mostra o comportamento da mesma tensão  $V_{out}$  no regime

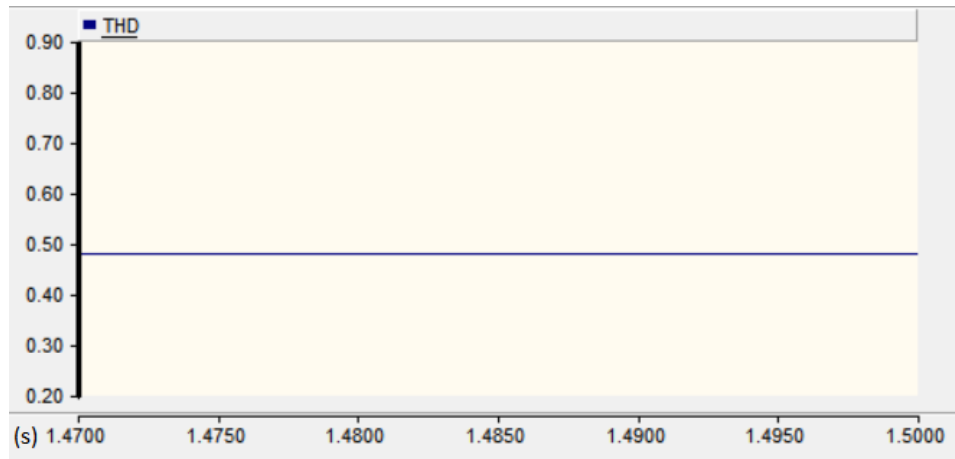


Figura 4.6: THD da corrente de entrada em regime permanente, para entrada de  $12,7 V_{ac}$ .

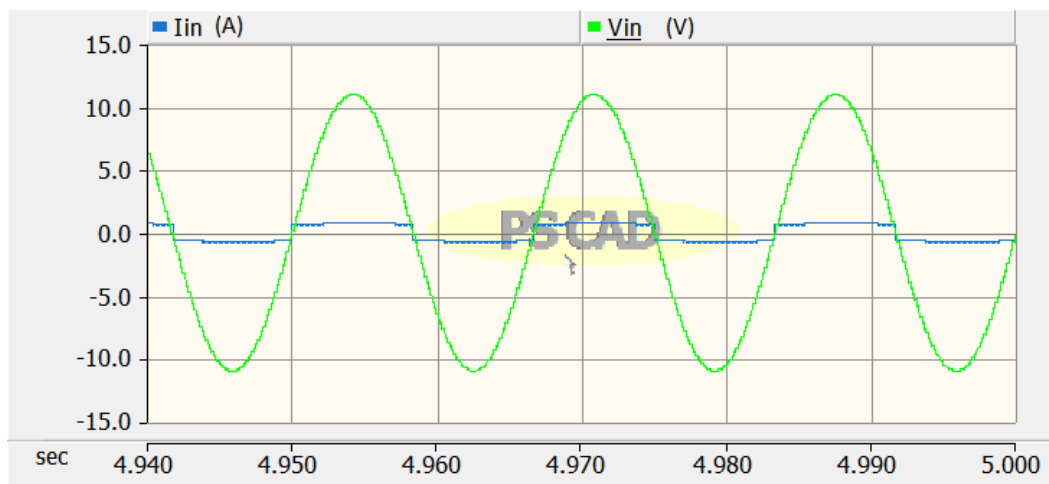


Figura 4.7: Comparação entre corrente e tensão de entrada, para entrada de  $12,7 V_{ac}$

permanente do circuito, revelando uma tensão de *ripple* de aproximadamente 0,4 V pico a pico.

Por sua vez, a Figura 4.11 aponta que o THD da corrente de entrada, no regime permanente do circuito, alcançou níveis em torno de 48% nas simulações.

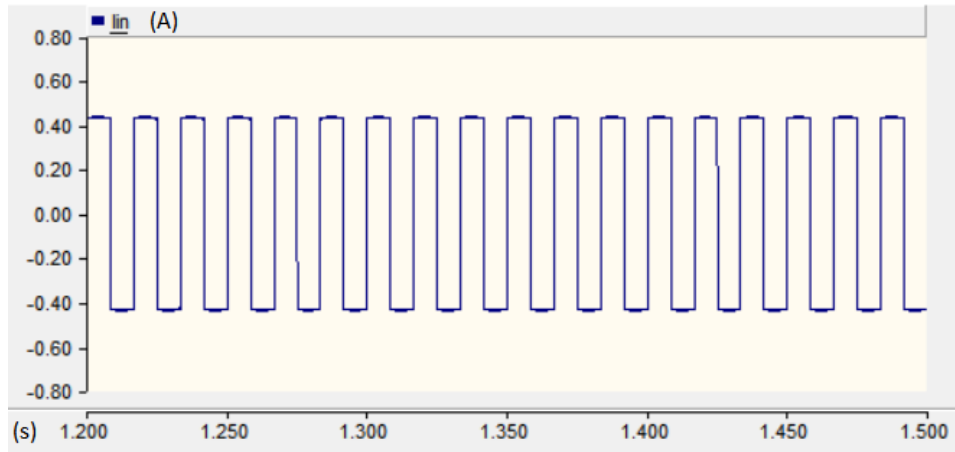


Figura 4.8: Corrente de entrada, para entrada de  $12,7 V_{ac}$

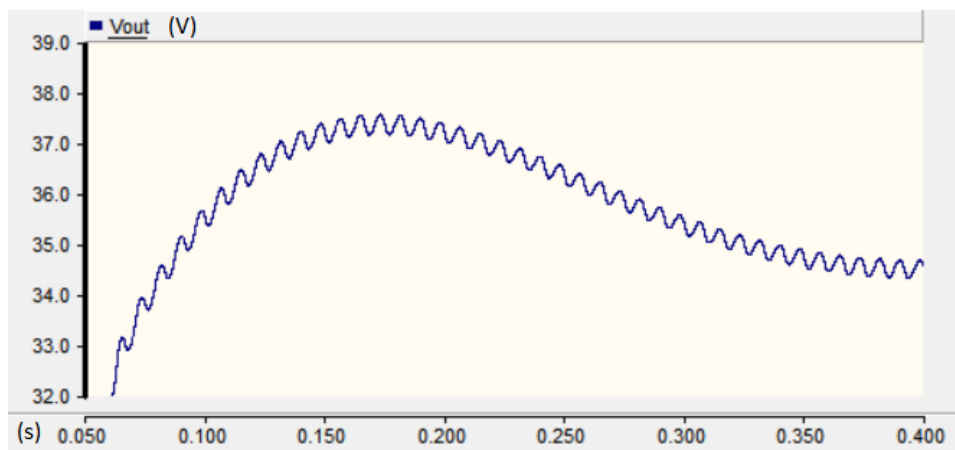


Figura 4.9: Overshoot da tensão de saída do circuito, para entrada de  $22 V_{ac}$

Por último, as Figuras 4.12 e 4.13 mostram, respectivamente, a forma de onda da tensão e corrente de entrada do circuito.

Como pode-se notar, as correntes de entrada não possuem um formato senoidal. Tal formato é desejado para obter um fator de potência próximo à unidade. Pode-se perceber que o controle da corrente não é capaz de gerar, desse modo, um fator de potência adequado ao objetivo do circuito. Desse modo, inseriu-se um novo bloco de circuito, responsável por “copiar” o comportamento da tensão de entrada na referência, deixando-a também na forma de uma senóide retificada. Isso forçará o controle a gerar uma corrente de referência dessa forma. Essa corrente de referência,

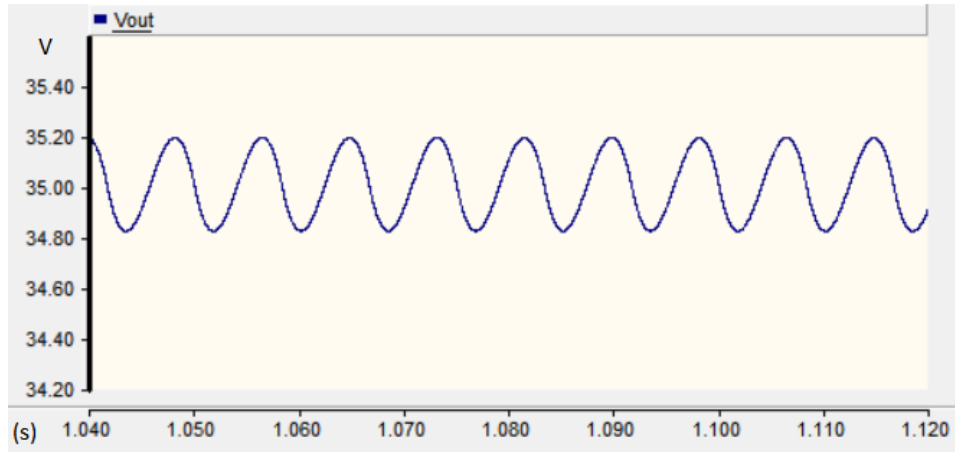


Figura 4.10: Tensão de saída em regime permanente do circuito, para entrada de  $22 V_{ac}$



Figura 4.11: THD da corrente de entrada em regime permanente, para entrada de  $22 V_{ac}$

por sua vez, é capaz de melhorar o fator de potência do circuito, como será visto adiante.

Com esse novo bloco, o valor anteriormente constante da corrente de referência passa a ser o valor médio da nova referência senoidal retificada, copiando a tensão de entrada, com o objetivo de estar em fase com a mesma.

A Figura 4.14 mostra novo o bloco que, a partir da saída do PI que controla tensão, gera a corrente de referência para o segundo PI (o PI que controla corrente). Observe que para o objetivo de controle ser atingido, é necessário multiplicar a referência de corrente por um fator que possui o formato da tensão retificada, mas



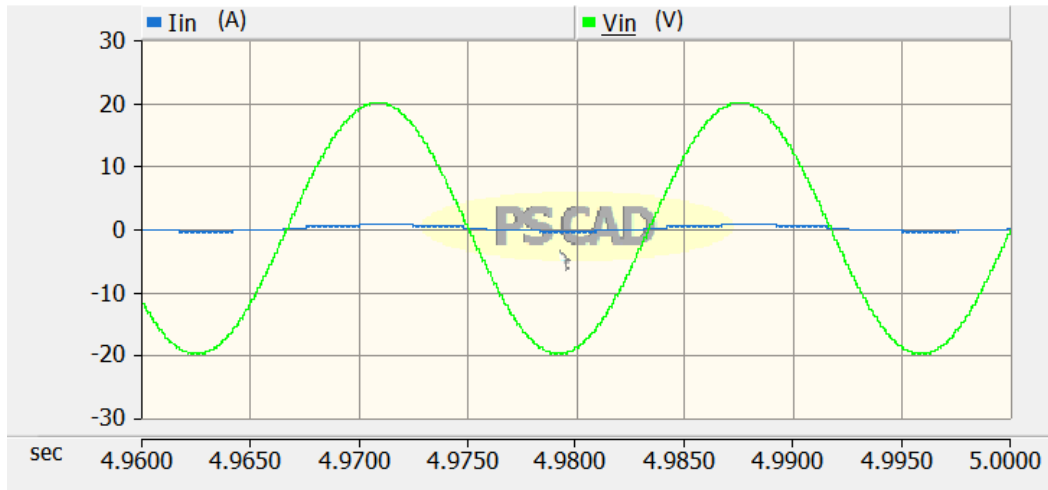


Figura 4.12: Comparação entre corrente e tensão de entrada, para entrada de  $22 V_{ac}$

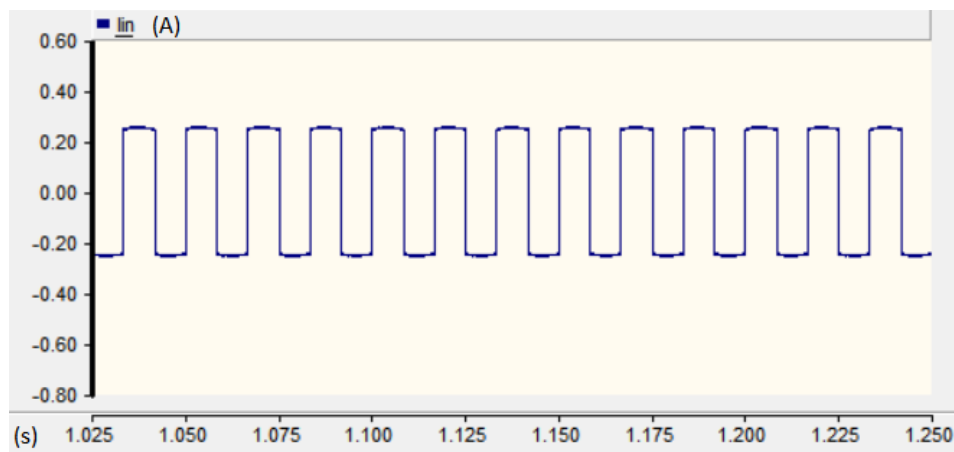


Figura 4.13: Corrente de entrada, para entrada de  $22 V_{ac}$

com o cuidado de não alterar a média desse sinal. Para tal, deve-se multiplicar o valor da corrente de referência por uma parcela da tensão de entrada retificada e dividir pela média dessa tensão.

Dessa forma, ao gerar uma corrente em formato de senóide retificada em onda completa na saída da ponte retificadora, é possível obter uma corrente de entrada em formato senoidal em fase com a tensão de entrada. Quanto mais próximo for esse formato de uma senóide em fase com a tensão de entrada, menor será o THD e maior será o fator de potência do circuito.

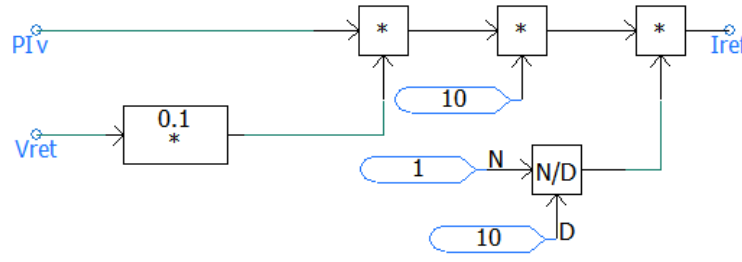


Figura 4.14: Bloco de circuito que, recebendo a saída do PI de tensão, gera uma corrente de referência para o PI de corrente.

Onde

- $PI_v$  é o valor de saída do controlador PI de tensão.
- $V_{ret}$  é o valor amostrado da tensão retificada no circuito após a ponte de diodos.
- As constantes e ganhos são utilizados para escalar a influência da forma da tensão retificada na geração da corrente retificada. Esses valores foram escolhidos para, na média das entradas nominais sua influência não alterar a corrente média de referência gerada em um ciclo de trabalho do circuito. Isso é, do ponto de vista médio, esse bloco de circuito não provoca um ganho no circuito, apenas altera a forma da corrente de referência gerada, para que a forma de onda de corrente acompanhe a tensão na entrada.

Com a aplicação do bloco de geração de corrente de referência, as correntes passam a possuir a forma de senóide retificada. As Figuras 4.15 e 4.16 mostram, respectivamente, as formas de onda da corrente de referência gerada e da corrente efetivamente medida no indutor para as tensões de entrada de 12,7 e 22  $V_{ac}$ .

Observe que, apesar da forma ser similar, seus valores diferem em alguns momentos críticos, como os momentos de subida e descida. Tais valores podem ser melhorados com o ajuste fino das constantes do controle e podem ser vistos na Tabela 4.1.

Especificamente, o controlador PI relacionado com a corrente é que deve ser modificado. Observe que as alterações no controlador PI relacionado com a tensão não aconteceram. Já a constante proporcional do controlador PI foi multiplicada

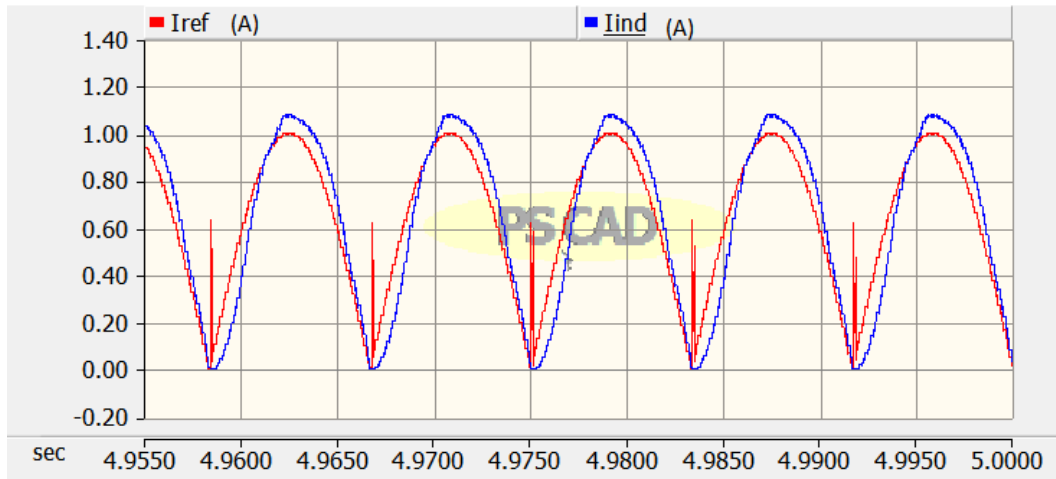


Figura 4.15: Comparação entre a corrente do indutor e corrente de referência para a entrada de  $12,7 V_{ac}$

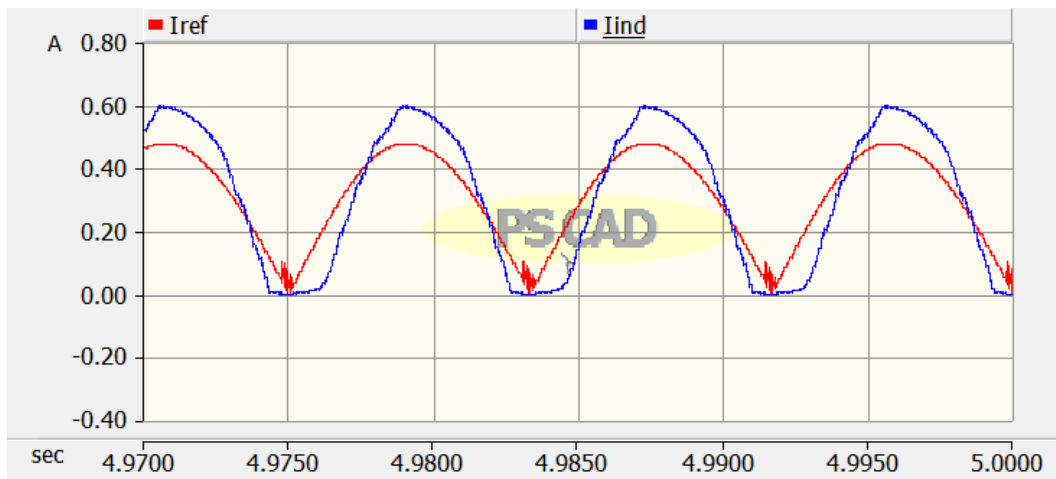


Figura 4.16: Comparação entre a corrente do indutor e corrente de referência para a entrada de  $22 V_{ac}$

por aproximadamente 10, enquanto a constante de integração foi multiplicada por aproximadamente 100.

Os ajustes no controlador de corrente foram derivados do fato que, inicialmente, a corrente de referência não necessitava seguir uma forma de onda específica e, com as alterações, ela deve ser capaz de seguir uma forma alternada, na frequência de 120 Hz. Apesar do controlador PI ser mais adequado para seguir uma entrada

Tabela 4.1: Valores das constantes de controle otimizadas.

Constantes	Valor Anterior	Valor Final
<b>Kpv</b>	0,164	0,164
<b>Kiv</b>	6,311	6,311
<b>Kpi</b>	1,405	14,5
<b>Kii</b>	79,495	8238

degrau (constante), o PI específico desenvolvido neste projeto deve ser capaz de seguir uma onda na frequência de 120 Hz. Portanto, para que esse comportamento seja possível, é necessário que o controlador seja mais sensível (isso é, responda mais rapidamente) a uma alteração na sua entrada, o que torna necessário o ajuste nas constantes do mesmo. Desse modo, elevar as constantes foi suficiente para adequar o controlador à forma de onda específica que ele deveria seguir.

As Figuras 4.17 e 4.18 mostram, respectivamente, a forma da corrente de referência gerada e da corrente no indutor para as tensões de entrada de 12,7 e 22  $V_{ac}$  com as constantes de controle ajustadas por simulação.

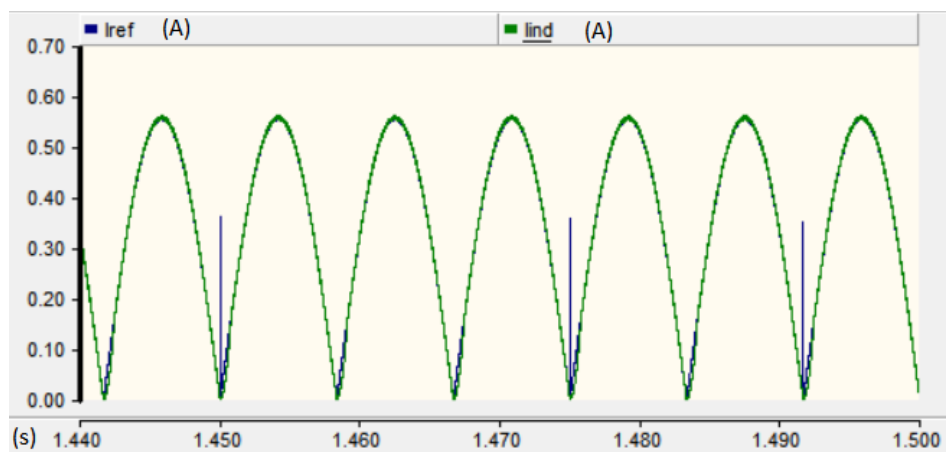


Figura 4.17: Comparação entre a corrente do indutor e corrente de referência para a entrada de 12,7  $V_{ac}$ .

Além disso, após a otimização das constantes de controle e o uso do bloco de geração de corrente de referência, a Figura 4.19 mostra como a forma de onda da corrente na entrada se assemelha com a da tensão, apresentando apenas um pequeno atraso de fase.

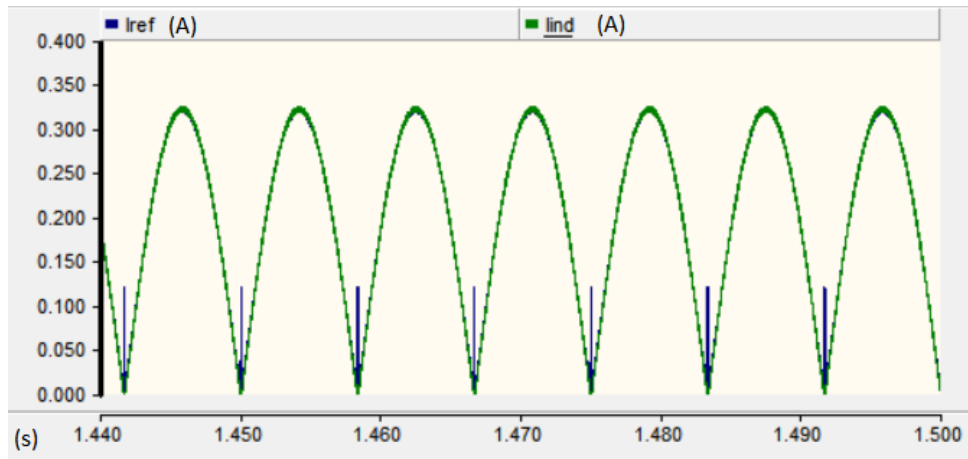


Figura 4.18: Comparação entre a corrente no indutor e a de referência para a entrada de  $22 V_{ac}$ .

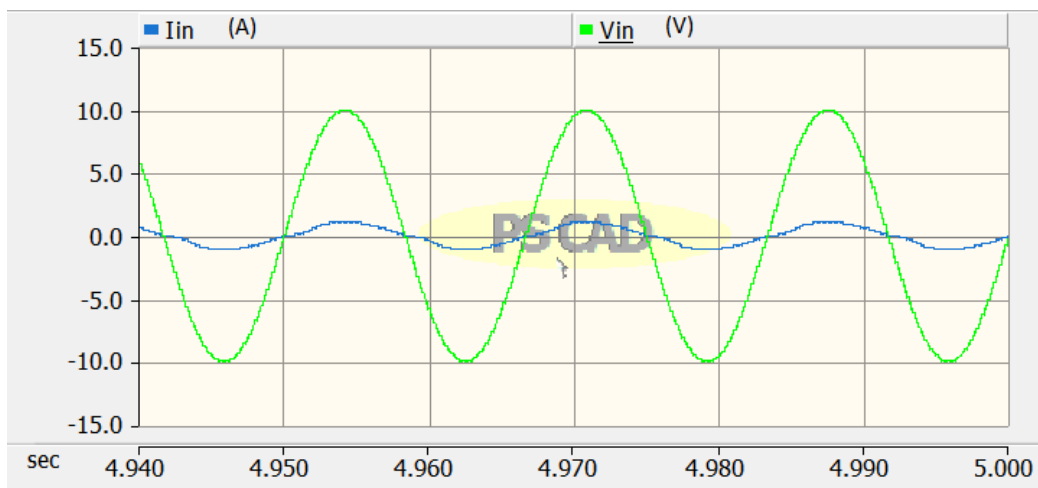


Figura 4.19: Comparação entre a tensão e a corrente na entrada, para uma tensão de entrada de  $22 V_{rms}$ , com as constantes de controle otimizadas.

Tabela 4.2: Valores de THD da corrente na entrada e do FP utilizando o Controle Digital com o bloco de geração de corrente de referência e constantes de controle otimizadas.

Tensão de Entrada ( $V_{ac}$ )	THD ( $I_{in}$ )	PF
12,7	<12%	>0,99
22	<12%	>0,99

Desse modo, realizaram-se novamente as simulações, considerando agora o novo bloco no sistema e ajustando as constantes de controle de cada um dos controladores. Os resultados podem ser vistos na Tabela 4.2.

As Figuras 4.20 e 4.21 mostram, respectivamente, a tensão  $V_o$  tanto no transiente quanto no regime permanente para a entrada de  $12,7 V_{ac}$  após ajuste fino das constantes. As Figuras 4.22 e 4.23 mostram a mesma situação, mas para a tensão de entrada de  $22 V_{ac}$ .

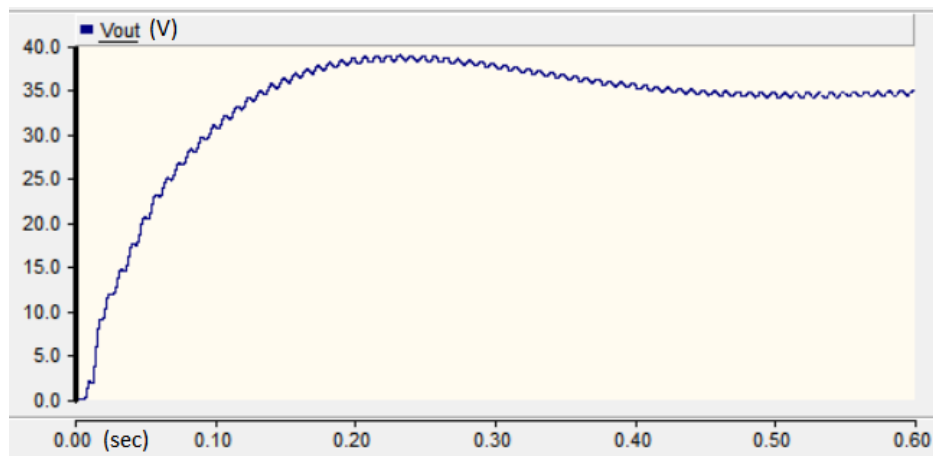


Figura 4.20: *Overshoot da tensão de saída do circuito, para entrada de  $12,7 V_{ac}$ , após ajuste fino de constantes de controle*

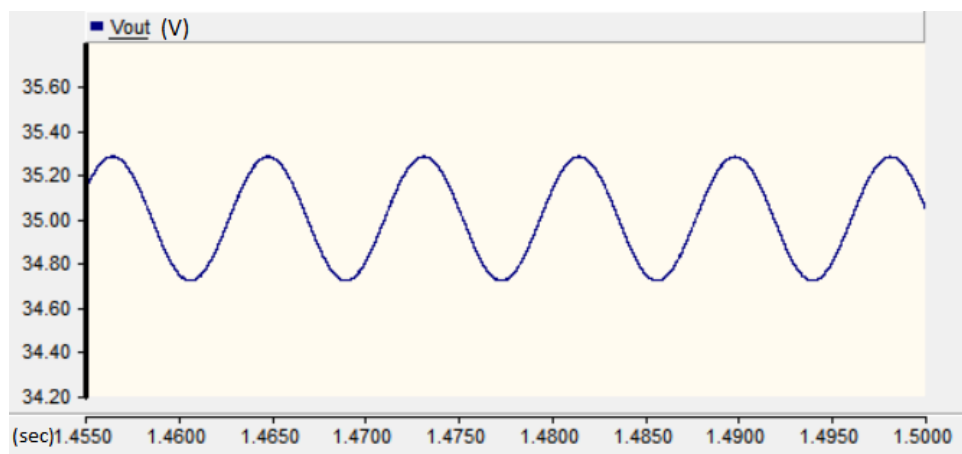


Figura 4.21: *Tensão de saída em regime permanente do circuito, para entrada de  $12,7 V_{ac}$ , após ajuste fino de constantes de controle*

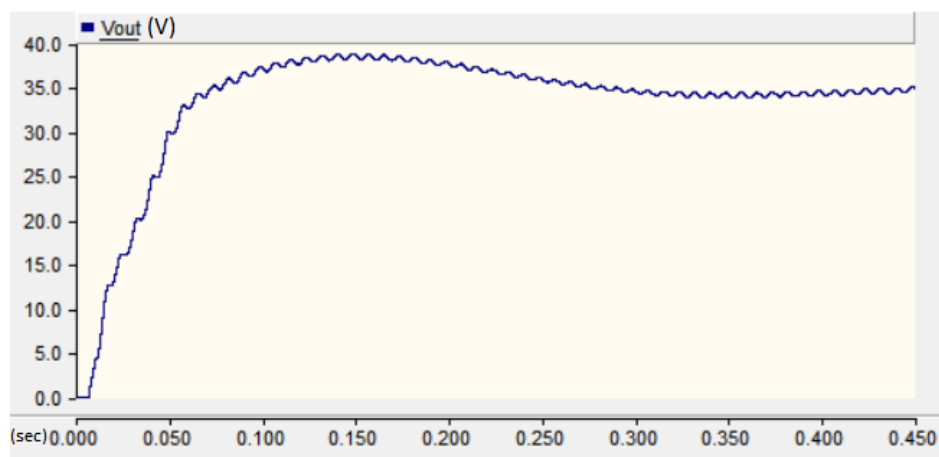


Figura 4.22: *Overshoot da tensão de saída do circuito, para entrada de  $22 V_{ac}$ , após ajuste fino de constantes de controle*

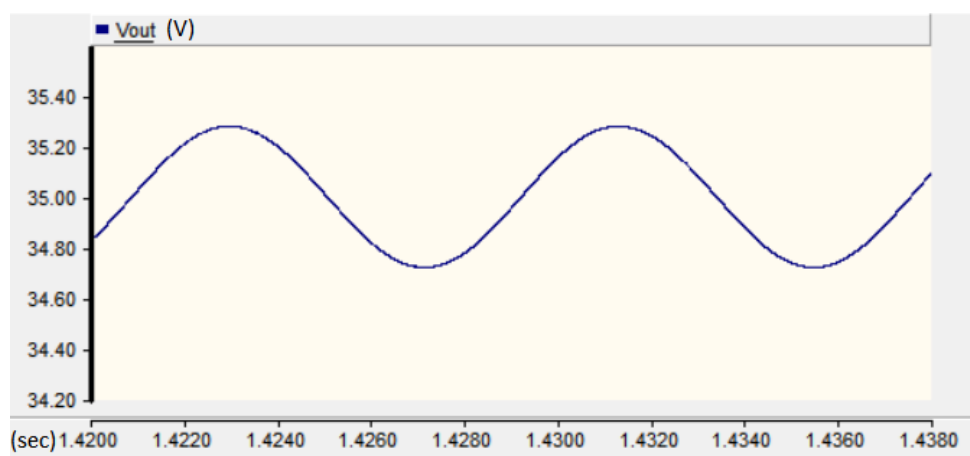


Figura 4.23: *Tensão de saída em regime permanente do circuito, para entrada de  $22 V_{ac}$ , após ajuste fino de constantes de controle*

Com as simulações finalizadas, pode-se partir para a implementação do controle digital através da técnica de *Hardware in the Loop*.

# Capítulo 5

## *Hardware in the Loop*

### 5.1 Definição

O *Hardware in the Loop* (HIL) é uma técnica utilizada no desenvolvimento de sistemas embarcados de tempo real. Neste projeto o controlador digital será o *hardware* presente no *loop* e o sistema de potência (conversor e retificador) será simulado no computador. A principal vantagem do HIL reside no fato de que é possível considerar as características do sistema embarcado (como o seu tempo de processamento e seus arredondamentos numéricos) que será utilizado para o controle da planta durante a simulação. Desse modo, é possível aumentar o grau de certeza de que o controle embarcado obterá um desempenho aceitável para controlar o sistema em uma implementação real.

Em termos de desenvolvimento de projeto, os testes utilizando o HIL oferecem menores custos que uma implementação real, aumentam o grau de confiança no sistema antes de se realizar uma implementação real e são seguros. Assim, o HIL pode ser entendido como uma etapa intermediária entre um estágio puramente de simulações em *software* e uma implementação completa do sistema, de forma a ser utilizado para mitigar a chance de riscos e as incertezas envolvendo o projeto.

Nesse caso, utilizaremos o PSCAD para executar a simulação dos circuitos de potência (ponte retificadora e conversor *Boost*) e, passo a passo, se comunicar com um DSP ligado à porta serial do computador responsável pelo controle digital. Esse dispositivo será responsável por realizar o processamento dos sinais recebidos através da comunicação serial do simulador e devolver um sinal de resposta.



### 5.1.1 Escolha do DSP

Nesse projeto, escolheu-se o dsPIC33FMC802 devido à sua disponibilidade imediata para a execução do projeto (redução do tempo de espera para implementação), à facilidade da sua programação em C (menor tempo de aprendizado derivada da experiência prática do projetista), possibilidade de comunicação serial (necessária para a implementação do HIL) e o seu clock de 40 MIPS (cuja velocidade pode ser considerada como adequada para os testes iniciais).

## 5.2 Avaliação Inicial

Um ponto importante de ser avaliado inicialmente, envolve levar em consideração o tempo em que o *hardware* embarcado necessita para executar todas as operações necessárias no seu algoritmo de controle. Considerando o tempo necessário que o *hardware* embarcado necessita para calcular o algoritmo de controle, é possível simular, por *software*, que exista um ciclo de tempo em que o algoritmo calcula o seu controle. Isso é, sabendo o tempo necessário para sua operação, pode-se fazer com que o simulador envie apenas os dados quando esse intervalo é alcançado, de forma a avaliar os efeitos das limitações do *hardware*. O diagrama de blocos de execução do algoritmo pode ser visto na Figura 5.1.

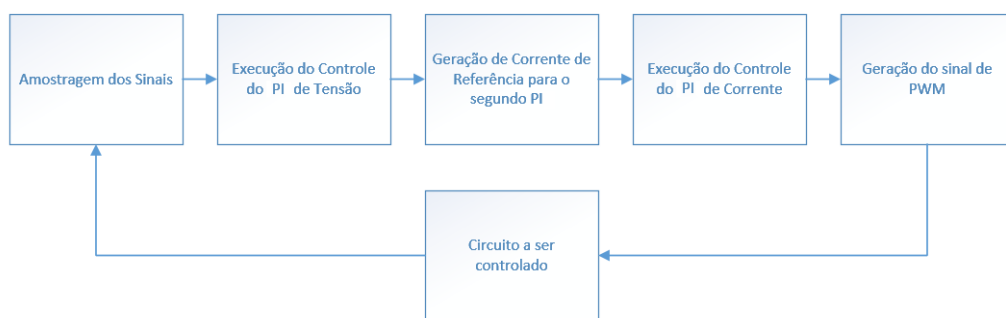


Figura 5.1: Diagrama de blocos do funcionamento do controlador digital

Para descobrir qual é o intervalo de tempo para o processamento dos cálculos do algoritmo de controle, realizou-se uma implementação em C do algoritmo de PI e executou-o internamente dentro do *hardware* de controle. Cada bloco do algoritmo

de controle teve o seu tempo de execução avaliado. Os resultados podem ser vistos na Tabela 5.1.

Tabela 5.1: Tempo de execução dos blocos do controlador digital

<b>Tempo de Execução</b>	<b>dsPIC33FMC802</b>
<b>Amostragem e Conversão</b>	1 $\mu s$ p/ variável
<b>Ciclo do controle PI</b>	25 $\mu s$
<b>Geração da Corrente de Referência</b>	5 $\mu s$
<b>Configuração do PWM</b>	1 $\mu s$

Com esses resultados, pode-se realizar uma implementação entre o *PSCAD* e o *hardware* embarcado de tal modo que a transmissão de dados ocorra apenas após uma passagem de tempo, simulando que o *hardware* estava ocupado realizando os cálculos de controle em um período anterior. Assim, aproximou-se o tempo total de execução do algoritmo para 80  $\mu s$ , levando em consideração uma margem de segurança no processamento do circuito.

### 5.3 Integração com o PSCAD

Para a integração com o PSCAD, consideramos como Sistema Operacional o Windows 8.1. Nessa arquitetura, é necessário criar um novo componente no PSCAD. Esse componente será responsável por realizar a comunicação entre o PSCAD e a porta serial do Windows. Quando o componente é criado no PSCAD, é necessário programar o seu funcionamento dentro do próprio PSCAD, na linguagem de Fortran. Felizmente, é possível utilizar-se da linguagem em Fortran para a chamada de uma rotina em linguagem C.

Utiliza-se uma biblioteca padrão em C para a abertura da porta serial pelo Windows e sua comunicação com o dsPIC. Depois, construiu-se uma rotina capaz de enviar os dados para o dsPIC e esperar a sua resposta por um tempo pré-determinado, antes de prosseguir. O diagrama de blocos que representa a integração pode ser visto na Figura 5.2. Observe que os dados são tanto enviados do simulador para o dsPIC (variáveis do sistema no momento de execução), quanto do dsPIC para o simulador (valor do sinal de controle do circuito).

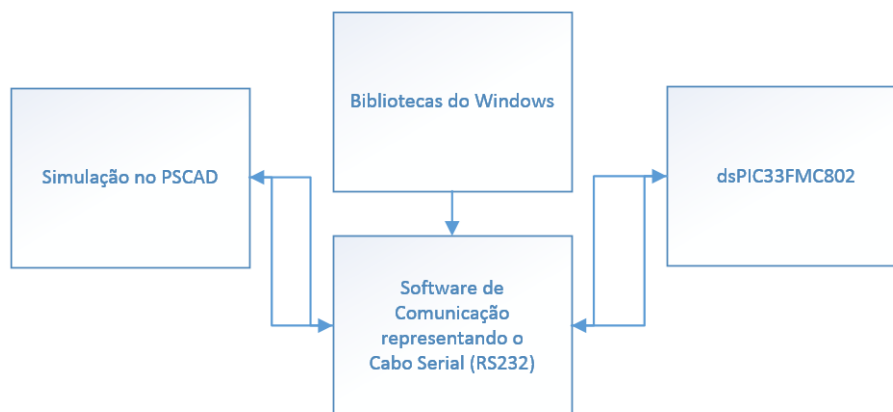


Figura 5.2: Diagrama de blocos da arquitetura de comunicação serial

A Figura 5.3 mostra mais detalhadamente o diagrama de blocos do software de comunicação serial implementado através das bibliotecas do Windows.

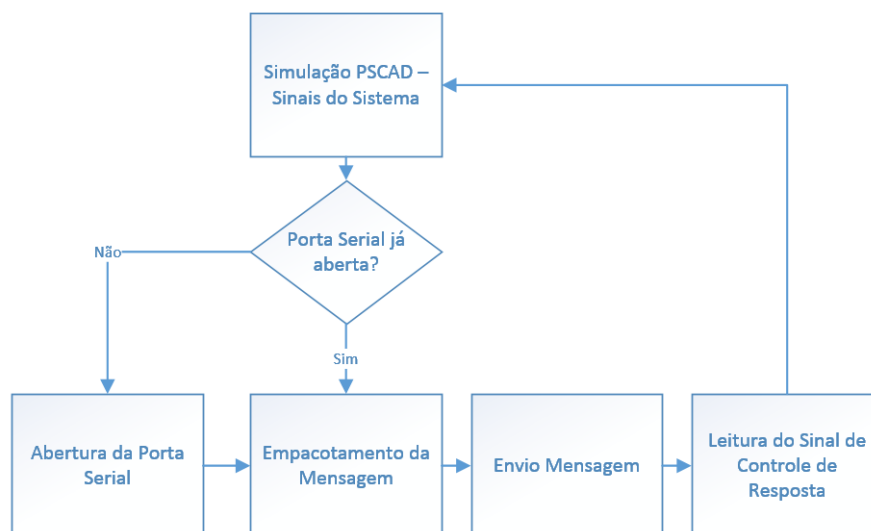


Figura 5.3: Diagrama de blocos do processo de comunicação serial

## 5.4 Implementação do Código de Correção de Erro

Em uma simulação complexa com HIL, com a troca de dados sendo realizada constantemente, percebeu-se a presença de erros nessa comunicação. Erros estes capazes de impedir o correto funcionamento da simulação em HIL. Para a correção desses erros, mostrou-se necessário incluir um bloco de correção de erro em 16 bits, denominado *Cyclic Redundance Check* de 16 bits (CRC16). A explicação teórica do funcionamento do CRC, assim como exemplos de códigos que fazem uso desse método podem ser encontrados em [10].

A cada recebimento de mensagem, esse bloco avalia se os bits foram corrompidos na transmissão, comparando a mensagem recebida com uma chave que é enviada em conjunto com a mesma. A mensagem é processada para, então, comparar a chave da mensagem recebida com a chave recebida. Caso as duas sejam iguais, então, a mensagem correta foi enviada e ela é processada pelo seu receptor. Caso contrário, um sinal dizendo que um erro aconteceu é enviado, de forma a requisitar que o transmissor reenvie a mensagem. A Figura 5.4 mostra o diagrama de blocos do CRC16 bits de forma simplificada no envio da mensagem, enquanto a Figura 5.5 mostra de forma simplificada o diagrama de blocos do CRC16 bits na recepção da mensagem.

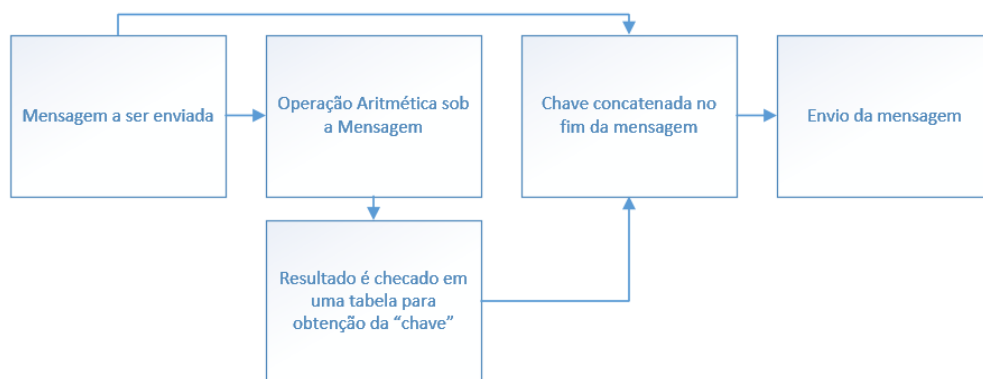


Figura 5.4: Diagrama de blocos do CRC16 bits no envio da mensagem

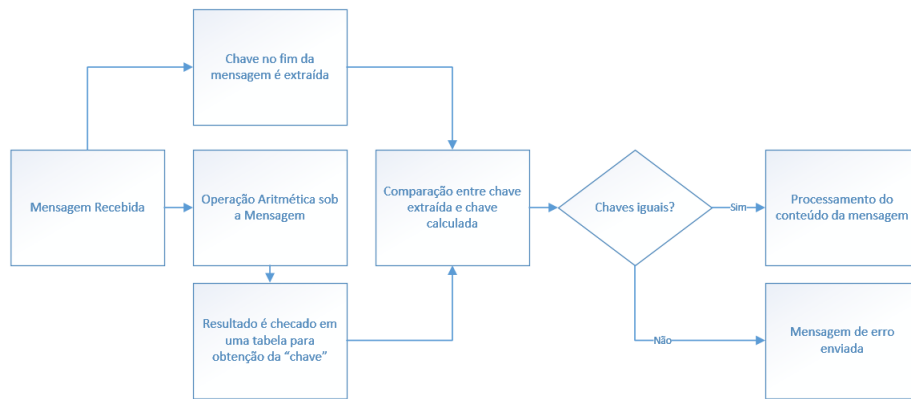


Figura 5.5: Diagrama de blocos do CRC16 bits recepção da mensagem

## 5.5 Implementação do Circuito Retificador em HIL

Com o código de correção de erro implementado, o circuito retificador pode ser simulado na forma de HIL, utilizando-se do código de correção de erros e reenvio das mensagens em caso de erros de comunicação.

A montagem do circuito pode ser vista na Figura 5.6. O bloco que representa o controlador digital pode ser visto na Figura 5.7.

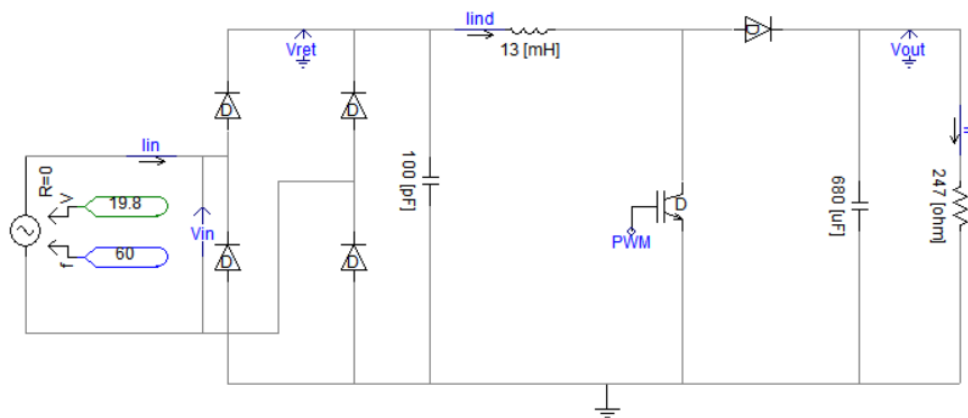


Figura 5.6: Montagem do circuito para o HIL

Segundo a Norma 542 [2], os testes de THD devem ser realizados com nas seguintes condições:

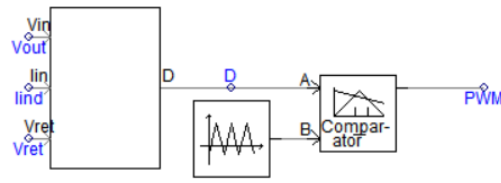


Figura 5.7: Bloco que representa o controlador digital no HIL

- Potência nominal de saída
- Tensão nominal de entrada

O objetivo do teste é alcançar um THD inferior a 15%. Nesse caso, as tensões nominais de entrada são  $12,7 V_{ac}$  e  $22 V_{ac}$ .

Já em relação ao teste de fator de potência, cujo objetivo é obter um FP maior do que 0,97 para corrente de saída na faixa de 50% a 100% do valor nominal. Dessa forma, é necessário ajustar a tensão da entrada para que a corrente na carga atinja o seu valor nominal.

## 5.6 Resultados do HIL

Os resultados dos testes em HIL podem ser vistos nas Tabelas 5.2 e 5.3. O valor no cabeçalho delas em % indica, como presente na Norma 542 [2], os testes em 50% e 100% da corrente nominal.

Tabela 5.2: Resultados obtidos para a tensão nominal mais baixa no HIL

Variável	12,7 $V_{ac}$ e 100%	12,7 $V_{ac}$ e 50%
Fator de Potência (PF)	0.97 > PF > 0.95	1.00 > PF > 0.97
THD da Corrente de Entrada	<7%	<9%
Rendimento	>0.99	>0.99
$V_{out}$	35 V	35 V

Pode-se perceber que, para os casos de tensão nominal mais alta, os valores de THD da corrente de entrada não atenderam à Norma 542. Tal discrepância pode derivar que agora o circuito não é capaz de calcular continuamente os valores, mas

Tabela 5.3: Resultados obtidos para a tensão nominal mais alta no HIL

Variável	22 $V_{ac}$ e 100%	22 $V_{ac}$ e 50%
Fator de Potência (PF)	1.00 >PF >0.94	0.975 >PF >0.90
THD da Corrente de Entrada	<20%	<24%
Rendimento	>0.99	>0.99
$V_{out}$	35 V	35 V

sim apenas a uma velocidade pré-definida. Dessa forma, mostra-se necessário uma nova rodada de ajustes de constantes para otimizar os controladores PI para o HIL. Uma outra sugestão é buscar uma maior velocidade no processamento, de forma a reduzir o passo da simulação.

Além disso, também testaram-se as tensões nos limites de operação, para a observação do funcionamento do circuito no *fullrange*. Conforme esperado, o circuito operou corretamente.

As Figuras 5.8, 5.9 e 5.10 apresentam o comportamento de alguns sinais para as diversas condições testadas, conforme suas respectivas legendas.

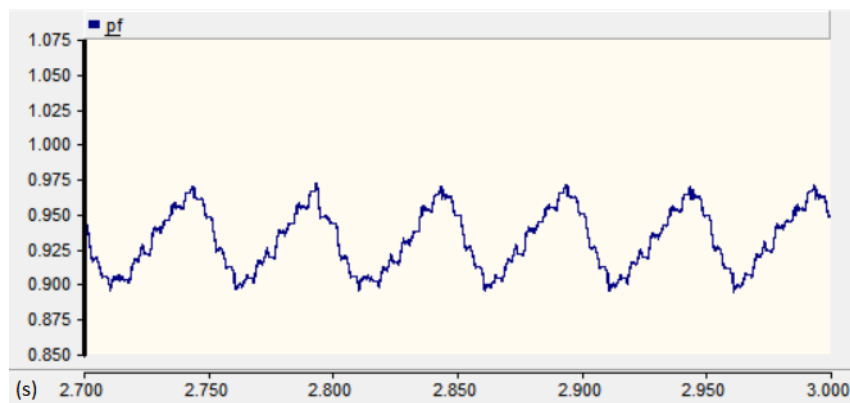


Figura 5.8: *FP quando a tensão de entrada é de 22 Vac e corrente nominal em 50%, para simulação HIL*

Por último, as Figuras 5.11, 5.12, 5.13, 5.14, mostram as formas de onda de corrente na entrada segundo suas legendas, enquanto as Figuras 5.15, 5.16, 5.17, 5.18, mostram as formas de onda de tensão na saída para as situações avaliadas.

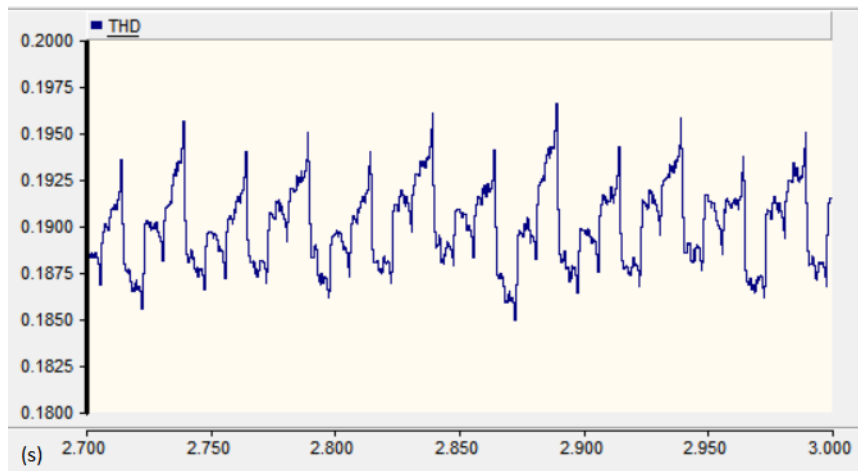


Figura 5.9: *THD quando a tensão de entrada é de 22 Vac e corrente nominal em 100%, para simulação HIL*

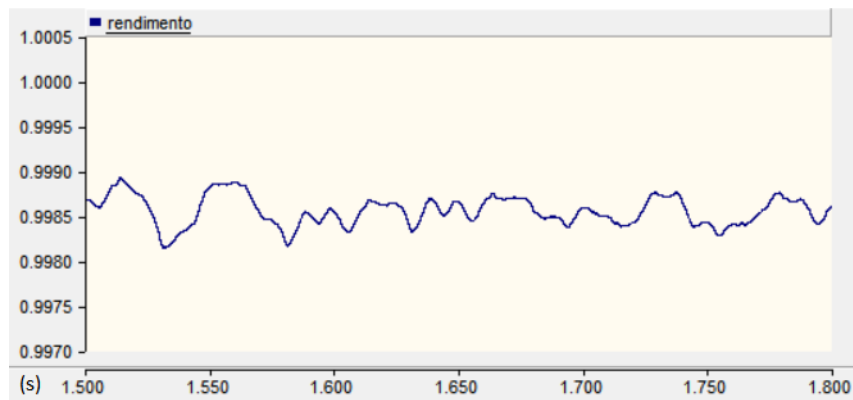


Figura 5.10: *Rendimento quando a tensão nominal é de 11,4 V e corrente nominal em 100%, para simulação HIL*



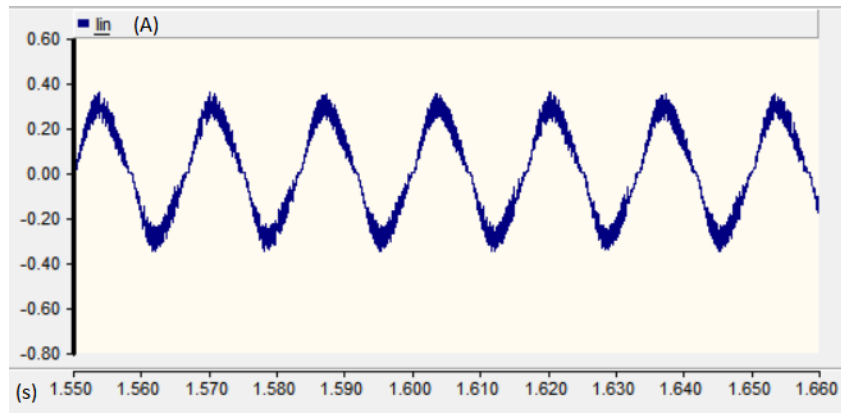


Figura 5.11: *Corrente na entrada quando a tensão nominal é de 12,7 Vac e corrente nominal em 50%, para simulação HIL*

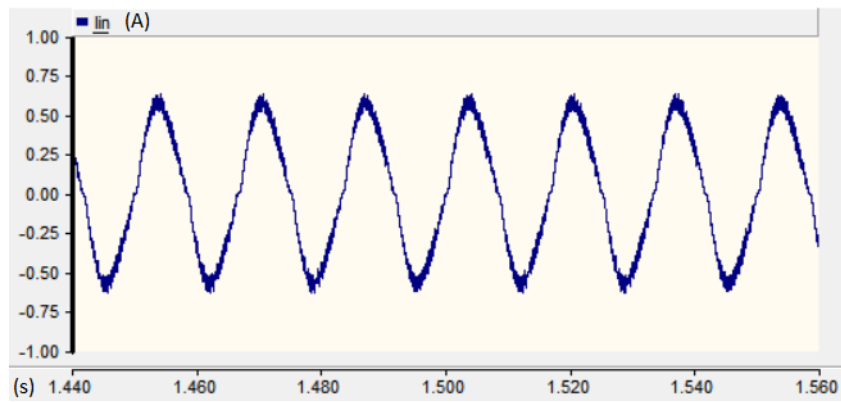


Figura 5.12: *Corrente na entrada quando a tensão nominal é de 12,7 Vac e corrente nominal em 100%, para simulação HIL*

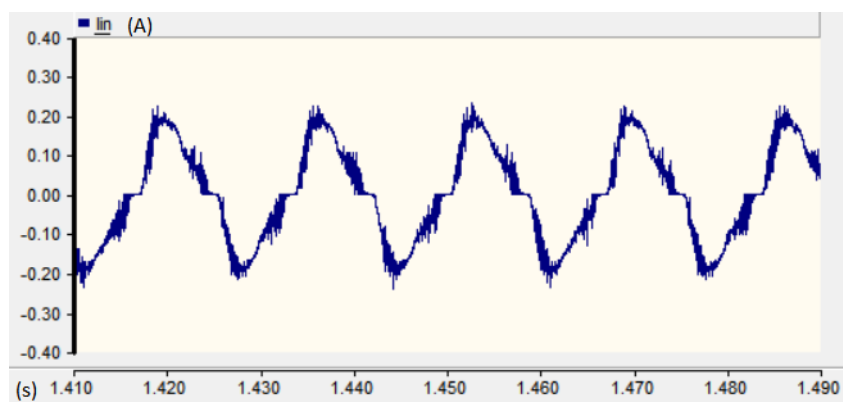


Figura 5.13: *Corrente na entrada quando a tensão nominal é de 22 Vac e corrente nominal em 50%, para simulação HIL*

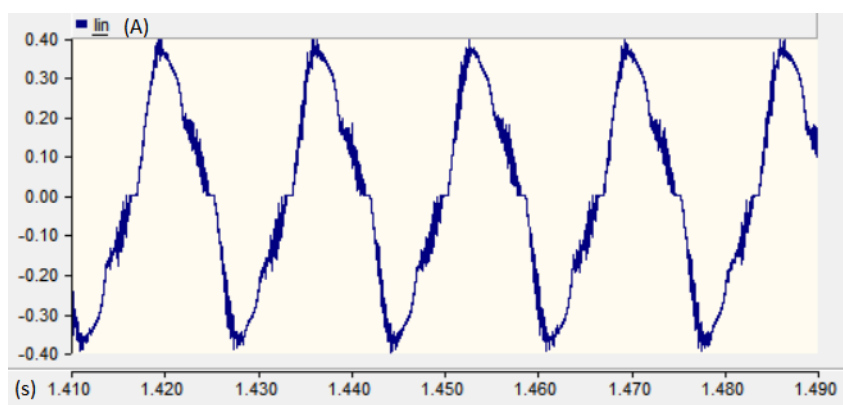


Figura 5.14: *Corrente na entrada quando a tensão nominal é de 22 Vac e corrente nominal em 100%, para simulação HIL*

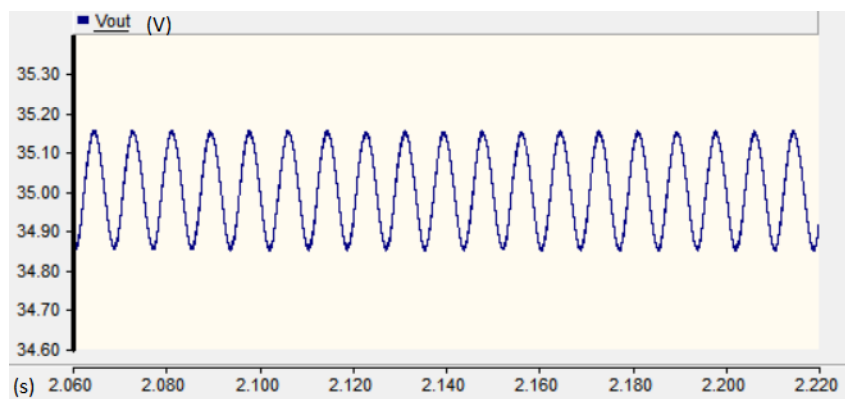


Figura 5.15: Tensão na saída quando a tensão nominal é de 12,7 Vac e corrente nominal em 50%, para simulação HIL

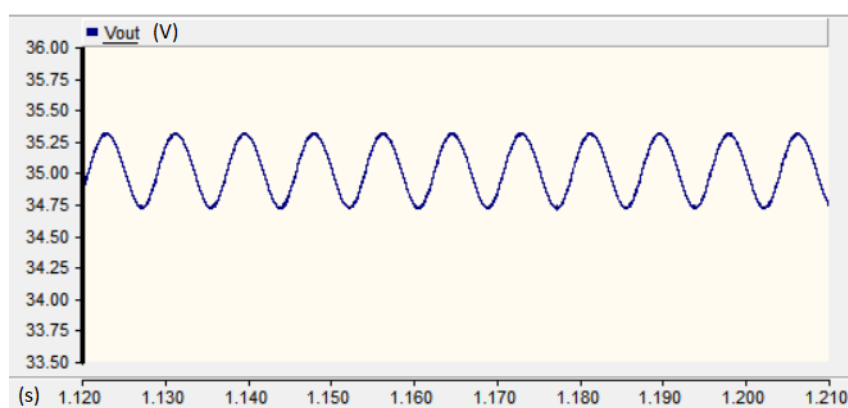


Figura 5.16: Tensão na saída quando a tensão nominal é de 12,7 Vac e corrente nominal em 100%, para simulação HIL

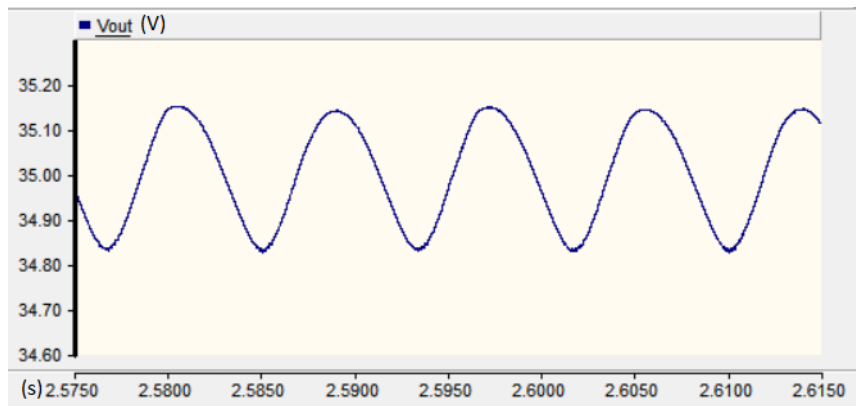


Figura 5.17: Tensão na saída quando a tensão nominal é de 22 Vac e corrente nominal em 50%, para simulação HIL

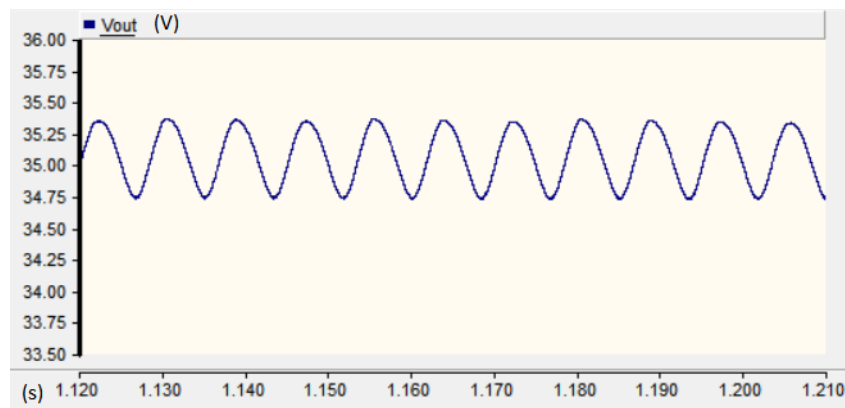


Figura 5.18: Tensão na saída quando a tensão nominal é de 22 Vac e corrente nominal em 100%, para simulação HIL

# Capítulo 6

## Projeto de Indutor de Alta Frequência

### 6.1 Introdução ao Projeto de Indutores

Nesse capítulo, descrever-se-á como realizar o projeto de um indutor, indicando a teoria presente no mesmo para tornar este projeto específico adaptável à outras situações e contextos. Como o indutor é um elemento capaz de influenciar o comportamento de uma fonte chaveada, é importante que os aspectos práticos de sua modelagem sejam devidamente entendidos, de forma a evitar problemas durante a implementação real do circuito.

Existe uma variedade de referências bibliográficas disponíveis para o projeto de indutores, como, por exemplo, [11] e [12]. Os dois trabalhos apresentam a teoria por trás do projeto de indutores e os cálculos envolvidos nos projetos dos mesmos e servirão como base para este projeto.

### 6.2 Teoria do Projeto de Indutores

#### 6.2.1 Escolha do núcleo apropriado

Segundo [12], no projeto de indutores de alta frequência, os núcleos de ferrite são mais apropriados para serem utilizados, pois os núcleos de ferro-silício apresentam uma perda causada pela histerese e uma elevação de temperatura nessa faixa

de frequência que ocasionam uma vantagem ao primeiro grupo sob o segundo. Entretanto, os núcleos de ferrite apresentam as desvantagens de possuírem uma baixa robustez a choques mecânicos e também uma baixa densidade de fluxo de saturação (em torno de 0,3 T).

A Figura 6.1 mostra o formato de um núcleo de ferrite do tipo E-E, além do formato do seu respectivo carretel. A área da janela,  $A_w$ , e a área da seção transversal do núcleo,  $A_e$ , são parâmetros importantes no projeto físico de indutores de alta frequência.

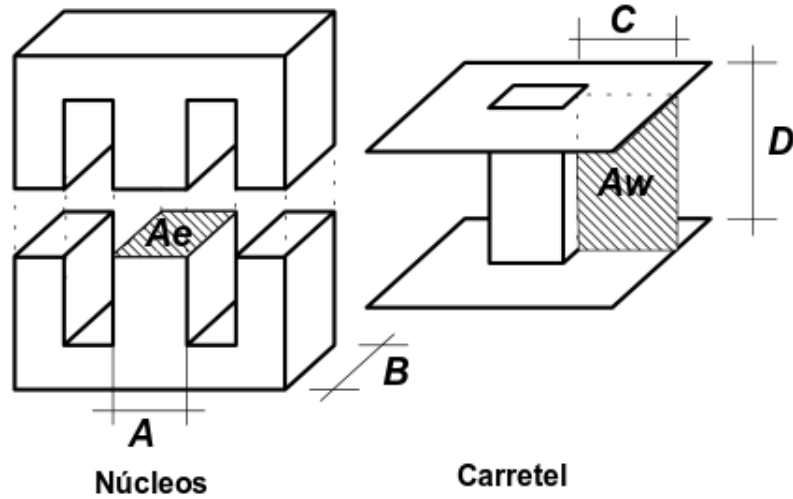


Figura 6.1: Núcleo de Ferrite e Carretel tipo E. Fonte: [12]

É necessário o conhecimento do comportamento da corrente que passará pelo indutor a ser projetado. A Figura 6.2 ilustra a forma de onda utilizada nesse projeto para a corrente no indutor L. Realizou-se tal consideração pois o indutor operará em ciclos de trabalho de carga e descarga quando operar na configuração *Boost*, apresentando tal comportamento na sua corrente. A corrente no indutor, basicamente, varia entre  $I_{pico}$  e  $I_{min}$  a cada ciclo de trabalho.

Para o início do projeto, deve-se partir das leis de *Ampère* e *Faraday-Neumann-Lenz*, as quais são descritas em

$$\oint H \cdot dl = H \cdot l = N \cdot i \quad (6.1)$$

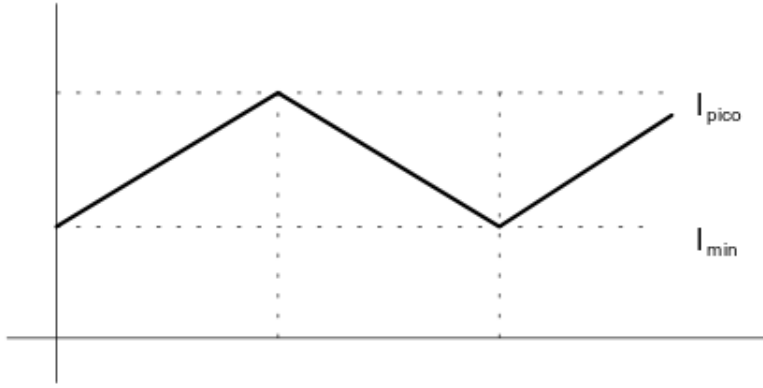


Figura 6.2: *Corrente sobre o indutor L.* Fonte: [12]

$$\varepsilon = N \frac{d\Phi(t)}{dt} \quad (6.2)$$

Agora, relembando a relação volt-ampere no indutor e a relação entre campo magnético e indução magnética, têm-se, respectivamente,

$$v(t) = L \cdot \frac{di(t)}{dt} \quad (6.3)$$

$$B = \mu_o \cdot H \quad (6.4)$$

Quando iguala-se (6.2) e (6.3), obtém-se

$$N \frac{d\Phi(t)}{dt} = L \cdot \frac{di(t)}{dt} \Rightarrow N \cdot \Delta\Phi = L \cdot \Delta i \quad (6.5)$$

Sabendo que

$$\Delta\Phi = \Delta B \cdot A_e \quad (6.6)$$

Quando a corrente  $I_{pico}$  atravessa o indutor, alcança-se o valor máximo de B,  $B_{max}$ . Considerando tal evento e substituindo (6.6) em (6.5), obtêm-se

$$N \cdot B_{max} \cdot A_e = L \cdot I_{pico} \quad (6.7)$$

E, portanto,

$$N = \frac{L \cdot I_{pico}}{B_{max} \cdot A_e} \quad (6.8)$$

Agora, considerando  $A_p$  a seção transversal do enrolamento de cobre utilizado no indutor, podemos encontrar a máxima densidade de corrente.

$$J_{max} = \frac{N \cdot I_{eficaz}}{A_p} \quad (6.9)$$

Já que os fios possuem uma geometria circular, os enrolamentos ocupam apenas uma parte da área da janela disponível, como pode ser notado na figura 6.3. Desse modo, adota-se uma constante denominada  $k_w$  como sendo o "fator de ocupação do cobre dentro do carretel". De acordo com [12], o valor típico da constante  $k_w$  é de 0,7, valor esse que será adotado nesse projeto.

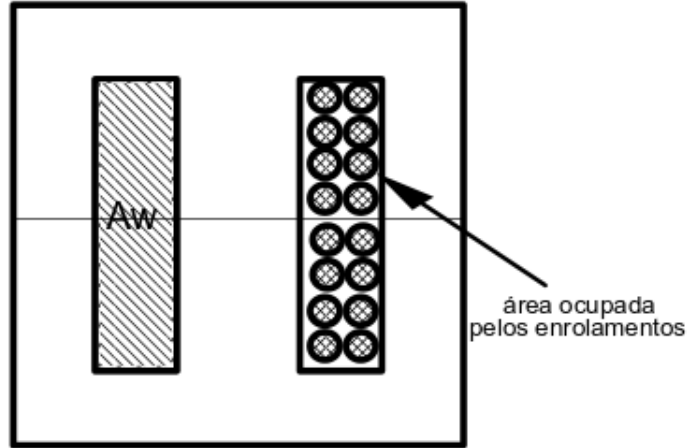


Figura 6.3: *Modo como os enrolamentos ocupam uma janela.* Fonte: [12]

Portanto, pode-se definir  $k_w$  como

$$k_w = \frac{A_p}{A_w} \quad (6.10)$$

Com essa definição, pode-se reescrever (6.9) como

$$N = \frac{J_{max} \cdot k_w \cdot A_w}{I_{eficaz}} \quad (6.11)$$



Igualando (6.11) e (6.14)

$$\frac{J_{max} \cdot k_w \cdot A_w}{I_{eficaz}} = \frac{L \cdot I_{pico}}{B_{max} \cdot A_e} \quad (6.12)$$

Reescrevendo de forma a isolar  $A_e$  e  $A_w$ , obtém-se

$$A_e A_w = \frac{L \cdot I_{pico} \cdot I_{eficaz}}{B_{max} \cdot J_{max} \cdot k_w} \quad (6.13)$$

Conforme já citado anteriormente, o valor de  $B_{max}$  para núcleos de ferrites comuns se encontra em torno de 0,3 T. Já o valor de  $J_{max}$  depende do condutor utilizado no enrolamento. Tipicamente utiliza-se 450 A/cm<sup>2</sup>, conforme [12]. Como na prática os fabricantes fornecem núcleos de tamanhos padronizados, deve-se selecionar  $A_e A_w$  mais próximo e maior que aquele calculado.

### 6.2.2 Número de espiras

O número de espiras pode ser obtido através de

$$N = \frac{L \cdot I_{pico}}{B_{max} \cdot A_e} \quad (6.14)$$

### 6.2.3 Cálculo do entreferro

A relação entre indutância L, número de espiras N e relutância total  $\mathcal{R}_{total}$  de um circuito magnético pode ser verificado em

$$L = \frac{N^2}{\mathcal{R}_{total}} \quad (6.15)$$

O núcleo possui uma relutância que se contrapõe à passagem do fluxo magnético. Ela pode ser calculada utilizando (6.16).

$$\mathcal{R}_{núcleo} = \frac{l_{núcleo}}{\mu_{núcleo} \cdot A_e} \quad (6.16)$$

Considera-se  $l_{núcleo}$  como o comprimento do caminho magnético e  $\mu_{núcleo}$  como a permeabilidade do núcleo.

Paralelamente, com a presença do entreferro, existirá também uma componente da sua relutância. Essa componente, então, se somará à relutância do núcleo,

aumentando a relutância final do circuito magnético. Nesse projeto, consideraremos um entreferro de ar, cuja relutância, de forma similar a (6.16), é descrita em

$$\mathcal{R}_{entreferro} = \frac{l_{entreferro}}{\mu_o \cdot A_e} \quad (6.17)$$

$l_{entreferro}$  é o comprimento do entreferro, enquanto  $\mu_o$  é a permeabilidade do ar.

Para esclarecimento, [12] fornece dois pontos principais para o uso de entreferro em indutores:

- Sem o entreferro, a indutância do circuito magnético relaciona-se apenas à permeabilidade do núcleo. Tal permeabilidade é sensível à temperatura e ao ponto de operação. O uso do núcleo de entreferro, entretanto, adiciona ao circuito uma relutância muito maior do que aquela do núcleo, tornando o valor de L menos sensível às variações de permeabilidade do núcleo.
- Com o entreferro, o indutor é capaz de operar com valores maiores de corrente no seu enrolamento sem que ocorra saturação do núcleo, conforme pode ser visto na Figura 6.4.

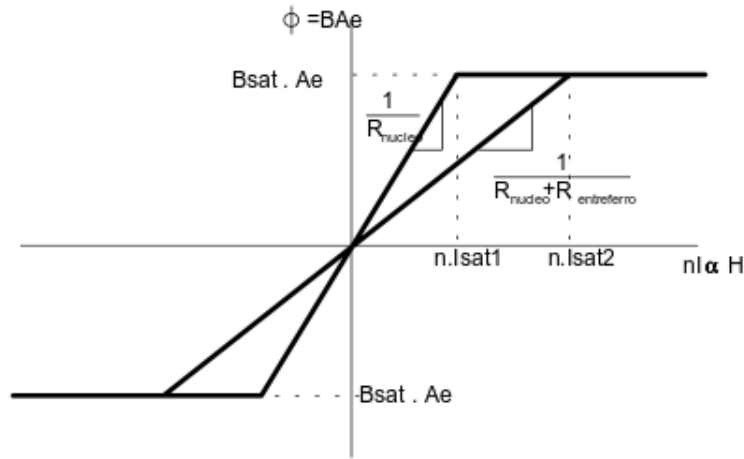


Figura 6.4: *Saturação do indutor com e sem entreferro.* Fonte: [12]

Conforme dito anteriormente, a relutância do entreferro pode ser considerada muito maior do que aquela do núcleo. Desse modo, pode-se reescrever a equação (6.15), considerando  $\mathcal{R}_{total} \approx \mathcal{R}_{entreferro}$ .

$$L = \frac{N^2}{\mathcal{R}_{entreferro}} \quad (6.18)$$

Substituindo (6.17) em (6.18), obtém-se

$$L = \frac{N^2 \cdot \mu_o \cdot A_e}{l_{entreferro}} \quad (6.19)$$

O valor explicitado anteriormente refere-se ao comprimento total do entreferro. Nos núcleos do tipo E-E, especificamente, o entreferro é normalmente colocado nas pernas laterais. Portanto, em cada perna deve existir um entreferro com metade do valor calculado, já que o fluxo magnético distribui-se igualmente pelos dois caminhos e também atravessará o entreferro localizado na perna central. A Figura 6.5 ilustra a situação.

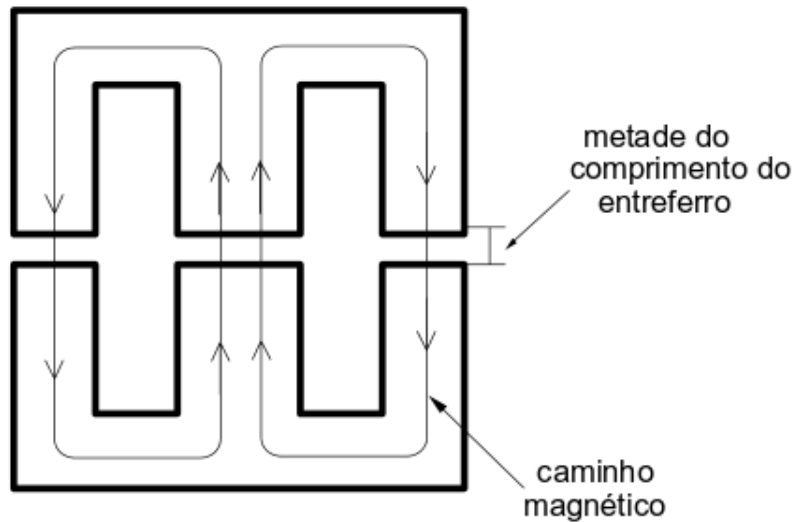


Figura 6.5: Distribuição do entreferro em um núcleo tipo E-E. Fonte: [12]

#### 6.2.4 Bitola dos Condutores

Existe um evento denominado efeito pelicular (*skin effect*, em inglês) que deve ser levado em consideração no projeto de condutores de alta frequência. Quando a frequência se eleva, a corrente no interior de um indutor tende a se distribuir pela periferia do mesmo, provando uma maior densidade de corrente nas bordas e uma

menor densidade de corrente na região central do condutor. O efeito provoca uma redução na área efetiva do condutor.

Esse efeito é descrito matematicamente através de

$$\Delta = \frac{7,5}{\sqrt{f}} \quad (6.20)$$

Onde  $\Delta$  representa o valor da profundidade da penetração e  $f$  a frequência ao qual o condutor estará submetido. Então, o condutor não necessita possuir um diâmetro superior ao valor de  $2\Delta$ .

Pode-se, agora, calcular o valor da bitola necessária para conduzir a corrente no enrolamento. Ela depende apenas do valor eficaz de corrente ao qual o condutor está submetido e da densidade de corrente máxima admitida pelo mesmo, conforme

$$S_{fio} = \frac{I_{eficaz}}{J_{max}} \quad (6.21)$$

Como normalmente o diâmetro do condutor é superior ao limite fixado pelo efeito pelicular, torna-se necessário associar condutores em paralelo de forma a permitir a condução da corrente sem super aquecimento dos condutores. O número de condutores pode ser calculado utilizando

$$n_{condutores} = \frac{S_{fio}}{S_{skin}} \quad (6.22)$$

Onde  $S_{skin}$  é a área do condutor, cujo diâmetro máximo é limitado pelo valor de  $2\Delta$ .

### 6.2.5 Perdas no Cobre

As perdas no cobre são diretamente relacionadas à resistência do enrolamento, a qual pode ser calculada utilizando a equação

$$R_{cobre} = \frac{\rho_{fio} \cdot l_{espira} \cdot N}{n_{condutores}} \quad (6.23)$$

Nessa equação,  $\rho_{fio}$  representa a resistividade do fio por centímetro e  $l_{espira}$  o comprimento médio de uma espira.

As perdas através do efeito Joule são, então,

$$P_{cobre} = R_{cobre} \cdot I_{eficaz}^2 \quad (6.24)$$

### 6.2.6 Resistência Térmica do Núcleo

Segundo [12], pode ser obtida através da expressão

$$Rt_{núcleo} = 23 \cdot (A_e A_w)^{-0,37} \quad (6.25)$$

### 6.2.7 Possibilidade de Execução

O último passo no projeto físico de um indutor é avaliar se é possível realizar os enrolamentos na janela do núcleo, isso é, se o projeto é fisicamente executável.

Podemos calcular o valor mínimo da janela através de

$$Aw_{min} = \frac{N \cdot n_{condutores} \cdot S_{fio}}{K_w} \quad (6.26)$$

Caso o projeto seja executável, teremos  $Aw_{núcleo} \geq Aw_{min}$ . Em caso contrário, deve-se ajustar os parâmetros necessários ou escolher um novo núcleo para o projeto.

## 6.3 Cálculo dos Parâmetros

Para o indutor deste projeto, os seguintes parâmetros serão utilizados:

- $I_{pico} = 1,25A$ ;
- $I_{eficaz} = 0,6A$ ;
- $I_{eficaz_{max}} = 1,3A$ ;
- $L = 13mH$ ;
- $\Delta I = 0,6A$ ;
- $f = 100kHz$

Para a obtenção dos parâmetros  $B_{max}$  e  $J_{max}$ , foi realizada uma consulta ao site da Thornton. Selecionou-se o material IP6R, pois é aquele que, quando consulta-se os núcleos disponíveis, permite uma variedade de diferentes tamanhos de núcleos. Para tal material,  $B_{max} = 0,48$  T. Consideraremos  $J_{max} = 450$  A/cm<sup>2</sup>, pois é aquele exemplificado em [12]. Consideramos  $k_w = 0,7$  com o mesmo valor típico adotado na mesma referência.

O primeiro passo é o cálculo de

$$AeAw_{min} = \frac{L \cdot I_{pico} \cdot I_{eficaz_{max}}}{B_{max} \cdot J_{max} \cdot k_w} \quad (6.27)$$

Substituindo os valores, obtemos

$$AeAw_{min} = 1,3972cm^4 \quad (6.28)$$

Na Tabela 6.1, que pode ser encontrada em [11], existe uma lista de valores típicos de acordo com os núcleos que podem ser escolhidos. A escolha do núcleo será baseada nesses dados.

Tabela 6.1: Lista de características de cada núcleo.

Núcleo	Ae(cm <sup>2</sup> )	Aw(cm <sup>2</sup> )	le(cm)	lt(cm)	ve(cm <sup>3</sup> )	AeAw(cm <sup>4</sup> )
<b>E-20</b>	0,312	0,26	4,28	3,8	1,34	0,08
<b>E-30/7</b>	0,6	0,8	6,7	5,6	4	0,48
<b>E-30/14</b>	1,2	0,85	6,7	6,7	8	1,02
<b>E-42/15</b>	1,81	1,57	9,7	8,7	17,1	2,84
<b>E-42/20</b>	2,4	1,57	9,7	10,5	23,3	3,77
<b>E-55</b>	3,54	2,5	1,2	11,6	42,5	8,85

Desse modo, deve-se agora encontrar um núcleo cuja dimensões  $A_e A_w$  sejam maiores do que o mínimo encontrado. Assim é possível calcular a medida  $A_w$  do modelo do núcleo através dos valores fornecidos pelos fabricantes. Nesse caso, selecionando o modelo NEE-42/20, podemos ver que seu valor de  $A_e A_w$  é maior do que o mínimo necessário. Portanto, este projeto seguirá considerando esse núcleo.

Usando (6.14), pode-se calcular o número de voltas necessárias no condutor. Nesse caso:

$$N = \frac{13mH \cdot 1,57cm^2}{0,48T \cdot 2,4cm^2} = 142 \quad (6.29)$$

Sabendo que  $Al = \frac{1}{\mathcal{R}_{entreferro}}$ , pode-se manipular a equação (6.15) para obter

$$Al = \frac{L}{N^2} \quad (6.30)$$

Substituindo os valores de L e de N encontrados em (6.29),

$$Al = \frac{13mH}{142^2} = 644nH \quad (6.31)$$

Acessando o site da Thornton, considerando o núcleo escolhido NEE-42/21/20, depara-se com uma lista de encomenda que deve ser escolhida para dar continuidade ao projeto. Não existe uma encomenda com  $Al = 644$  nH. Dessa forma, deve-se escolher entre os valores de Al aquele que pode resultar em um projeto fisicamente possível.

Escolheu-se a encomenda NEE-42/21/20-925-IP6R, com valor de  $Al = 925$  nH e a encomenda NEE-42/21/20-560-IP6, com valor de  $Al = 560$  nH.

Para avaliar qual das duas possibilidades é a apropriada para a continuação do projeto, pode-se manipular mais uma vez a equação 6.30 de forma a obter

$$N = \sqrt{\frac{L}{Al}} \quad (6.32)$$

Além disso, manipulando a equação (6.7), obtém-se

$$B_{max} = \frac{L \cdot I_{pico}}{N \cdot A_e} \quad (6.33)$$

Substituindo os valores em (6.32) e o número de espiras N em (6.33), pode-se averiguar os dois casos. Os resultados se encontram na Tabela 6.2

Dessa forma, escolheu-se  $Al = 560$  nH.

Agora, deve-se avaliar que tipo de fio pode ser usado, considerando o efeito pelicular. A partir da equação (6.20), tem-se

$$\Delta = \frac{7,5}{\sqrt{100K}} = 0,02371cm \quad (6.34)$$

Tabela 6.2: Análise da possibilidade de execução do projeto utilizando dois valores de Al.

Al (nH)	N (voltas)	Bmax (T)	Possível Execução
<b>925</b>	118	0,569	Não
<b>560</b>	152	0,442	Sim

Logo,  $2\Delta = 0,474$  mm. Considerando o padrão *American Wire Gauge* (AWG) de fios, deve-se selecionar os fios pelo menos AWG 25 para a execução do projeto, considerando o efeito pelicular.

Sabendo que o fio deve suportar toda a corrente que passa sobre ele, pode-se adicionar mais fios em paralelo para distribuir toda essa corrente. Escolheu-se o fio AWG 26, cujo pico de corrente é de 0,378 A. Dessa forma, considerando que o valor máximo de corrente é de 1,5 A, necessita-se de pelo menos 4 fios em paralelo para suportar totalmente essa corrente.

Já que serão utilizados 4 fios em paralelo do tipo AWG 26, deve-se calcular, utilizando (6.26), se é possível executar esse projeto. Substituindo os valores na Equação (6.26), considerando  $n_{condutores} = 4$ ,  $S_{fio} = 0.00159$

$$A_{wec} = \frac{142 \cdot 4 \cdot 0,00159}{0,7} = 1,29 cm^2 \quad (6.35)$$

Considerando o núcleo escolhido, é possível executar o projeto, já que o espaço em  $A_w$  disponível é de  $1,57 cm^2$ .

Por último, pode-se calcular o valor da resistência final do indutor, utilizando a Equação (6.23). Os resultados finais estão expressos na Tabela 6.3. Para o cálculo da resistência do indutor, considerou-se  $\rho_{fio} = 0,00137 \Omega /cm$  e  $l_{espira} = lt = 10,5$  cm.

O Apêndice B mostra o pedido do indutor ao fabricante.



Tabela 6.3: Características finais para o projeto do indutor de alta frequência.

<b>Característica</b>	<b>Valor / Descrição</b>
<b>Núcleo</b>	NEE-42/21/20
<b>Al</b>	560 nH
<b>N</b>	152
<b>Bmax</b>	0,442
<b>Tipo Fio</b>	AWG 26
<b>Número Fios</b>	4
<b>Resistência Equivalente</b>	0,54663 $\Omega$

# Capítulo 7

## Circuitos Adicionais

Na elaboração da implementação prática do circuito, mostraram-se necessários os projetos de diferentes sub-circuitos para serem adicionados ao sistema, de forma a suprir algumas necessidades que surgiram. A primeira delas é representar a amostragem de uma parcela dos sinais de tensão de saída e da tensão retificada na entrada. Em seguida, necessita-se avaliar a corrente que atravessa o indutor. Depois, deve-se projetar um circuito de *driver* para a chave presente no circuito, de forma a implementar a interface entre o dsPIC e o transistor de chaveamento. Por último, adiciona-se uma fonte auxiliar para alimentar esse chaveamento sem ocasionar interferência direta na entrada, de forma a não prejudicar o desempenho do circuito.

Para o sensoriamento, existe a limitação de que a tensão máxima nos pinos do conversor A/D do dsPIC utilizado é de 3,3 V. Dessa forma, deve-se gerar uma tensão nesses pontos tal que seu *range* de entrada varie entre 0 V e esse limiar.

### 7.1 Sensores

Para a amostragem de parcela da tensão retificada e da tensão na saída, o procedimento é relativamente simples: Definindo a parcela a ser amostrada, projetou-se um divisor resistivo tal que fosse capaz de escalar as tensões nos níveis de saída (considerando inclusive um *overshoot*) até um valor adequado para sua amostragem. Para ambos os casos, optou-se por um par de resistores de 150 k $\Omega$  e 10 k $\Omega$ , de forma a gerar uma atenuação do sinal por um fator de 16. A Figura 7.1 mostra o divisor resistivo.

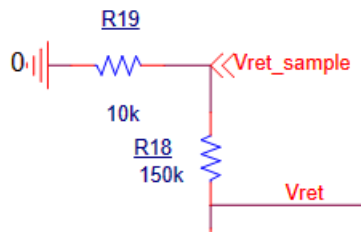


Figura 7.1: Exemplo de divisor resistivo utilizado no circuito para dividir a tensão desejada

## 7.2 Resistor Série

Já em relação à medição da corrente no indutor, utiliza-se um resistor série no fim da malha de entrada do conversor *Boost*. O resistor série é um dispositivo cujo valor de resistência é muito baixo e preciso, sendo também capaz de suportar valores elevados de corrente. Dessa forma, ele é capaz de ser utilizado no circuito sem interferir significativamente no mesmo, gerando uma tensão proporcional à corrente que o atravessa. Entretanto, como esperado, a tensão (e a variação da tensão com a variação da corrente a ser medida) é menor que a resolução mínima permitida pelo conversor A/D de 10 bits do dsPIC (de  $3,3/1024 = 0,0032$  V). Assim, torna-se necessário amplificá-la. Por exemplo, com um resistor série no valor de  $0,0048\ \Omega$  e uma corrente de 2 A atravessando o resistor, a tensão sob o mesmo é de 0,0096 V, o que não é adequado.

Para tal, utilizou-se um amplificador operacional na configuração não inversora, realimentado para fornecer um ganho específico. Como desejou-se mapear a corrente de 2 A em aproximadamente 3 V, o ganho teórico de 341 mapeou a tensão até 3,3 V, o limite permitido pelo próprio dsPIC. A Figura 7.2 mostra esse sub-circuito. Optou-se por não utilizar um amplificador de instrumentação para evitar um custo maior envolvido na compra de um maior número de componentes.

Nas medições iniciais dessa tensão, percebeu-se a presença de um *offset* para todos os valores de leitura, além de uma não-linearidade para valores pequenos da tensão, conforme a situação ilustrada na Figura 7.3. Já em relação à situação de corrente no resistor série próxima do limite de 2 A, conforme pode ser visto na Figura 7.4, percebe-se que a relação de ganho é respeitada. Ambas as figuras comparam

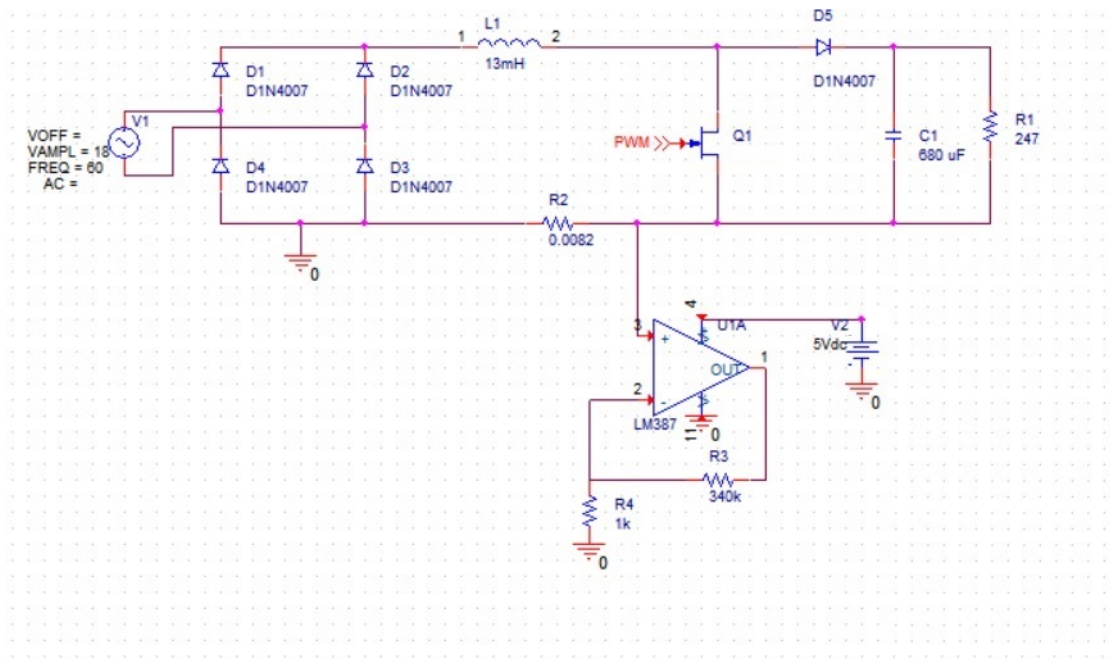


Figura 7.2: Sub circuito para amplificação da tensão no resistor shunt

o mapeamento da corrente no resistor série com a tensão de saída do amplificador. Para facilitar o entendimento, as figuras, até o fim desta subseção, possuem indicação das formas de onda medidas e dos valores escolhidos para a análise.

Repare que na Figura 7.3, a curva que representa a tensão na saída do amplificador possui um *offset* em relação à curva que representa a corrente no resistor série. Esse *offset* não é desejado, pois ele representa um erro na leitura da corrente que atravessa o resistor série. Esse erro, por sua vez, se propagaria até o controle, provocando erros. É desejável, então, anular esse *offset*, para mitigar essa fonte de erros.

Para anular tais problemas no circuito, passou-se a realizar a medição diferencial também utilizando o segundo amplificador presente no circuito integrado (LM 358), ligado com o terra do circuito. A Figura 7.5 mostra o sub-circuito com o resistor série e os amplificadores operacionais. Assim, foi possível cancelar o *offset* presente na saída da amplificação, utilizando uma medição diferencial na saída dos dois amplificadores operacionais do mesmo circuito integrado (realizada entre as saídas dos amplificadores operacionais).

Similarmente ao caso com *offset*, as Figuras 7.6 e 7.7 mostram, respectiva-

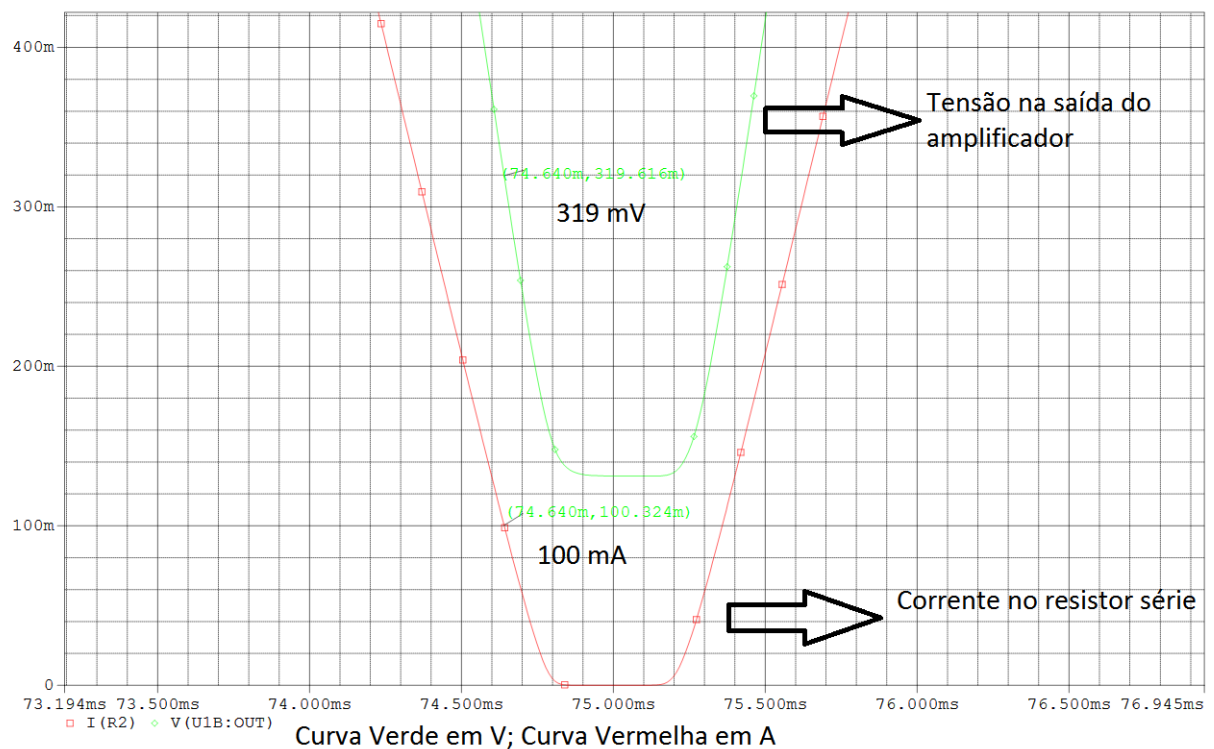


Figura 7.3: Comportamento do sub-circuito de amplificação do resistor shunt para o caso de baixa corrente. A curva superior (medida em Volts) é a tensão na saída do amplificador. A curva inferior (medida em Ampère) é a corrente sob o resistor série.

mente, as formas de onda tanto para alta corrente quanto para baixa corrente no resistor série, comparando-as com a forma de onda da tensão na saída do amplificador. No caso da Figura 7.7 quando a forma de onda da corrente no resistor série atinge um valor reduzido, ao contrário da Figura 7.3, a forma de onda da tensão também tende a 0 (com um pequeno atraso), mostrando que o efeito de *offset* pode ser mitigado.

É possível notar a presença de um atraso no seguimento da onda de corrente com a onda de tensão, na Figura 7.7. Pela avaliação desse atraso, pode-se presumir que o mesmo afetaria de algum modo o controle. No caso, percebe-se que, para uma dada corrente no resistor série, a tensão na saída do amplificador é menor do que aquela desejada (de 341 vezes a tensão sobre o resistor série). Isso significa que o controle irá ler uma corrente menor do que a verdadeira do circuito. Dessa forma, o controle atuará de modo a aumentar ainda mais essa corrente, fazendo-a se

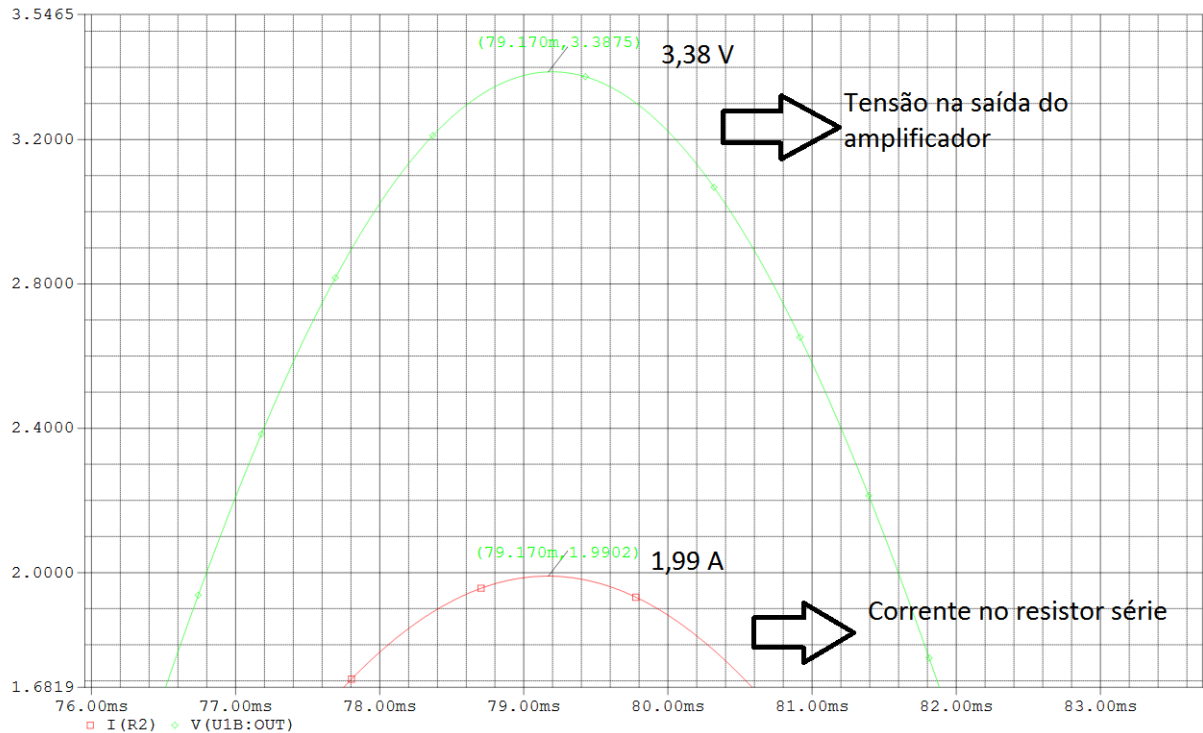


Figura 7.4: Comportamento do sub-circuito de amplificação do resistor shunt para o caso de alta corrente. A curva superior (medida em Volts) é a tensão na saída do amplificador. A curva inferior (medida em Ampère) é a corrente sob o resistor série.

eleva. Espera-se que essa ação seja benéfica ao controle do circuito, pois essa maior velocidade no aumento da corrente de referência pode ser capaz de compensar os atrasos provocados pelo circuito, cujo um dos pontos críticos é justamente as baixas correntes.

Avaliou-se também a potência consumida por essa arquitetura. Tal consumo é da ordem de 5 mW e, por isso, pode ser ignorado, já que é muito menor que o consumo de outros grupos de circuitos adicionais.

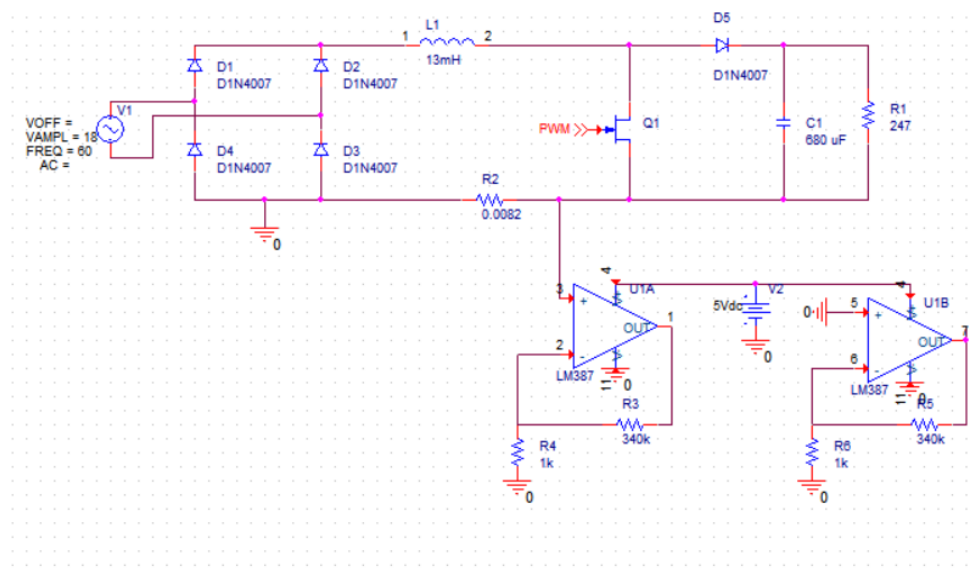


Figura 7.5: *Sub circuito para amplificação da tensão no resistor shunt com anulação de ruído.*

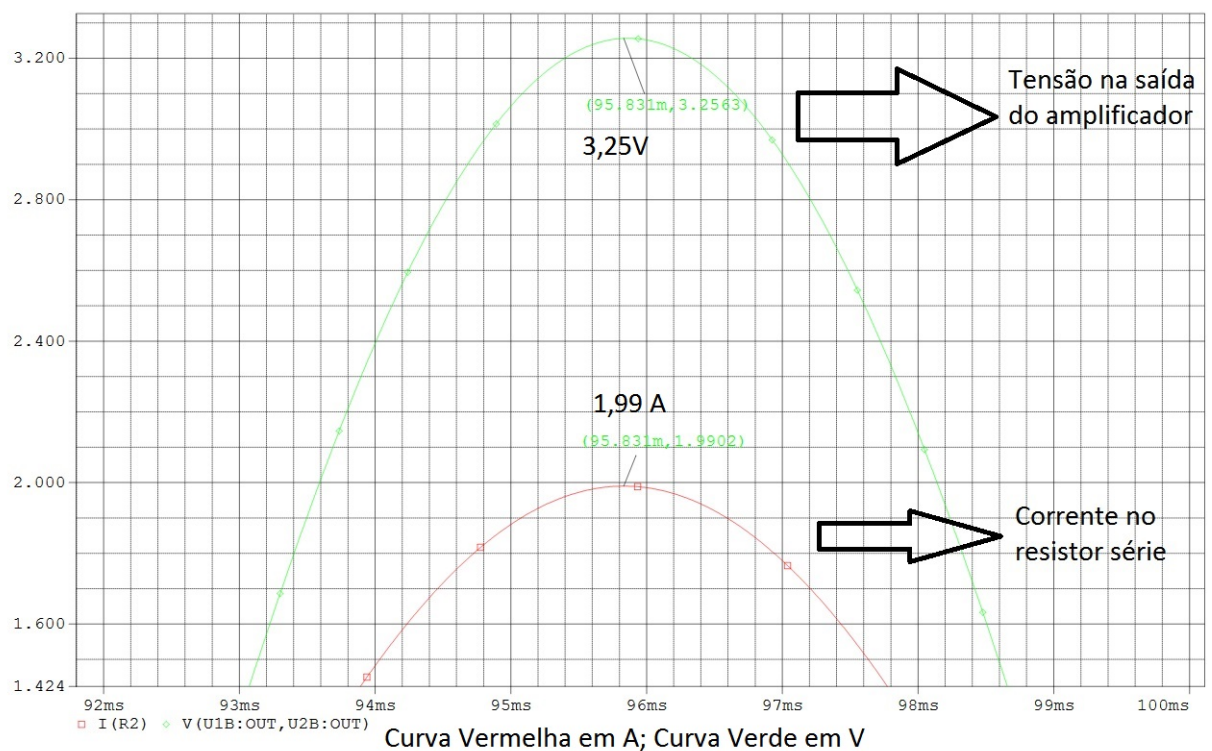


Figura 7.6: Comportamento do sub-circuito de amplificação do resistor shunt para o caso de alta corrente com medição diferencial. A curva superior (medida em Volts) é a tensão na saída do amplificador. A curva inferior (medida em Ampère) é a corrente sob o resistor série.



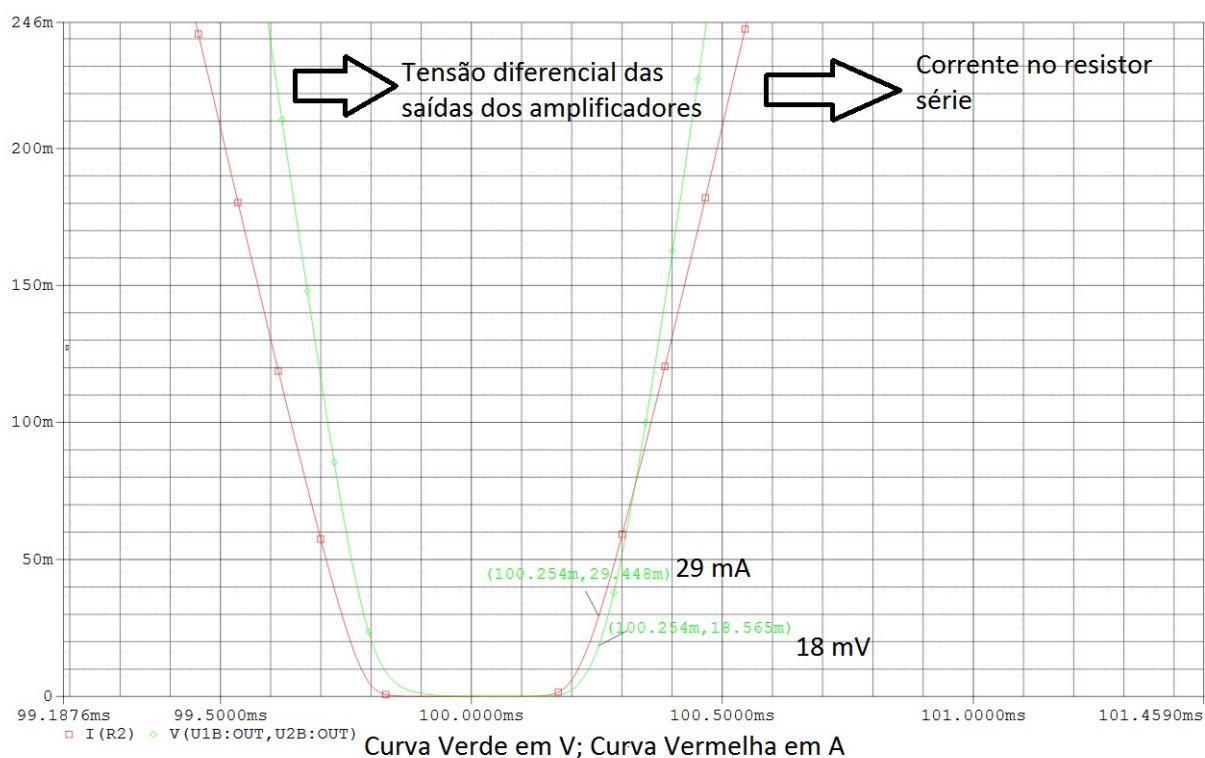


Figura 7.7: Comportamento do sub-circuito de amplificação do resistor shunt para o caso de baixa corrente com medição diferencial. A curva superior (medida em Volts) é a tensão na saída do amplificador. A curva inferior (medida em Ampère) é a corrente sob o resistor série.

### 7.3 Limitação da corrente de *inrush*

No momento em que o circuito é ligado, ocorre um pico de corrente resultante do carregamento dos elementos reativos do circuito que pode danificar os componentes mais sensíveis. Essa corrente é denominada corrente de *inrush*. Para evitar tal evento, utilizou-se um resistor em paralelo com uma chave, conforme ilustrado na Figura 7.8

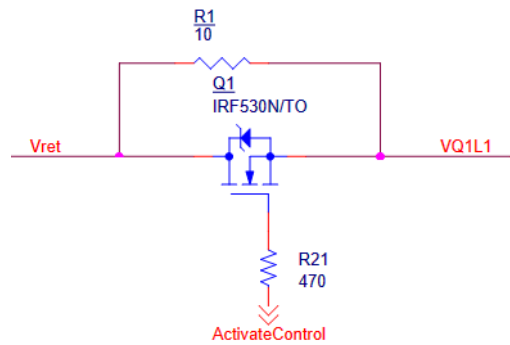


Figura 7.8: Montagem da chave de entrada para conter a corrente de *inrush*

Esse resistor é capaz de limitar a corrente que entra no circuito, por provocar uma queda de tensão no começo do mesmo e aumentar a impedância total do circuito. Entretanto, deve-se ser possível retirar o efeito do mesmo sob o circuito após tempo suficiente para carregamento do capacitor e do indutor. Para tal, inseriu-se também uma chave em paralelo com o resistor de tal forma que, quando ligada, ela represente uma resistência muito pequena em paralelo com o resistor e anule a sua influência.

### 7.4 Driver

O *driver* é um circuito necessário para realizar a interface entre o dsPIC e a chave, para promover o isolamento do dsPIC com a chave. Dessa forma, projeta-se um circuito para realizar esse papel. Para tal, selecionou-se o circuito integrado de optoacoplamento 6N137. Portanto, toda a corrente que realizará a mudança de estado da chave se origina da fonte auxiliar que alimenta o *driver*, ao invés do

microprocessador.

Para o seu projeto, utilizou-se, além das informações presentes em seu respectivo *datasheet*, um *push-pull* capaz de fornecer e drenar a corrente necessária para a chave alterar o seu estado em na frequência de 100 kHz. A Figura 7.9 mostra o circuito.

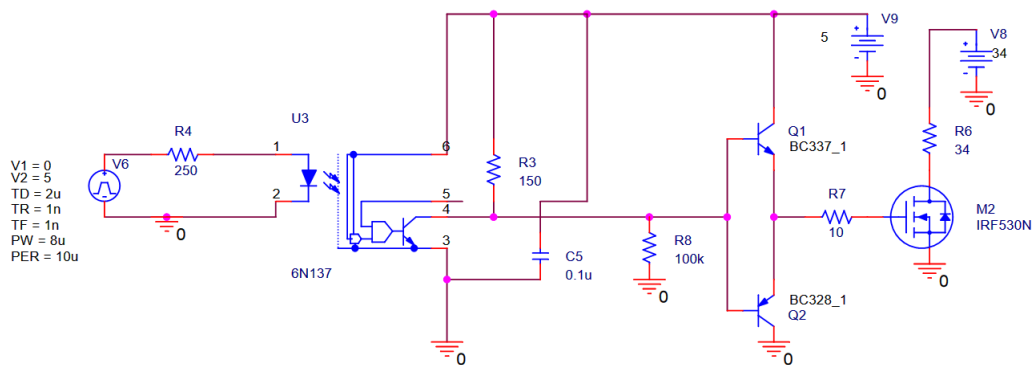


Figura 7.9: Montagem de simulação do driver optoacoplador

Repare que a fonte V6 representa o dsPIC emitindo o sinal de PWM, enquanto a fonte V9 é uma fonte de alimentação auxiliar e V8 é a saída do circuito em uma tensão próxima a 35 V usada para testar o circuito de acionamento da chave. Os transistores Q1 e Q2 formam o *push-pull*, enquanto M2 é a chave do conversor *Boost*.

A Figura 7.10 mostra o sinal de tensão no gate do driver durante uma simulação, enquanto a Figura 7.11 revela a corrente do driver em resposta a esse sinal.

Como testes, avaliou-se o tempo necessário de resposta do circuito, para avaliar a existência de alguma atraso considerável. A Figura 7.12 ressalta este teste.

Percebe-se que o atraso desde o sinal de ativação do circuito (em 10,1  $\mu\text{s}$ ) até o momento em que o sinal atinge um estado em 80% do valor desejado (de 0,8 A) em 10,2  $\mu\text{s}$  é de 0,1  $\mu\text{s}$ . Tal atraso é pequeno o suficiente para não invalidar a estrutura com o driver optoacoplador.

Vale notar que, devido à arquitetura do CI, o ciclo de trabalho da saída é o complemento do sinal de entrada. Entretanto, como o dsPIC possui uma saída com-

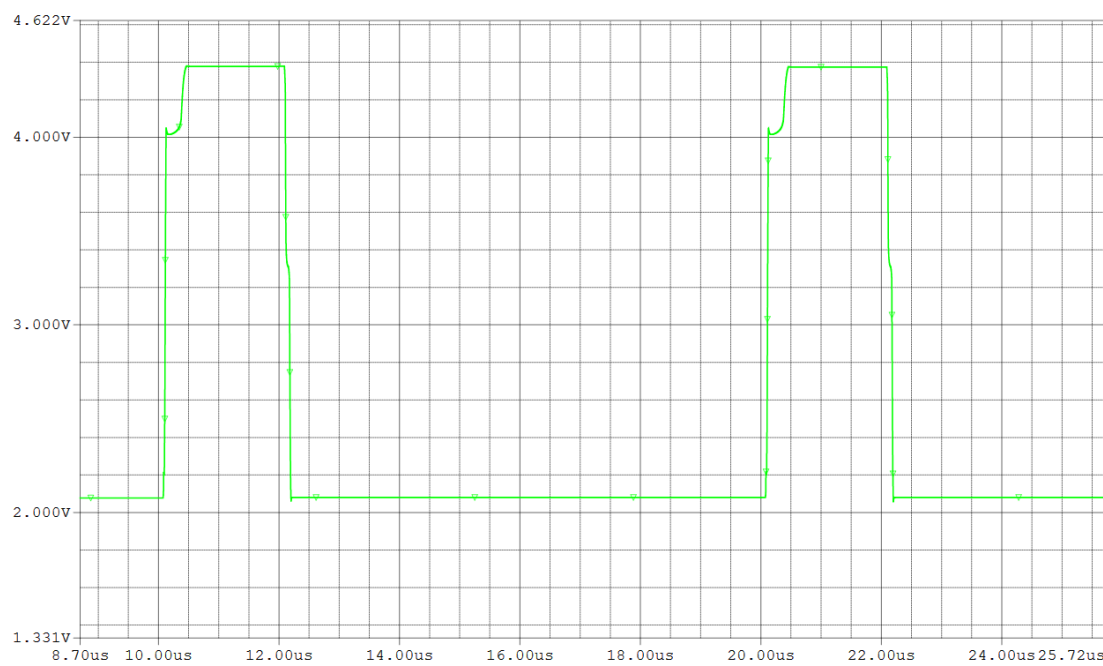


Figura 7.10: *Tensão no gate da chave a ser manipulada*

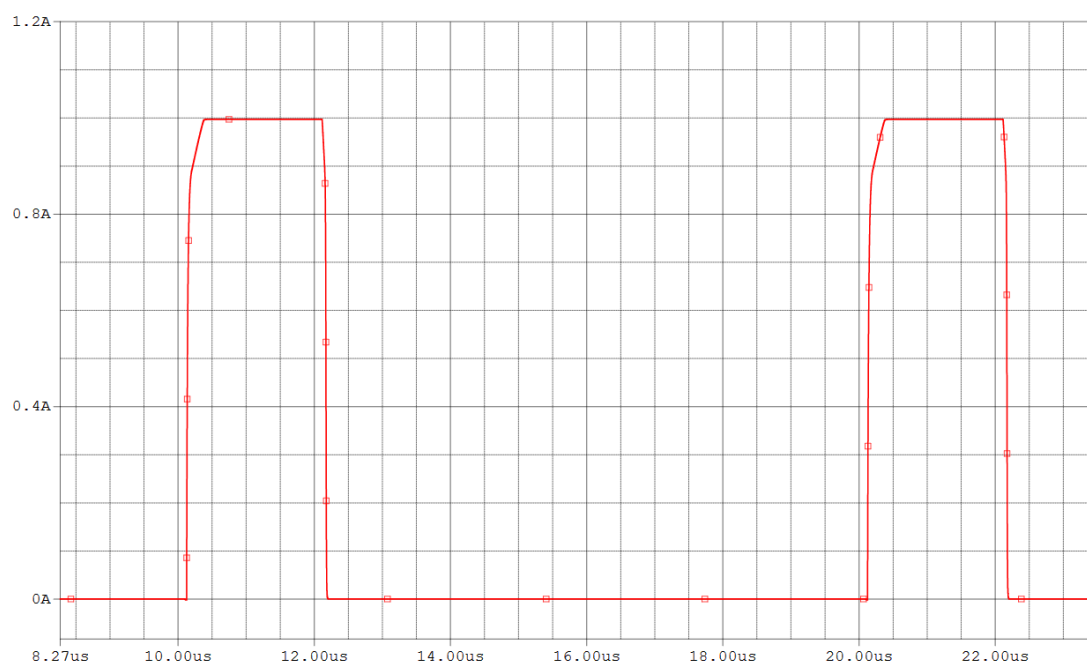


Figura 7.11: *Corrente da chave a ser manipulada*

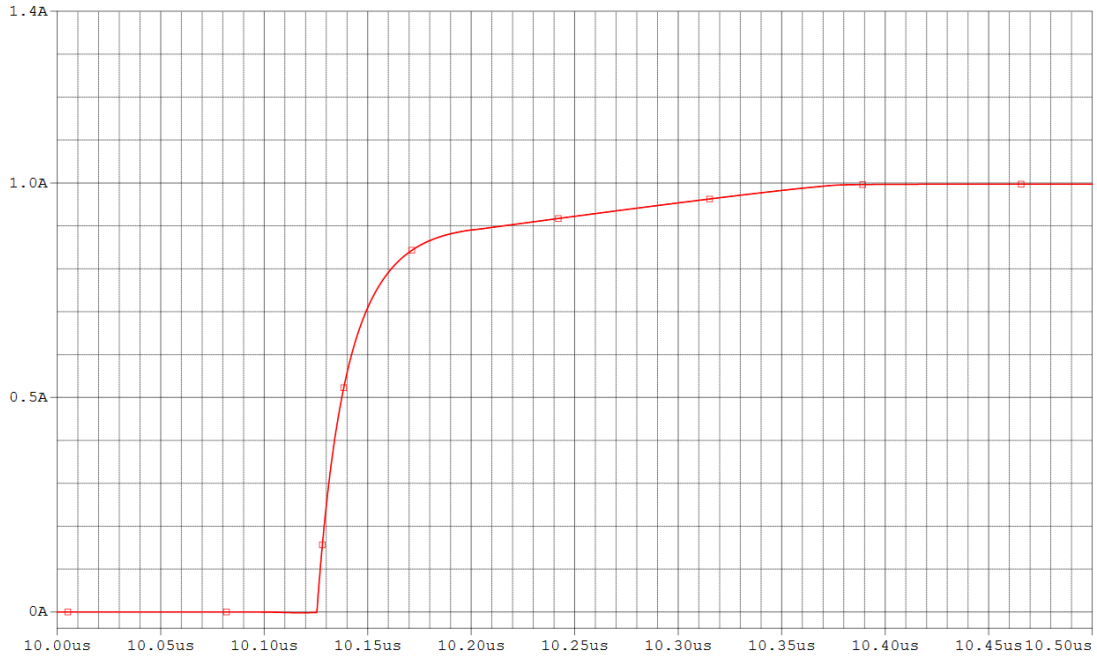


Figura 7.12: *Tempo de atraso da corrente no driver*

plementar em seu gerador de sinal *Pulse-Width Modulation* (PWM), basta conectar a sua saída complementar no pino conectado com o driver óptico, ao invés da saída não complementar. Dessa forma, nenhuma alteração no *software* é necessária.

Também avaliou-se a corrente média que deverá ser fornecida pela fonte auxiliar para o circuito de *driver*. Enquanto no caso médio essa corrente foi de 22,22 mA, no pior caso a corrente média foi de 27,09 mA. Dessa forma, utilizando a Lei de Ohm, é possível descobrir qual é a resistência que representa o *driver* para o projeto da fonte auxiliar, a fim de se calcular posteriormente a eficiência do circuito considerando os adicionais. Tal resistência é de aproximadamente 185  $\Omega$ .

## 7.5 Fonte Auxiliar

A fonte auxiliar foi projetada para alimentar o circuito de *driver*. Neste projeto, o dsPIC será alimentado por uma fonte externa através da conexão na porta USB do seu *kit* de desenvolvimento, para não ser necessário o projeto de uma outra fonte auxiliar para atender às especificações do mesmo. Entretanto, vale notar que a sua forma de entrada também é uma tensão retificada, mas agora realizada por

uma segunda ponte retificadora com a adição de um capacitor para manter a tensão constante. Dessa forma, é necessário que a fonte auxiliar seja capaz de suportar uma variação na sua entrada e também ser apta a quantidade necessária de corrente para alimentar o rápido chaveamento do circuito.

Para tal desenvolvimento, utilizamos um circuito integrado específico (MC34063) e a sua respectiva ferramenta fornecida pelo seu fabricante para o desenvolvimento do seu circuito externo. O circuito final pode ser visto na Figura 7.13.

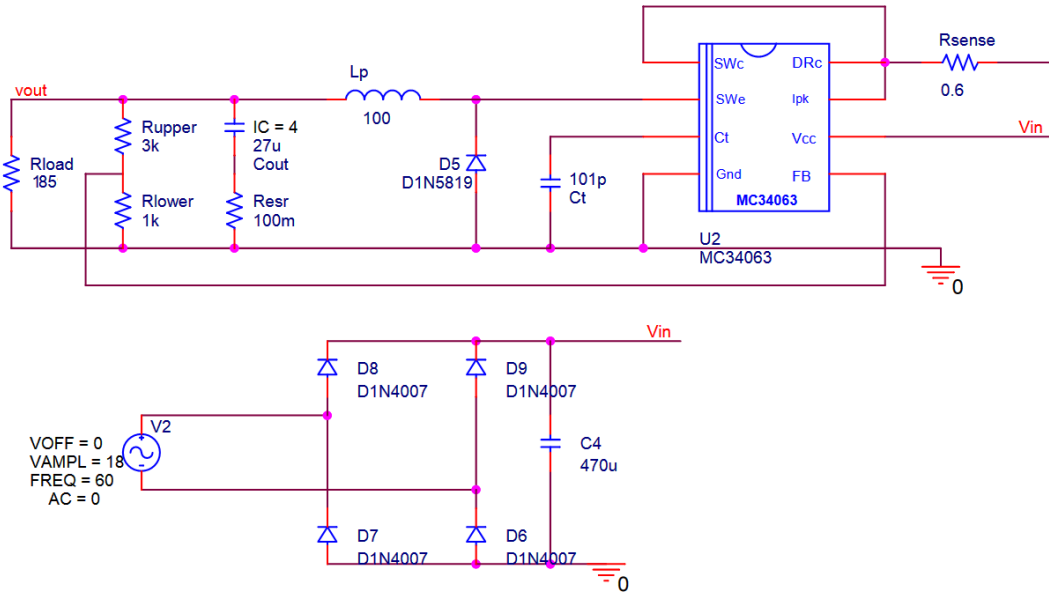


Figura 7.13: *Modelo de simulação da fonte auxiliar*

A fonte auxiliar foi projetada através de uma ferramenta disponibilizada pelo próprio fabricante. Avaliou-a nos dois cenários extremos: Com a menor tensão de pico de entrada (12,7 V) e com a maior tensão de pico de entrada (34,2 V). Em ambos os casos, avaliou-se a tensão de *ripple* pico a pico na saída do circuito, a corrente média consumida pelo circuito e a potência média consumida pelo mesmo. Os resultados podem ser vistos na Tabela 7.1. Em ambos os cenários a tensão atingiu o valor desejado de 5 V na saída  $V_{out}$ .

Dessa forma, é possível concluir que a fonte auxiliar opera de modo adequado.

Considerando agora o caso médio, o consumo de potência é de aproxima-

Tabela 7.1: Resultados do projeto da fonte auxiliar.

Tensão de Entrada	Ripple de Saída	Corrente Média	Potência Média
<b>12,7 V</b>	0,03 V	232 mA	187,4 mW
<b>34,2 V</b>	0,12 V	432 mA	232,1 mW

damente 210 mW. Dessa forma, conhecendo a tensão média de entrada, é possível obter um resistor que vá consumir a quantidade desejada de potência nessa tensão. Esse resistor é de aproximadamente  $1150 \Omega$ . Essa resistência deve ser adicionada em paralelo com a fonte na entrada, de forma a simular a “carga” provocada pelos circuitos adicionais e permitir uma melhor aproximação do cálculo da eficiência do circuito completo.

## 7.6 Simulação do Modelo Completo

Por último, para compreender a influência do circuito auxiliar projeto aqui no sistema completo, avaliou-se a sua impedância de entrada através de simulação, de forma a substituí-lo quando ele vier a ser simulado no PSCAD.

Com todos os circuitos adicionais projetados e avaliados, foi possível obter de cada um deles o seu equivalente em termos de consumo de corrente por ciclo de trabalho e, com isso, qual seria a sua resistência média em um ciclo de forma a simular o seu consumo de potência. Assim, é possível simular o circuito completo no PSCAD, utilizando a arquitetura do HIL de forma a avaliar o efeito desses circuitos adicionais na eficiência do sistema completo. A Figura 7.14 mostra a montagem do circuito.

Testes apontaram uma redução no rendimento do circuito para a faixa superior a 90%, conforme Figura 7.15. Dessa forma, os circuitos adicionais provocaram uma queda de rendimento considerável, indicando que os mesmos devem ser melhorados para uma implementação prática real.

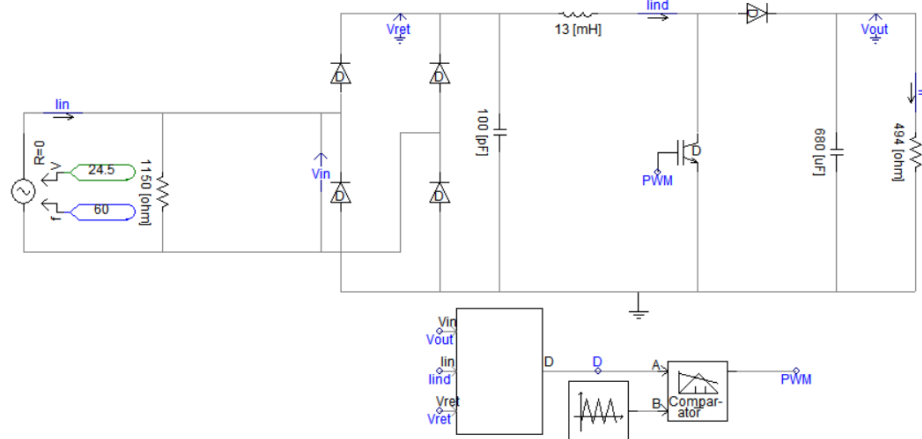


Figura 7.14: Modelo de simulação do circuito com cargas auxiliares

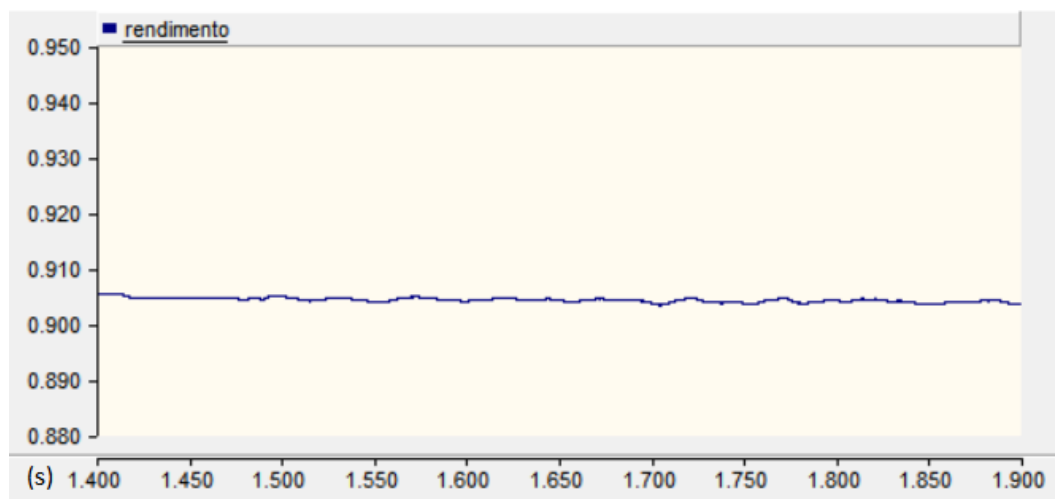


Figura 7.15: Rendimento do modelo de simulação do circuito com cargas auxiliares



# Capítulo 8

## *Layout* da Placa de Circuito Impresso

### 8.1 Considerações Iniciais

Para a confecção do *layout* da placa de circuito impresso (PCI), utilizou-se o *software* OrCAD PCB Designer, fornecido pela INOVAX Engenharia de Sistemas.

Como boas práticas, foram adotadas as seguintes medidas:

- Distância entre as trilhas, de no mínimo, 1 mm.
- Distância entre as trilhas e pinos, de no mínimo, 0,5 mm.
- Largura das trilhas, de no mínimo, 1,0 mm para trilhas de alta corrente.
- Curvas nas trilhas de exatamente 45°.

Além disso, procurou-se utilizar o tamanho padrão dos componentes no desenvolvimento do *layout*. Os componentes mais específicos tiveram os seus *footprints* criados manualmente. Utilizou-se apenas a camada *top* para os componentes, enquanto a *bottom* foi utilizada apenas para as trilhas do circuito. Não foram utilizadas camadas intermediárias. Além disso, adicionou-se também um plano de terra de cobre por toda a camada *top* do circuito.

## 8.2 Resultados do *Layout*

A Figura 8.1 mostra o *layout* final da placa na camada *top*, enquanto a Figura 8.2 mostra a camada *bottom*. Já a Figura 8.3 mostra os detalhes inscritos na placa que a caracterizam como uma placa da INOVAX Engenharia de Sistemas, enquanto a Figura 8.4 descreve os pontos de medição adicionados na placa.

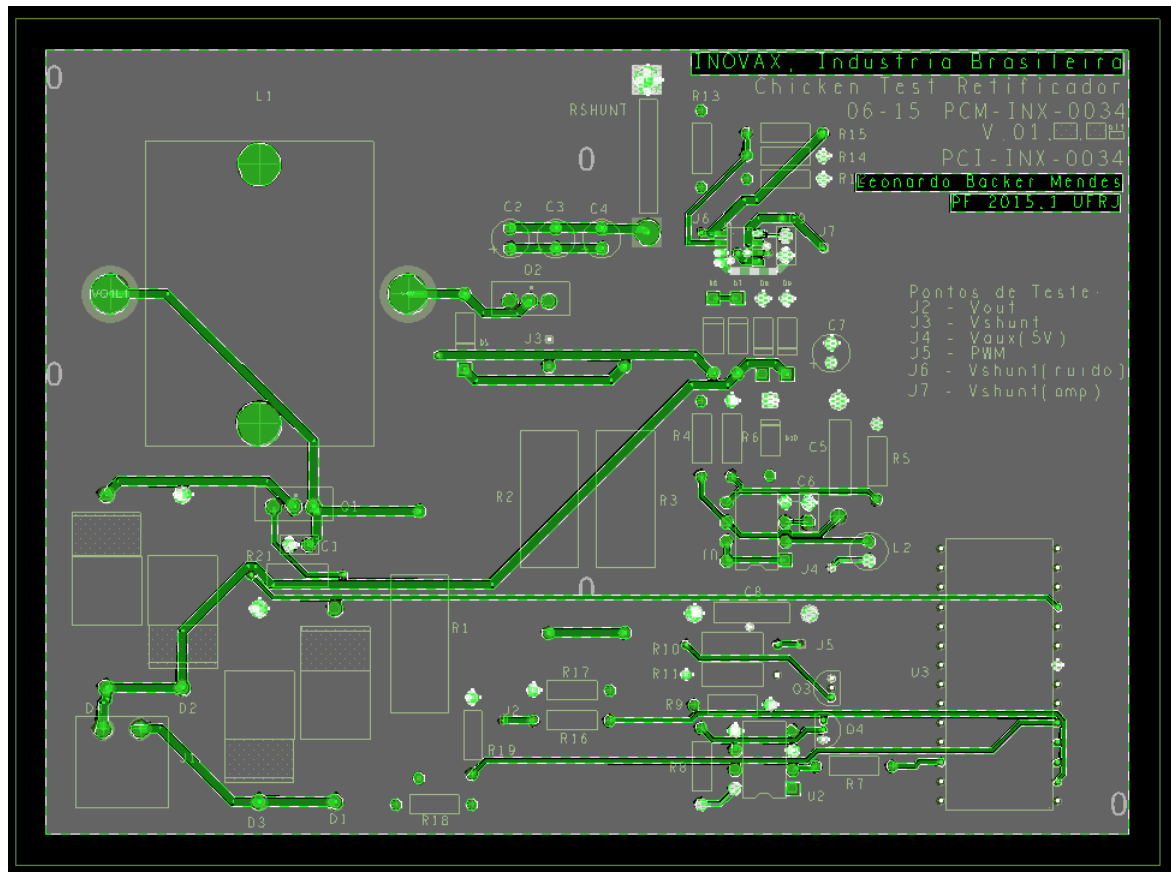


Figura 8.1: *Camada top do layout produzido*

As dimensões finais da placa foram 103 x 142 mm. Vale notar que o espaço poderia ser melhor aproveitado, considerando-se que aumentar a densidade dos componentes poderia ser aumentada e outras arquiteturas poderiam ser adotadas na confecção da placa.

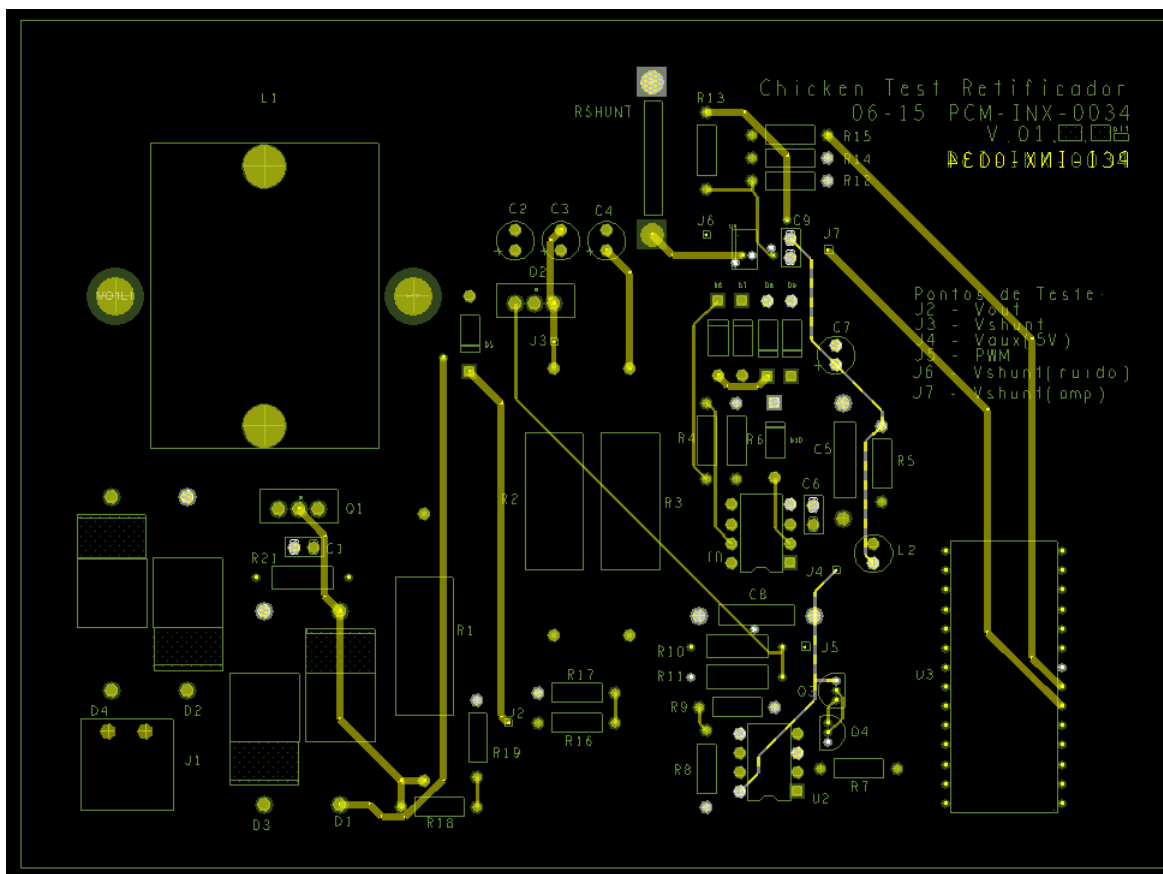


Figura 8.2: *Camada bottom do layout produzido*



Figura 8.3: *Detalhes no canto superior direito do layout*

### 8.3 Avaliação de Custos

Como forma de se avaliar a viabilidade de uma montagem prática do projeto, alguns orçamentos foram solicitados para as empresas, enquanto o preço dos compo-

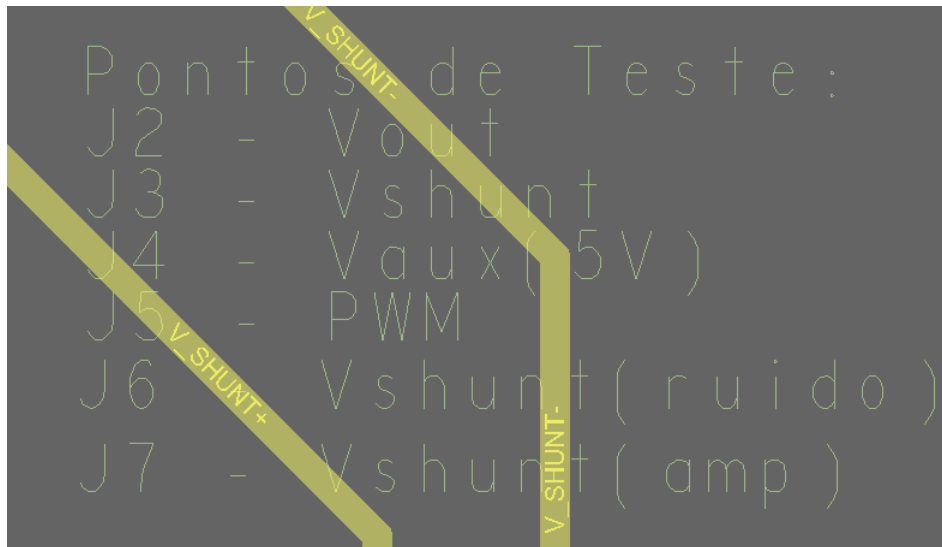


Figura 8.4: Referência dos pontos de medições da placa

nentes também foi procurado no mercado interno. Enquanto o Apêndice C mostra a cotação para a placa de circuito impresso de uma empresa, a lista de materiais no Apêndice A aponta a relação dos componentes e a estimativa de seus preços em uma rede local de venda de eletrônicos. Já o Apêndice B revela o documento de requisição de fabricação do indutor.

No total, a confecção de aproximadamente cinco placas com sete dias de espera resultaria em um investimento de R\$ 1500,00, enquanto o preço dos componentes, com frete incluso, seria de R\$ 38 para a montagem de uma única placa, conforme o Apêndice A.

Devido ao custo elevado, optou-se por não realizar a implementação prática do circuito nessa etapa do processo.

# Capítulo 9

## Conclusões

Pode-se concluir que a arquitetura proposta é capaz de atender inicialmente aos requisitos presentes nas normas [2] e [3]. Com os testes realizados, notou-se que a arquitetura pode ser escalada para um aumento da sua potência, de forma a projetar um sistema de maior potência com relativa facilidade. O projeto das constantes de controle também pode ser facilmente adaptado para novas características de entrada e saída do circuito.

Os testes em HIL se mostraram úteis para averiguar a arquitetura necessária para o controle digital do circuito, de forma a servir como fonte de informação para a especificação dos requisitos de um microprocessador específico para o controle do sistema. Nesse caso, com o tempo de operação de 80  $\mu$ s, percebeu-se que um *hardware* mais sofisticado, a ponto de alcançar os 10  $\mu$ s desejados de execução, resultaria em melhores resultados em relação aos parâmetros da norma. Pode-se claramente notar uma evolução dos níveis de THD e de fator de potência com a ausência e com a presença do controle seguindo a forma de onda retificada, sendo este último o que obteve os menores resultados de THD e o fator de potência mais próximo da unidade.

Apesar dos resultados do teste de THD no HIL estarem acima do valor esperado pela norma, alguns pontos devem ser considerados, como o fato do circuito aplicado nesse projeto ser um protótipo de baixa potência. Em uma aplicação real de alta potência, os níveis de tensão e corrente seriam maiores. Dessa forma, as variações provocadas pelas não linearidades presentes nos componentes seriam menos impactantes. Além disso, novas etapas de otimização do controle poderiam ser

realizadas, de forma a refinar ainda mais os resultados obtidos, inclusive ajustando o controle para mais próximo da tensão de 22 Vac do que da tensão de 12,7 Vac, de forma a equilibrar os dois níveis de THD da corrente de entrada.

Vale notar que um projeto de potência será menos influenciado com a alimentação de circuitos adicionais do que o projeto de baixa potência proposto nesse trabalho . Como esses circuitos possuem um consumo na ordem de centenas de mW, esse consumo representará uma perda muito pequena de eficiência quando comparado à um sistema de alta potência.

## 9.1 Trabalhos Futuros

Como trabalhos futuros, sugere-se:

- Implementação prática do circuito, de forma a testar a arquitetura com o controle digital.
- Desenvolvimento de um segundo estágio conversor DC-DC para evoluir o projeto para uma unidade retificadora de mercado.
- Adição de circuitos de proteção, de forma a se aproximar de uma unidade retificadora de mercado e garantir segurança na operação do circuito de potência.
- Avaliação de emissões eletromagnéticas da placa produzida.
- Avaliação de integridade de sinais da placa produzida.
- Otimização do *layout* proposto, para melhor aproveitar espaços vazios e utilizar tanto a camada *top* quanto a *bottom* para a colocação de componentes e possivelmente camadas intermediárias para roteamento do circuito.
- Adição de uma interface (possivelmente *web*) para sensoramento do circuito retificador à distância, assim como o ajuste de seus parâmetros - como constantes de controle e valor da saída.
- Escalamento do modelo de simulação para alta potência, de forma a averiguar o comportamento do circuito com valores mais próximos de uma aplicação real.

# Referências Bibliográficas

- [1] “Resolução Normativa no 414/2010” - Agência Nacional de Energia Elétrica.  
[http://www.aneel.gov.br/biblioteca/downloads/livros/REN\\_414\\_2010\\_atual\\_REN\\_499\\_2012.pdf](http://www.aneel.gov.br/biblioteca/downloads/livros/REN_414_2010_atual_REN_499_2012.pdf) (Acesso em 2 de março de 2015)
- [2] “Resolução no 542, de 29 de junho de 2010” - Agência Nacional de Telecomunicações. <http://legislacao.anatel.gov.br/resolucoes/2010/81-resolucao-542> (Acesso em 2 de março de 2015)
- [3] “Resolução no 543, de 28 de julho de 2010” - Agência Nacional de Telecomunicações. <http://legislacao.anatel.gov.br/resolucoes/2010/82-resolucao-543> (Acesso em 2 de março de 2015)
- [4] MURICY, Leonardo Alvim, *Projeto de Conversores DC-DC e Compatibilidade Eletromagnética*. B. Eng Dissertation, Universidade Federal do Rio de Janeiro, 2013
- [5] “Small Signal Modeling of Boost Converter” - Dr. Akshay Kumar Rathore, Assistant Professor, National University of Singapore. <http://www.ece.nus.edu.sg/stfpage/akr/ssmboost.pdf> (Acesso em 26 de fevereiro de 2015)
- [6] “Two Loop Average Current Control of Boost Converter” - Dr. Akshay Kumar Rathore, Assistant Professor, National University of Singapore. <http://www.ece.nus.edu.sg/stfpage/akr/controlboost.pdf> (Acesso em 26 de fevereiro de 2015)
- [7] “Retificadores” - Prof. Marcelo Wendling, <http://www2.feg.unesp.br/Home/PaginasPessoais/ProfMarceloWendling/3—retificadores.pdf> (Acesso em 11 de abril de 2015)

- [8] “Eletrônica IV” - Fernando Antônio Pinto Barúqui, [http://www.pads.ufrj.br/~fbaruqui/Apostila\\_EletIV.pdf](http://www.pads.ufrj.br/~fbaruqui/Apostila_EletIV.pdf) (Acesso em 11 de abril de 2015)
- [9] “Fator de Potência” - Eng. Valdecir Mateus, <http://www.ejm.com.br/download/FP.PDF> (Acesso em 11 de abril de 2015)
- [10] “Detecção de Erros” - Constantino Seixas Filho, UFMG – Departamento de Engenharia Eletrônica, <http://www.cpdee.ufmg.br/seixas/PaginaSDA/Download/DownloadFiles/CRC.PDF> (Acesso em 11 de abril de 2015)
- [11] “Projeto de Indutores para Alta Frequência” - Clóvis Antônio Petry, Professor, Instituto Federal de Educação, Ciência e Tecnologia de Santa Catarina. [http://www.professorpetry.com.br/Ensino/Projeto\\_Indutores/Apresentacao\\_Aula\\_Projeto\\_Indutores.pdf](http://www.professorpetry.com.br/Ensino/Projeto_Indutores/Apresentacao_Aula_Projeto_Indutores.pdf) (Acesso em 11 de abril de 2015)
- [12] “Projeto Físico de Indutores e Transformadores” - Prof. Ivo Barbi, Dr. Ing., Eng. Carlos Henrique Illa Font, Mestrando, Eng. Ricardo Luiz Alves, Mestrando, Universidade Federal de Santa Catarina [http://www.joinville.udesc.br/portal/professores/sergiovgo/materiais/Apostila\\_Projeto\\_Fisico\\_De\\_Magneticos.pdf](http://www.joinville.udesc.br/portal/professores/sergiovgo/materiais/Apostila_Projeto_Fisico_De_Magneticos.pdf) (Acesso em 11 de abril de 2015)



# Apêndice A

## Lista de materiais

Lista de Material de Equipamento



Nome da Equipamento:

Código do Equipamento:

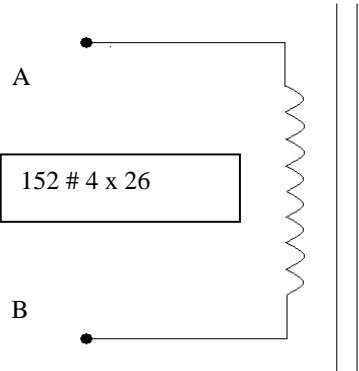
ITEM	QTD	REFERENCIA	CODIGO INOVAX	DESCRIÇÃO	Link de Referência	Custo na Referência	Custo Total
1	2	C1,C6		100p 50V through hole	<a href="http://www.soldafria.com.br/capacitor-disco-ceramico-100pf-x-50v">http://www.soldafria.com.br/capacitor-disco-ceramico-100pf-x-50v</a>	0.07	0.14
2	3	C2,C3,C4		220uF 50V eletrolítico through hole	<a href="http://www.soldafria.com.br/capacitor-eletrolitico-220uf-x-50v-p-2">http://www.soldafria.com.br/capacitor-eletrolitico-220uf-x-50v-p-2</a>	0.54	1.62
3	1	C5		470uF through hole	<a href="http://www.soldafria.com.br/capacitor-eletrolitico-470uf-x-16v-p-2">http://www.soldafria.com.br/capacitor-eletrolitico-470uf-x-16v-p-2</a>	0.22	0.22
4	1	C7		33uF 25V eletrolítico through hole	<a href="http://www.soldafria.com.br/capacitor-eletrolitico-33uf-x-25v-p-4">http://www.soldafria.com.br/capacitor-eletrolitico-33uf-x-25v-p-4</a>	0.16	0.16
5	1	C8		0.1uF through hole	<a href="http://www.soldafria.com.br/capacitor-disco-ceramico-100nf-x-50v">http://www.soldafria.com.br/capacitor-disco-ceramico-100nf-x-50v</a>	0.11	0.11
6	1	C9		10nF 50V through hole	<a href="http://www.soldafria.com.br/capacitor-disco-ceramico-10nf-x-1kv">http://www.soldafria.com.br/capacitor-disco-ceramico-10nf-x-1kv</a>	0.28	0.28
7	4	D1,D2,D3,D4		6A10 through hole	<a href="http://www.soldafria.com.br/diodo-6a10-p-1379.html">http://www.soldafria.com.br/diodo-6a10-p-1379.html</a>	0.75	3.00
8	1	D5		MUR-160 through hole	<a href="http://www.soldafria.com.br/diodo-mur160-p-1352.html">http://www.soldafria.com.br/diodo-mur160-p-1352.html</a>	0.52	0.52
9	4	D6,D7,D8,D9		1n4936 through hole	<a href="http://www.soldafria.com.br/diodo-1n4936-p-1374.html">http://www.soldafria.com.br/diodo-1n4936-p-1374.html</a>	0.12	0.48
10	1	D10		D1N5819 through hole	<a href="http://www.soldafria.com.br/diodo-1n5819-p-1377.html">http://www.soldafria.com.br/diodo-1n5819-p-1377.html</a>	0.17	0.17
11	1	J1 macho		2EDGRC-5,0 Borne dois terminais 90 graus macho	<a href="http://www.soldafria.com.br/borne-2edgrc-50-macho-90-graus-2">http://www.soldafria.com.br/borne-2edgrc-50-macho-90-graus-2</a>	0.76	0.76
12	1	J1 fêmea		2EDGK-5,0 Borne dois terminais 90 graus fêmea	<a href="http://www.soldafria.com.br/borne-2edgk-50-femea-2-terminais-p">http://www.soldafria.com.br/borne-2edgk-50-femea-2-terminais-p</a>	1.44	1.44
13	6	J2,J3,J4,J5,J6,J7		Terminal Espadinha			0.00
14	1	L1		INV01110-3	Consultar e-mails com Eletrônica MG	15	15.00
15	1	L2		100uF through hole	<a href="http://produto.mercadolivre.com.br/MLB-661614914-indutor-100u">http://produto.mercadolivre.com.br/MLB-661614914-indutor-100u</a>	3	3.00
16	2	Q1,Q2		IRF530N/TO	<a href="http://www.soldafria.com.br/transistor-irf530-irf530n-pbl-p-1490.f">http://www.soldafria.com.br/transistor-irf530-irf530n-pbl-p-1490.f</a>	1.82	3.64
17	1	Q3		BC337	<a href="http://www.soldafria.com.br/transistor-bc337-p-40.html">http://www.soldafria.com.br/transistor-bc337-p-40.html</a>	0.18	0.18
18	1	Q4		BC328	<a href="http://www.soldafria.com.br/transistor-bc328-p-1008.html">http://www.soldafria.com.br/transistor-bc328-p-1008.html</a>	0.16	0.16
19	1	RShunt		0.0082			0.00
20	1	R1		10Ω through hole	<a href="http://www.soldafria.com.br/resistor-de-10r-carbono-5-14w-mrptd">http://www.soldafria.com.br/resistor-de-10r-carbono-5-14w-mrptd</a>	0.12	0.12
21	1	R2		220Ω 5W through hole	<a href="http://www.soldafria.com.br/resistor-de-220r-5w-p-1445.html">http://www.soldafria.com.br/resistor-de-220r-5w-p-1445.html</a>	0.89	0.89
22	1	R3		27Ω 1W through hole	<a href="http://www.soldafria.com.br/resistor-27r-5-1w-vmrptdr-p-4744.h">http://www.soldafria.com.br/resistor-27r-5-1w-vmrptdr-p-4744.h</a>	0.15	0.15
23	1	R4		0.56Ω through hole	<a href="http://www.soldafria.com.br/resistor-de-0r56-carbono-5-14w-vda">http://www.soldafria.com.br/resistor-de-0r56-carbono-5-14w-vda</a>	0.12	0.12
24	1	R5		3kΩ through hole	<a href="http://www.soldafria.com.br/resistor-3k-5-1w-p-5737.html">http://www.soldafria.com.br/resistor-3k-5-1w-p-5737.html</a>	0.15	0.15
25	3	R6,R12,R14		1kΩ through hole	<a href="http://www.soldafria.com.br/resistor-1k-5-1w-mrptvmdr-p-4731.h">http://www.soldafria.com.br/resistor-1k-5-1w-mrptvmdr-p-4731.h</a>	0.2	0.60
26	1	R7		250Ω through hole	<a href="http://www.soldafria.com.br/resistor-de-240r-carbono-5-14w-vma">http://www.soldafria.com.br/resistor-de-240r-carbono-5-14w-vma</a>	0.1	0.10
27	1	R8		150Ω through hole	<a href="http://www.soldafria.com.br/resistor-de-150r-carbono-5-14w-mrv">http://www.soldafria.com.br/resistor-de-150r-carbono-5-14w-mrv</a>	0.06	0.06
28	1	R9		100kΩ through hole	<a href="http://www.soldafria.com.br/resistor-de-10r-carbono-5-14w-mrptd">http://www.soldafria.com.br/resistor-de-10r-carbono-5-14w-mrptd</a>	0.12	0.12
29	1	R10		10Ω 1W through hole	<a href="http://www.soldafria.com.br/resistor-10r-5-1w-mrptptdr-p-4721.h">http://www.soldafria.com.br/resistor-10r-5-1w-mrptptdr-p-4721.h</a>	0.21	0.21
30	1	R11		180Ω 1W through hole	<a href="http://www.soldafria.com.br/resistor-180r-5-1w-mrczmldr-p-4729">http://www.soldafria.com.br/resistor-180r-5-1w-mrczmldr-p-4729</a>	0.13	0.13
31	2	R13,R15		200kΩ through hole	<a href="http://www.soldafria.com.br/resistor-de-200k-carbono-5-14w-vma">http://www.soldafria.com.br/resistor-de-200k-carbono-5-14w-vma</a>	0.1	0.20
32	2	R16,R18		150kΩ 1W through hole	<a href="http://www.soldafria.com.br/resistor-150k-5-1w-mrvdamdr-p-472">http://www.soldafria.com.br/resistor-150k-5-1w-mrvdamdr-p-472</a>	0.14	0.28
33	2	R17,R19		10kΩ 1W through hole	<a href="http://www.soldafria.com.br/resistor-10k-5-1w-mrplndr-p-3608.h">http://www.soldafria.com.br/resistor-10k-5-1w-mrplndr-p-3608.h</a>	0.19	0.38
34	1	R21		470Ω 1W through hole	<a href="http://www.soldafria.com.br/resistor-470r-5-1w-p-4759.html">http://www.soldafria.com.br/resistor-470r-5-1w-p-4759.html</a>	0.2	0.20
35	1	U1		MC34063	<a href="http://www.soldafria.com.br/circuito-integrado-mc34063-ap1g-p-">http://www.soldafria.com.br/circuito-integrado-mc34063-ap1g-p-</a>	1.36	1.36
36	1	U2		6N137	<a href="http://www.soldafria.com.br/circuito-integrado-6n137-p-1287.htm">http://www.soldafria.com.br/circuito-integrado-6n137-p-1287.htm</a>	1.64	1.64
37	1	U3		DM330013 Kit de desenvolvimento microstick para dspic			0.00
38	1	U4		LM358	<a href="http://www.soldafria.com.br/circuito-integrado-lm358-smd-lm358">http://www.soldafria.com.br/circuito-integrado-lm358-smd-lm358</a>	0.34	0.34

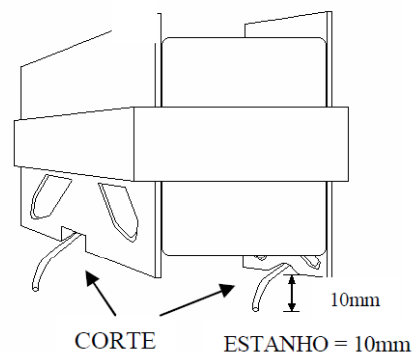
Frete 15  
Total Componentes: 37.93  
Número Compras: 4  
Total Final: 166.72

## Apêndice B

### Projeto Indutor

INOVAX	TRANSFORMADOR Nº: INV04080-1 APLICADO EM: UR1048_PFC	INOVAX
--------	---	--------

<p>ENROLAMENTOS</p> 	NÚCLEO: NEE42/21/20 AL = 560 (+10% e -10%)		
	MATERIAL: IP6		
	ÁREA:		
	PESO DO FERRO:		
	% A COBRE:		
	POTÊNCIA	IMAG	A
ENR	.	VINDUÇÃO	
PESO DO COBRE			
FIO		/	PESO
		/	
		/	
		/	
		/	

ENR	Nº ESP	FIO	INDUTÂNCIA	OBSERVAÇÃO
A – B	152	4 x 26	Entre 14.23 mH e 11.65 mH	 <p><u>Montagem Horizontal</u></p>
ISOLAÇÃO	1 VOLTA	FITA	POLIÉSTER	
DETALHES DE MONTAGEM				
<ul style="list-style-type: none"><li>- FAZER DOIS CORTES NO CENTRO DO CARRETEL PARA SAÍDA DOS FIOS.</li><li>- OS FIOS DE SAÍDA DO INDUTOR DEVEM SER TRANÇADOS, ESTANHADOS E ISOLADOS.</li></ul>				

	09/05/12	Leonardo	Leonardo			1 – 1
EM	DATA	DES.	PROJ	APROV.		FOLHA

## Apêndice C

# Orçamento Placa de Circuito Impresso



ORÇAMENTO No.: 005719	Data: 29/05/2015	Página: 1
Cliente: 00412 / INOVAX ENGENHARIA DE SISTEMAS LTDA 412	Tel: (21)2103-5556	
Endereço: AV RIO BRANCO	No.: 4	Bairro: CENTRO
Complemento.: SALA 407 A 409 CEP.: 20.090-000 Cidade.: RIO DE JANEIRO-RJ		
Contato: WAGNER AMARAL		Email: wagner@inovax.com.br

Atendendo a solicitação de V.Sa., segue orçamento para confecção de PCI, conforme especificações abaixo:

ITEM	QTDE	MODELO	REV	MEDIDA	MATERIAL	#	μ	SILK	CAR.	Au	MASCARA	UNIT. (R\$)	TOTAL (R\$)
01	4	INX0034 (4 MILS)	0	103 X 142	FIBRA 2	1,6	35	1F			VERDE	87,41	349,66

Sub-total:	349,66
IPI (10%):	34,96
<b>Soma:</b>	<b>384,62</b>

<b>FRETE:</b>	<b>30,00</b>
<b>TOTAL:</b>	<b>414,62</b>

Condições de pagamento: 28 DD

Prazo de entrega: 10 dias uteis, sujeito a alteração na confirmação do pedido.

Validade do orçamento: 10 DIAS CORRIDOS.

OBS.:

Reajuste conforme variações do mercado financeiro. IPI sobre placas de circuito impresso: 10%. Teste elétrico Opcional. Fotoplotagem isento de IPI e ICMS. Alterações no projeto ou cancelamentos, somente de pedidos programados e com 30 dias de antecedência do prazo de entrega do mesmo. Atenciosamente, depart. de vendas, Stick Circuitos Impressos.

Av. Solferina Ricci Pace, 445, Distrito Industrial do Jatoba, CEP: 30.664-000, Belo Horizonte - Minas Gerais  
www.stick.ind.br - stick@stick.ind.br Tel: (31) 3386-1748 \* Fax: (31) 3386-1222.

---

---

# Apêndice D

## Orçamento Indutor

**From:** Marília Brandão - Vendas - EMG [<mailto:vendas@eletronicamg.com.br>]  
**Sent:** terça-feira, 19 de maio de 2015 17:04  
**To:** 'Leonardo Alvim Muricy'  
**Subject:** RES: Cotação de Indutor

Leonardo, Boa Tarde!  
Segue o Preço do Trafo Cod. EMG1031  
-Preço R\$15,00  
-IPL: 00  
-ICMS; Credita-se 2,56%  
-Prazo de entrega: 02 dias.  
Condições de Pagamento: A Vista.  
Frete a Cobrar.  
Att,  
Glauco Brandao.