

---

# ES572 - Circuitos Lógicos

---

Atividade Teórica

10 de setembro de 2021

---

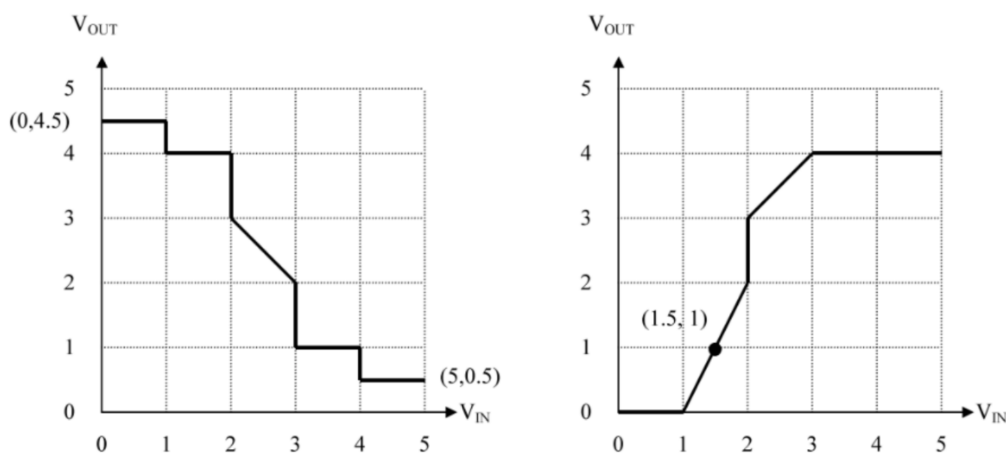
Guilherme Nunes Trofino  
217276

# 1. Atividade Teórica

**Apresentação** Resolução das questões de Circuitos Lógicos por Guilherme Nunes Trofino, 217276, sobre **Abstração Digital e Dispositivos Eletrônicos**.

## Questão 1

**Exercício.** Você recebe as **Curvas Características de Transferência** de dispositivos de uma entrada e uma saída, para serem utilizados em uma nova família de dispositivos lógicos:



Obtenha um conjunto único de valores de  $(V_{OL}, V_{IL}, V_{OH}, V_{IH})$  adequado para serem usados nestes dispositivos. Maximize a **Imunidade ao Ruído**, definida como a menor entre as duas margens de ruído.

**Resolução.** Nota-se que trata-se, provavelmente, de uma **Porta Inversora**, logo as seguintes condições devem ser atendidas:

1.  $V_{OH} - V_{OL} > V_{IH} - V_{IL}$ ;
2.  $V_{OH} > V_{IH} > V_{IL} > V_{OL}$ ;
3.  $V_{OUT} \geq V_{OH}$  quando  $V_{IN} \leq V_{IL}$ ;
4.  $V_{OUT} \leq V_{OL}$  quando  $V_{IN} \geq V_{IH}$ ;

Desta forma, propõem-se os seguintes valores:

	$V_{OL}$	$V_{IL}$	$V_{IH}$	$V_{OH}$	Erro High	Erro Low
Inversor	1.0	1.5	3.5	4.0	0.5	0.5

Implicando que a **Imunidade de Ruído** será  $\boxed{0.5 \text{ V}}$ .

## Questão 2

**Exercício.** Uma família de circuitos lógicos combinacionais possui as seguintes especificações:

1. Saída '0' será garantidamente representada por uma tensão de  $0.4 \pm 0.1$  volts;
2. Saída '1' será garantidamente representada por uma tensão de  $4.6 \pm 0.2$  volts;
3. Tensão de Threshold de  $2.5 \pm 0.2$  volts com:
  - (a)  $V_{TH} - 0.5$  volts são garantidamente interpretadas como '0';
  - (b)  $V_{TH} + 0.5$  volts são garantidamente interpretadas como '1';

Forneça valores adequados para ( $V_{OL}$ ,  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OH}$ ). Forneça também as duas margens de ruído e a imunidade do ruído desta família de dispositivos.

**Resolução.** Analiza-se os limites estabelecidos:

1. **Saída** será '0' para valores de  $0.4 \pm 0.1$ , implicando:

- (a)  $V_{OL_{\max}} = 0.5$
- (b)  $V_{OL_{\min}} = 0.3$

Analogamente, será '1' para valores de  $4.6 \pm 0.2$ , implicando:

- (a)  $V_{OH_{\max}} = 4.8$
- (b)  $V_{OH_{\min}} = 4.4$

Desta forma nota-se que  $V_{OL} = 0.5$  e  $V_{OH} = 4.4$ , pois a partir destes valores as saídas são garantidas.

2. **Threshold** será '0' para valores de  $2.0 \pm 0.2$ , implicando:

- (a)  $V_{TH_{\max}} = 2.2$
- (b)  $V_{TH_{\min}} = 1.8$

Analogamente, será '1' para valores de  $3.0 \pm 0.2$ , implicando:

- (a)  $V_{TH_{\max}} = 3.2$
- (b)  $V_{TH_{\min}} = 2.8$

Desta forma nota-se que  $V_{IL} = 2.2$  e  $V_{IH} = 2.8$ , pois a partir destes valores as entradas são garantidas.

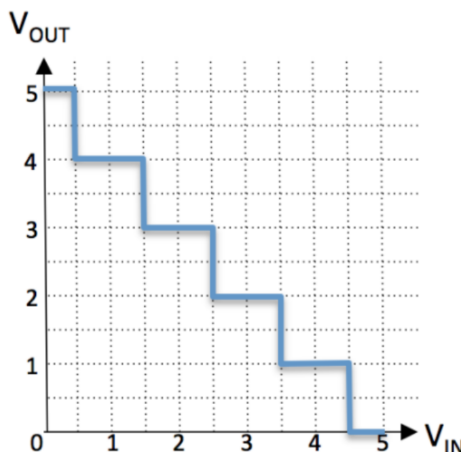
Desta forma os seguintes valores, em volts, seriam adequados:

	$V_{OL}$	$V_{IL}$	$V_{IH}$	$V_{OH}$	Erro High	Erro Low
Circuito	0.5	2.2	2.8	4.4	1.6	1.7

Implicando que a **Imunidade de Ruído** será 1.6 V.

### Questão 3

**Exercício.** Você recebe as Curvas Características de Transferência de um inversor NMOS como mostrado abaixo:



Considere as seguintes combinações entre  $(V_{OL}, V_{IL}, V_{OH}, V_{IH})$  fornecida:

	$V_{OL}$	$V_{IL}$	$V_{IH}$	$V_{OH}$
(a)	0.1	0.4	4.6	4.9
(b)	0.6	0.9	4.1	4.4
(c)	1.1	1.4	3.6	3.9

Verifique se as regras estáticas estão satisfeitas. Em caso negativo, detalhe o motivo. Em caso positivo informe a **Imunidade ao Ruído**.

**Resolução.** Considera-se a seguintes condições devem ser atendidas para funcionamento adequado de um inversor:

1.  $V_{OH} - V_{OL} > V_{IH} - V_{IL}$ ;
2.  $V_{OH} > V_{IH} > V_{IL} > V_{OL}$ ;
3.  $V_{OUT} \geq V_{OH}$  quando  $V_{IN} \leq V_{IL}$ ;
4.  $V_{OUT} \leq V_{OL}$  quando  $V_{IN} \geq V_{IH}$ ;

Cada condição será avaliada em cada configuração proposta e os resultados são apresentados abaixo:

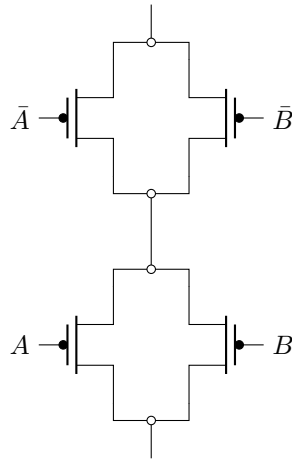
	(a)	(b)	(c)
(1)	ok	ok	ok
(2)	ok	ok	ok
(3)	ok	erro	ok
(4)	ok	erro	ok

Nota-se que nas configurações (a) e (c) não há erros, ambos apresentam 0.3V como **Imunidade a Ruído**.

Nota-se que na configuração (b) as condições de funcionamento do inversor não são atendidas, pois dentro dos intervalos determinados por  $V_{IH}$  e  $V_{IL}$  há possibilidade que  $V_{OUT}$  esteja fora dos intervalos determinados por  $V_{OH}$  e  $V_{OL}$  em virtude dos degraus presentes.

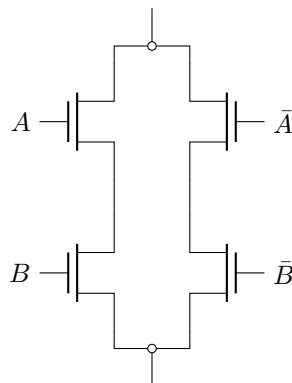
## Questão 4

**Exercício.** Construa a rede pull-down correspondente à rede de pull-up do circuito CMOS apresentado:



Apresente a **Tabela Verdade** deste circuito.

**Resolução.** Nota-se que a rede de pull-down correspondente será:



Implicando a seguinte **Tabela Verdade**:

$A$	$B$	$A$	$B$	pull-up	pull-down
0	0	1	1	0	1
0	1	1	0	1	0
1	0	0	1	1	0
1	1	0	0	0	1

## Questão 5

**Exercício.** Uma única porta CMOS, que consiste de uma saída conectada a uma única rede pull-up construída por PMOS e uma única rede de pull-down construída por NMOS, calcula  $F(A, B, C, D)$ .

1.  $F(0, 0, 1, 0)$
2.  $F(1, 1, 1, 0)$
3.  $F(1, 1, 1, 1)$

Observa-se que  $F(1, 0, 1, 0) = 1$  então sobre as combinações acima, responda com 0, 1 ou **não é possível saber**.

**Resolução.** Observa-se, pelas condições impostas, que:

1.  $F(0, 0, 1, 0) = 1$ ;
2.  $F(1, 1, 1, 0) = \text{não é possível saber}$ ;
3.  $F(1, 1, 1, 1) = 0$ ;

Note que considerou-se que **não há** curto circuito na rede pull-up.

Em (1) a condição de pull-up se mantém,  $F(A, 0, C, 0)$ , o que garante que independente das demais entradas a saída será 1.

Em (2) a condição de pull-up se altera e portanto não é possível saber qual seria o resultado de tal alteração.

Em (3) a construção de uma CMOS com redes únicas implica que quando  $F(1, 1, 1, 1)$  deverá necessariamente haver pull-down, trazendo a saída a 0.

## Questão 6

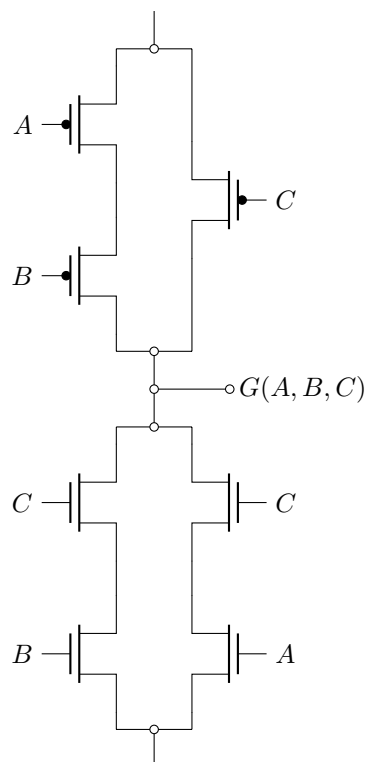
**Exercício.** Considere as funções  $F(A, B, C)$  e  $G(A, B, C)$  apresentadas na tabela a seguir:

A	B	C	F	G
0	0	0	1	1
0	0	1	1	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1
1	1	1	1	0

Apresente o esquemático do circuito de uma única rede de **pull-up** por PMOS e uma única rede de **pull-down** por NMOS se puder ser implementado. Caso contrário, indique que não é possível.

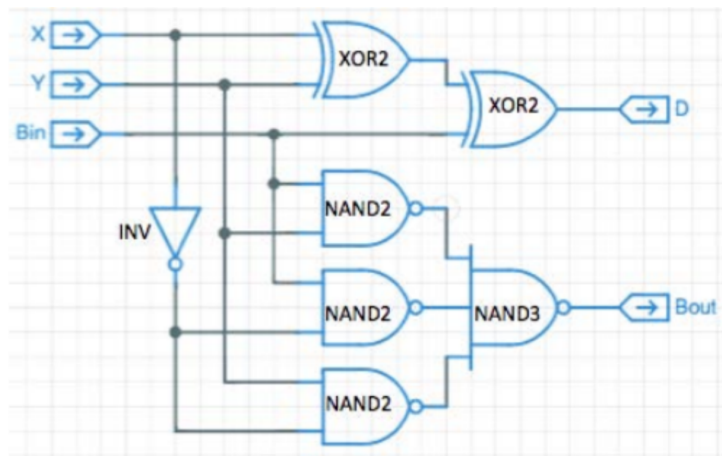
**Resolução.** Nota-se que  $F(A, B, C)$  não pode ser implementada, pois  $F(1, 1, 1) = 1$  trata-se de uma combinação impossível.

Neste resultado obrigatoriamente algum PMOS do **pull-up** deveria estar ativo, entretanto PMOS só se aciona se a entrada for 0. Como não há nenhuma entrada zerada a saída não poderá ser 1.



## Questão 7

**Exercício.** Considere o seguinte circuito:



Considere os seguintes atrasados para cada uma das portas lógicas apresentadas:

Porta	$t_{CD}$	$t_{PD}$
INV	0.1 ns	1.0 ns
NAND2	0.2 ns	1.5 ns
NAND3	0.3 ns	1.8 ns
XOR2	0.6 ns	2.5 ns

Calcule o atraso de propagação e o atraso de contaminação do circuito completo.

**Resolução.** Nota-se que o  $t_{CD}$  de um conjunto de portas lógicas será o **menor** tempo possível entre as combinações, implicando em  $t_{CD} = 0.6$  ns obtido percorrendo as portas INV, NAND2 e NAND3.

Nota-se que o  $t_{PD}$  de um conjunto de portas lógicas será o **maior** tempo possível entre as combinações, implicando em  $t_{PD} = 5$  ns obtido percorrendo as portas XOR2.