

Prova Finale di Reti Logiche

Leonardo Airoidi

A. A. 2021-22

Indice

1	Introduzione	2
1.1	Specifiche	2
1.2	Strumenti	3
1.3	Esempio	3
2	Architettura	4
2.1	Serializzatore	4
2.2	Parallelizzatore	5
3	Risultati sperimentali	6
4	Conclusione	7

Capitolo 1

Introduzione

La specifica della Prova finale (Progetto di Reti Logiche) 2021 richiede di implementare un **codificatore convoluzionale** usando il linguaggio VHDL.

Un codificatore convoluzionale è un dispositivo che tramite l'applicazione di un *codice convoluzionale* codifica uno stream di bit in ingresso in uno stream di bit in uscita ridondante che permette a un dispositivo che legge lo stream codificato di risalire allo stream originale anche in presenza di errori applicando tecniche di *error-correction*. Codificatori convoluzionali elettronici sono molto comuni nell'ambito delle telecomunicazioni, in quanto conferiscono a una rete un certo grado di robustezza: un dispositivo ricevente può ricostruire il segnale trasmesso, che potrebbe risultare corrotto a causa del rumore sulla linea, senza richiedere un ulteriore invio dell'informazione.

1.1 Specifiche

Nel caso specifico di questo progetto, è richiesto lo sviluppo di un circuito integrato con le seguenti caratteristiche:

1. il *codice convoluzionale* ha **tasso di trasmissione** $\frac{1}{2}$.
2. si interfaccia con una memoria sincrona a word di 8bit e indirizzi a 16bit.
3. lo stream in ingresso è di dimensione n words memorizzate a partire dall'indirizzo `0x01`.
4. la dimensione dello stream è memorizzata all'indirizzo `0x00` ed è al massimo di 255 word.
5. il dispositivo viene sempre inizializzato con un segnale di **reset**.
6. la computazione inizia al segnale di **start** e termina quando il dispositivo alza il segnale **done**. Il dispositivo deve essere in grado di gestire computazioni successive senza aver bisogno di un segnale di **reset**. Si presuppone che il segnale di **start** rimanga alto durante tutta la computazione e che non possa essere rialzato prima che il segnale di **done** sia stato riportato a 0.
7. il dispositivo deve funzionare con un periodo di clock di almeno **100ns**

1.2 Strumenti

Il progetto sarà sviluppato in **VHDL** (VHSIC Hardware Description Language) che permette di descrivere circuiti integrati. Per la simulazione e la sintesi della scheda il software utilizzato è **Xilinx Vivado** (*v2021.1*). Il dispositivo sarà poi implementato su una **FPGA Artix 7 xc7a200tfbg484-1**.

1.3 Esempio

Capitolo 2

Architettura

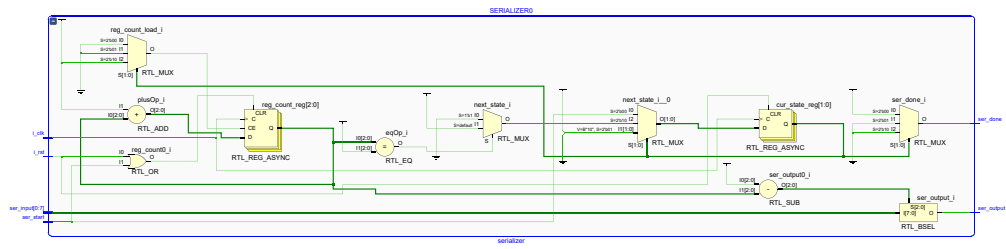
Il dispositivo è stato implementato come una macchina a stati che controlla un datapath, che si interfaccia con diversi componenti più piccoli. La scelta di dividere il progetto in moduli più piccoli è stata presa per non rendere troppo complessa e articolata la gestione del dispositivo nella sua interezza. In questo modo la macchina a stati si limita a gestire la comunicazione e coordinazione dei vari componenti, che eseguono ciascuno una funzione definita anch'essa da una macchina a stati interna.

2.1 Serializzatore

Il **serializzatore** è il componente addetto alla serializzazione in un flusso continuo di bit dei byte caricati dalla ram. Il serializzatore si interfaccia, oltre al segnale di *clock* e al segnale di *reset*, con il segnale di ingresso da serializzare [**input** : 1 byte] e dal segnale di controllo *start*. Produce in uscita un segnale di *output* : 1 bit che corrisponde al flusso serializzato del byte in input e un segnale di *done* che indica la fine della serializzazione.

Al segnale di **start** della serializzazione il componente passa dallo stato STOPPED allo stato attivo. Quando il componente è attivo produce in uscita per **due cicli di clock** l'*n-esimo* bit del segnale in ingresso, incrementando poi il contatore per produrre in uscita l'*n+1-esimo* bit del byte in ingresso nei prossimi due cicli di clock. La serializzazione termina quando il contatore interno raggiunge il valore 111: il registro viene incrementato tornando quindi a 0 ma il serializzatore torna nello stato STOPPED, che alza il segnale di **done** a 1.

Il flusso in uscita ha periodo di due cicli di clock in quanto al convolutore server produrre due bit sequenzialmente in uscita per ogni bit in entrata. In questo modo la velocità di serializzazione è ridotta della metà ma il convolutore riesce a produrre il flusso risultante sullo stesso ciclo di clock della macchina.



2.2 Parallelizzatore

Capitolo 3

Risultati sperimentali

Capitolo 4

Conclusione