



Teoria de Eletrônica Digital 2 - 2/2016

Teste 6 - 29/09/2016

Nome: _____

Matrícula: ____/____

Apesar de serem facilmente descritas em HDL, as memórias via de regra não são sintetizadas diretamente pela maioria das ferramentas, e sim geradas através de uma ferramenta específica do fabricante ou retirada de uma determinada biblioteca. Dependendo do projeto, a memória também pode ser customizada.

A Fig. 1 mostra um exemplo de uma RAM síncrona de **16 x 8** com uma porta de saída e barramentos de escrita e leitura separados. Com a memória habilitada (**cs = 1**), quando o **we** (*write enable*) é **1**, o dado de entrada **din** é escrito no endereço especificado na entrada **addr** na borda de subida do *clock*. Quando **oe_b = 0**, a leitura é efetuada no endereço especificado em **addr**, habilitando a saída de dados em **dout**.

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
-- Biblioteca com funcao CONV_INTEGER
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity RAM is
    Port ( we : in  STD_LOGIC;
          addr : in  STD_LOGIC_VECTOR (3 downto 0);
          data_in : in  STD_LOGIC_VECTOR (7 downto 0);
          clk : in  STD_LOGIC;
          cs : in  STD_LOGIC;
          oe_b : in  STD_LOGIC;
          data_out : out  STD_LOGIC_VECTOR (7 downto 0));
end RAM;

architecture Behavioral of RAM is

    type mem_array is array(15 downto 0) of STD_LOGIC_VECTOR(3 downto 0);
    signal mem: mem_array;

begin
    process(clk)
    begin
        if cs = '1' then
            if rising_edge(clk) then
                if we = '1' then
                    mem(CONV_INTEGER(addr)) <= data_in;
                end if;
            end if;
        end if;
    end process;

    data_out <= mem(CONV_INTEGER(addr)) when cs = '1' and oe_b = '0';

end Behavioral;
```

Fig. 1

Descreva o controlador de memória mostrado na Fig. 2 para a RAM da Fig. 1. O controlador possui as entradas **clk**, **ready**, **rw**, **rst** e as saídas **we** e **oe_b**. Instancie a RAM e o controlador em um módulo *top level*, crie um *testbench* e simule operações de escrita e leitura.

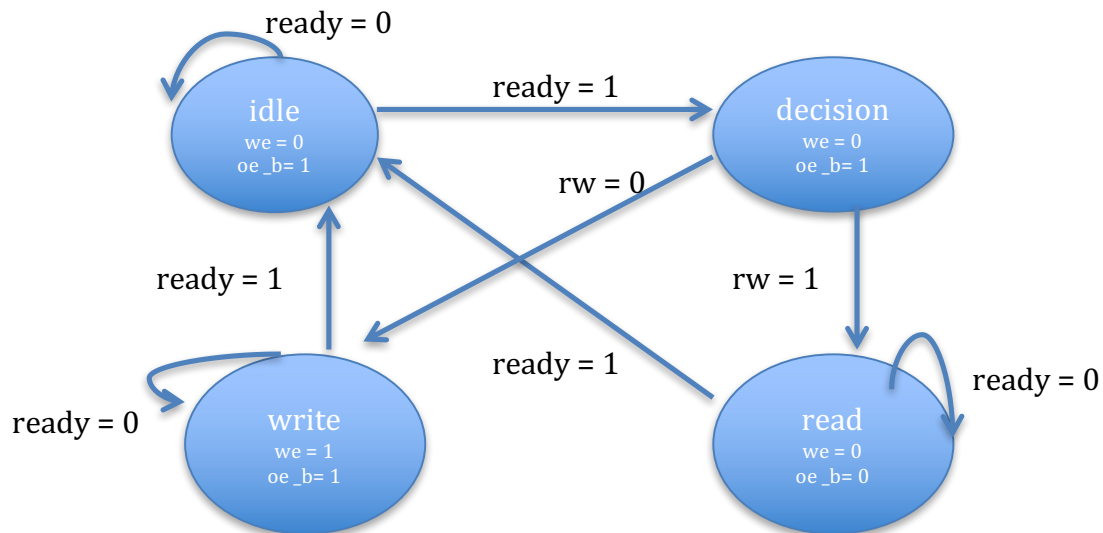


Fig. 2

Envie a pasta do projeto compactada com o nome **aluno-teste6.zip** via Moodle **até 06/10/2016**.