

# Superescalar vs Superpipeline

Alison Carrera\*, Alessandro Nazário<sup>†</sup>, Adeilson Junior<sup>‡</sup> e Victor Sales<sup>§</sup>

\* <sup>†</sup> <sup>‡</sup> <sup>§</sup> Departamento de Estatística e Informática

\* <sup>†</sup> <sup>‡</sup> <sup>§</sup> Universidade Federal Rural de Pernambuco, Recife, Brasil

Email: \*alison.carrera@hotmail.com, <sup>†</sup> alessandrorocha1991@gmail.com,

<sup>‡</sup> aplj.adeilson@gmail.com, <sup>§</sup> salesb@gmail.com

**Resumo**—Com a evolução da tecnologia e com o surgimento de aplicativos computacionais cada vez mais complexos, existiu a necessidade da melhoria dos processadores, em torno disso o aumento da frequência do clock era decorrente, mas chegou a um ponto que não se conseguia mais aumentar, chegou no limite da tecnologia que era utilizada para construí-los. Por este motivo surgiram métodos e modificações nas arquiteturas em virtude de melhorá-los, neste artigo vamos abordar alguns deles e compará-los, sendo um destes a arquitetura superpipeline (pipelines mais longos com balanceamento de seus estágios) e a outra a arquitetura superescalar (replicação dos componentes internos do processador de modo que se possa colocar varias instruções em cada etapa/estágio do pipeline).

**Palavras-chave**—Arquitetura, superescalar, superpipeline, processadores.

## I. INTRODUÇÃO

As aplicações computacionais têm evoluindo consideravelmente. Assim, para que este desenvolvimento fosse possível, foi necessária também a evolução dos processadores, pois eles são os responsáveis por executar as tarefas delas com a maior eficiência, tornando-as viáveis computacionalmente. Fora observado que aumentar a frequência de clock é uma alternativa para melhorar o desempenho dos processadores, no entanto, com o passar do tempo, também foram verificados que existia um limite de frequência, a qual dependia do tipo de tecnologia que era utilizada para construí-lo.

O aumento excessivo da frequência do clock trazia vários outros problemas que acabavam afetando o seu desempenho, como por exemplo, o aumento da temperatura do processador. Para solucionar esse problema foram desenvolvidas algumas técnicas para a exploração do paralelismo. Elas melhorariam o desempenho do processador ao realizar mais de uma instrução de cada vez. Assim, essas técnicas foram cada vez mais evoluindo e a sua implementação nos processadores tem sido uma das principais razões dos altos desempenhos obtidos pelos computadores que utilizam essas tecnologias.

Neste trabalho serão estudadas essas técnicas paralelas utilizadas pelo processadores superescalares, as suas características e aplicações. Primeiramente será feita uma distinção entre as arquiteturas dos processadores, tanto no nível das instruções, como no nível dos processadores. [5]

## II. ARQUITETURA SUPERESCALAR

É uma técnica de implementação que permite que varias instruções sejam iniciadas simultaneamente e são executadas independentemente uma das outras. Pois esta arquitetura replica

os componentes internos do processador, permitindo assim colocar varias instruções em cada estágio do pipeline.

Arquiteturas de processadores superescalares exploram o paralelismo de instrução Instruction Level Parallelism (ILP). [2] Existem dois métodos principais para aumentar a quantidade em potencial de paralelismo em nível de instrução. O primeiro é aumentar a profundidade do pipeline para sobrepor mais instruções.[1]

O outro é a replicação dos componentes internos do processador, essa técnica tem o nome de despacho múltiplo. Aplicando esses métodos, permitimos que varias instruções sejam executas em cada estágio do clock, consequentemente obtém-se um CPI (ciclos de clock por instruo) menor que 1, que significa uma melhora de desempenho.

Como o processador superescalar maneja várias instruções em cada estágio, o número máximo de instruções que ocorrem em cada estágio denomina-se o grau n. Conforme a figura 1 abaixo.

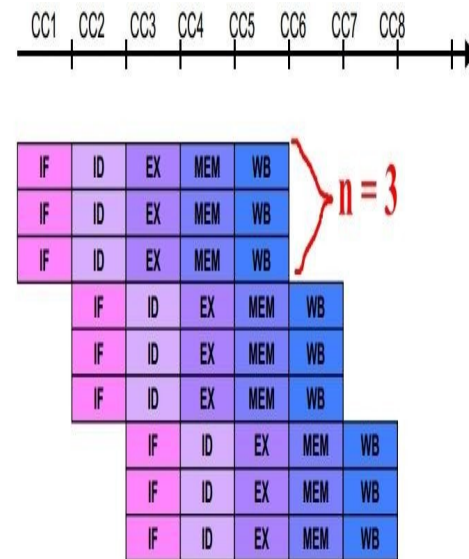


Fig. 1: Fluxo de execução no processador superescalar. [4]

As principais características da arquitetura superscalar:

- Possibilita a execução de instruções em pipelines paralelos;
- Pipelines paralelos são possíveis replicando unidades funcionais;

- Utilizam uma combinação de otimização de compiladores e técnicas de hardware para aumentar o nível de paralelismo;

### III. ARQUITETURA SUPERPIPELINE

Uma técnica alternativa para atingir alto desempenho no processamento é intitulada como superpipeline, termo utilizado pela primeira vez em 1988 [JOU 88]. Essa técnica explora o fato de que alguns estágios de pipeline executam tarefas que requerem menos de meio ciclo de clock. Assim, um processador que implemente esta técnica terá a velocidade de clock dobrada, e permitirá um aumento no desempenho por ter duas tarefas executadas em um único ciclo de clock. [3]

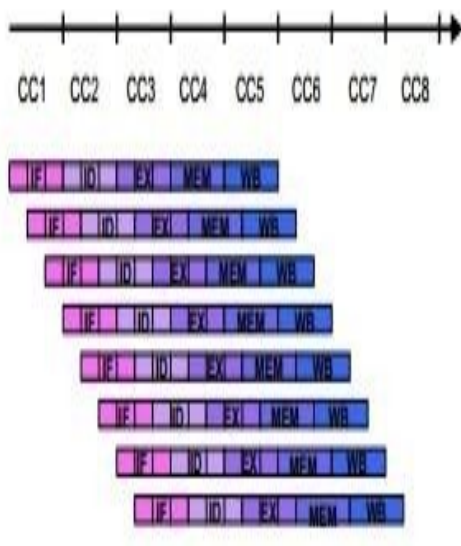


Fig. 2: Fluxo de execução no processador superpipeline. [4]

As principais características da arquitetura superpipelines:

- Quebra estágio em sub-estágios e cada sub-estágio faz menos trabalho que o estágio original.
- Estágios menores demandam menos tempo para serem executados. Período menor e frequência maior.
- Visa diminuir tempo de execução de um programa.

### IV. CONCLUSÃO

A execução de programas em arquiteturas superescalar e superpipeline apresentam um aumento de throughput (número de tarefas concluídas por unidade de tempo) e com isto pode existir uma melhora de desempenho. Mas nem sempre isto é real, pois necessita que exista uma execução ideal das sequências de instruções. Então a aplicação dos conceitos dessas arquiteturas nos processadores devem ser feitas com cautela para minimizar os erros. Os assuntos abordados estimulam estudos que abrangem a aplicação dessas arquiteturas para a eficácia dos novos processadores que estão a surgir.

### REFERÊNCIAS

- [1] ORGANIZAÇÃO E PROJETO DE COMPUTADORES A Interface Hardware/Software David A. Patterson e John L. Hennessy. Traduo da 4ª Edição. ARTIGO: Arquiteturas Superescalares. Mirian Ellen de Freitas
- [2] ARTIGO: Arquiteturas Superescalares. Mirian Ellen de Freitas
- [3] ARTIGO: Proposta de Conjunto de Simulações para Análise de Desempenho de Processadores Superescalares e Ensino de Arquitetura de Computadores. Geraldo Fulgênio de Oliveira Neto.
- [4] Acessado em 04/11/2014: <http://www.cic.unb.br/lamar/OAC/Aulas/Aula17.pdf>
- [5] ARTIGO: Arquiteturas Superescalares. Marcelo Fontes Santana. Campinas.