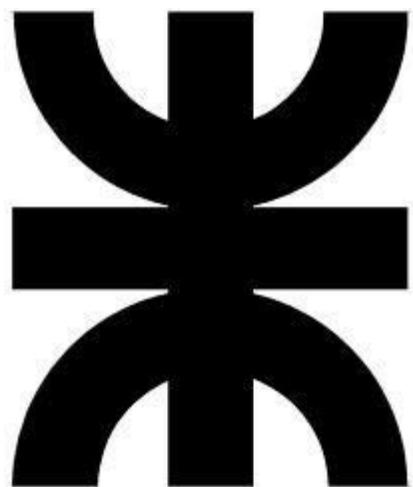


# Proyecto Final Electrónica Aplicada

## II



Universidad Tecnológica Nacional  
Facultad Regional Mendoza

Amplificador Clase D con  
modulación Sigma Delta de  
segundo orden

Alumno: Leonardo Muñoz

Año: 2020

Legajo: 41502

# INDICE

1-Introducción	1
1.1-Objetivos del proyecto	1
2-Teoría de base	2
2.1- Operación de los amplificadores clase D	2
2.1.1- Ventajas y Desventajas de los amplificadores clase D	3
2.1.2- Aplicación de amplificadores clase D al diseño de audio	4
2.2- Etapa de modulación	4
2.2.1- Modulación de ancho de pulso (PWM)	5
2.2.2 - Modulación Delta Sigma	5
2.3- Etapa de potencia	6
2.3.1- Amplificadores de Medio Puente	6
2.3.2 Amplificadores de puente H	7
2.3.3 Análisis de amplificadores Medio Puente y Puente H	7
2.3.4 Controladores de puerta de MOSFETs	8
3- Análisis del diseño del Amplificador	9
3.1 Análisis Etapa 1: Integrador	10
3.1.1 Integrador de orden 1	10
3.1.2 Integrador de orden 2	10
3.2 Análisis Etapa 2: Comparador y Cuantizador	11
3.3 Análisis Etapa 3: Controlador de compuerta de MOSFET	18
3.4 Análisis Etapa 4: Puente H y Filtro	23
3.4.1 Elección del MOSFET	23
3.4.2 Pico de voltaje	24
3.4.2.1 Tabla comparativa	24
3.4.3 Función de transferencia del filtro	24
3.4.4 Influencia del filtro en la salida	28
3.4.3.1 Resultados del filtrado	30
3.4.5 Limitación de corriente	33
3.4.6 Disipación de potencia en los MOSFET	38
4- Resultados Finales	43

4.1 Análisis de requerimientos de salida	43
4.1.1 Entrada de 1KHz	43
4.1.2 Entrada de 2KHz	45
4.1.3 Entrada de 5KHz	46
4.1.4 Entrada de 8KHz	47
4.1.5 Entrada de 10KHz	49
4.1.6 Entrada de 12.5KHz	50
4.1.7 Entrada de 16KHz	51
4.1.7 Entrada de 20KHz	53
4.2 Tabla comparativa de salida	54
5-Diseño de la fuente de alimentación	55
5.1 Termistor limitador de corriente	55
5.2 Determinación del filtro de salida	58
5.3 Determinación del diodo	60
5.4 Análisis de salida	61
Apéndice A: Código de MATLAB	65
Apéndice B: Hoja de datos 1N5403	67
Apéndice C: Hoja de datos NTC B57364S0109M0	72
Apéndice D: Hoja de datos IR2110	93
Apéndice E: Hoja de datos IRF6665	101

## 1-Introducción

La amplificación de clase D se logra modulando una señal, amplificando la señal modulada y luego filtrando la señal amplificada a su forma original. Dado que los amplificadores de clase D funcionan con señales digitales, no requieren que los transistores involucrados operen en la región del activa y, como resultado, son mucho más eficientes que otros amplificadores. Este método se ha utilizado en dispositivos de audio portátiles, teléfonos móviles y audio de baja fidelidad donde el tamaño, la potencia y la disipación de calor son una gran preocupación.

Con un sistema más eficiente vienen disipadores de calor más pequeños y, por lo tanto, sistemas más pequeños que pueden ser portátiles incluso si deben enchufarse a la pared. Además, con el ambientalismo cada vez más importante, especialmente entre aquellos en la industria de la música, el advenimiento de los sistemas de audio que requieren menos energía que los sistemas actuales es muy atractivo.

### 1.1 Objetivos del proyecto

Las especificaciones que se buscan obtener se muestran en la siguiente tabla:

Característica	Valor
Potencia de salida RMS	80W
Eficiencia	90% a máxima potencia de salida
Distorsión armónica total (THD)	Menor al 1% a máxima potencia

Tabla 1.1 Características deseadas de salida

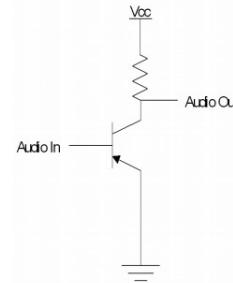
## **2-Teoría de base**

Históricamente, los amplificadores de clase D solo se han utilizado en un número limitado de aplicaciones, como el control de motores, porque es más difícil generar las señales de alta calidad necesarias para las aplicaciones de audio con un amplificador de clase D. Sin embargo, recientemente, la tecnología de Clase D ha avanzado lo suficiente como para permitir que estos amplificadores amplifiquen de forma precisa y limpia las señales de audio. Hay muchas ventajas en el uso de amplificadores de clase D para aplicaciones de audio, y el número de desventajas se reduce cada año con los avances tecnológicos.

### **2.1 Operación de los Amplificadores clase D**

Para comprender cómo funciona un amplificador de clase D, es importante presentar los conceptos básicos para la amplificación con una discusión sobre el amplificador de clase A. Un amplificador de clase A generalmente usa un transistor de unión bipolar (BJT) para amplificar directamente una señal de audio de entrada, configurado como se muestra en la Figura.

El BJT amplifica la señal operando en la región lineal. Esto permite que el voltaje de salida varíe según el principio de que la corriente que fluye entre el colector y el emisor del transistor es proporcional a la que fluye entre la base y el emisor.

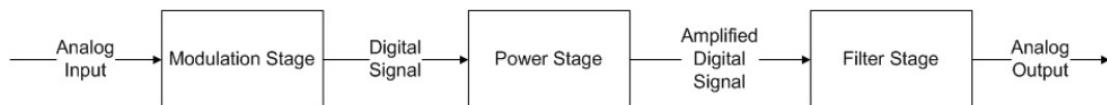


Como resultado, la señal de salida de alta potencia sigue la señal de entrada con mucha precisión, reduciendo el ruido y la distorsión. Sin embargo, la región lineal del transistor es muy ineficaz. Drena constantemente energía de la fuente de alimentación, incluso si la entrada está conectada a tierra y no hay señal para amplificar. La máxima eficiencia de potencia teórica de un amplificador de clase A está entre el 25% y el 50%, según el tipo de acoplamiento de salida utilizado.

Para muchas aplicaciones de audio, la eficiencia energética no se consideró hasta hace muy poco, ya que había una cantidad "ilimitada" de energía disponible cuando el dispositivo no dependía de una fuente de energía portátil. Con las tendencias recientes hacia el ecologismo, el aumento de los costos de energía y los amplificadores de mayor potencia, la eficiencia energética se está convirtiendo rápidamente en algo primordial para el diseño de amplificadores de audio. Hay modificaciones a los amplificadores de Clase A, Clase B y Clase AB que aumentan la eficiencia energética a expensas de una mayor distorsión, pero la máxima eficiencia energética teórica sigue siendo inferior a las especificaciones deseadas para este proyecto.

Una vez que la especificación de eficiencia energética se convierte en la máxima prioridad, los amplificadores de clase D se convierten en una opción más atractiva. Un amplificador de clase D es teóricamente 100% eficiente y puede alcanzar una eficiencia superior al 95% en la práctica con la tecnología actual. Los amplificadores de clase D son mucho más complicados que los otros diseños que se describieron, lo que fue un factor significativo en la preferencia por otros amplificadores hasta años más recientes. Su complejidad puede dar lugar a una señal de salida muy ruidosa, lo que los hace inútiles para muchas aplicaciones. Sin embargo, con los avances tecnológicos recientes, el ruido se puede reducir y luego filtrar, dejando un amplificador de audio altamente eficiente, pero aun así preciso.

Un amplificador de clase D tiene tres etapas principales, la primera de las cuales es la etapa de modulación. En un amplificador de clase D, la señal debe convertirse a una señal digital antes de amplificarse. Hay varias maneras de lograr esto; los dos más utilizados son la modulación por ancho de pulso (PWM) y la modulación Delta-Sigma ( $\Delta\Sigma$ ). Cada método tiene ventajas y desventajas que se discutirán en una sección posterior. Una vez modulada la señal, debe amplificarse. La etapa de amplificación en un amplificador de clase D utiliza varios transistores de efecto de campo semiconductor de óxido metálico (MOSFET), un tipo diferente de transistor con pérdidas de potencia muy bajas. Los MOSFET en un amplificador de Clase D pueden cambiar entre completamente encendidos y completamente apagados porque están amplificando una señal digital, evitando la región del triodo donde caen las eficiencias de potencia. Cuando están completamente encendidos en la región activa, o completamente apagados en la región de corte, los MOSFET teóricamente no tienen pérdidas y en la práctica tienen pérdidas de potencia muy bajas. Una vez amplificada la señal modulada, se debe filtrar antes de poder enviarla a un altavoz. La última etapa es la etapa de filtrado o demodulación, que consiste en un filtro de paso bajo. Esto permite que pase todo en el rango audible (20 Hz - 20 KHz), pero atenúa significativamente todo lo que esté por encima de 20 KHz. Una vez filtrada, la señal es una réplica amplificada de la señal de entrada original. La siguiente figura muestra cómo encajan estos bloques.



**Figura 2.1** Diagrama en bloques básico de un amplificador clase D

### **2.1.1 Ventajas y desventajas de los Amplificadores clase D**

Los amplificadores de clase D tienen varias ventajas sobre los amplificadores de clase A, AB y B. La mayor ventaja es la mayor eficiencia energética. Un amplificador de clase D puede alcanzar eficiencias de potencia teóricas del 100% y más del 95% en aplicaciones reales.

En aplicaciones de alta potencia, incluso una pequeña diferencia en la eficiencia es considerable porque permite una gran reducción en la cantidad de calor residual generado por el amplificador. Otro beneficio de los amplificadores de clase D es que, para aplicaciones de menor potencia, se pueden instalar completamente en un circuito integrado. Para aplicaciones de mayor potencia, es posible que se requiera un disipador de calor, pero el tamaño del disipador de calor sería mucho más pequeño que en un amplificador Clase A, AB o B de salida de potencia comparable.

El tamaño reducido del amplificador conduce a menores costos asociados con las carcasa para el amplificador. Si bien los amplificadores de clase D se han utilizado durante muchos años, solo recientemente han llegado a la amplificación de audio. Esto se debe a que los amplificadores de clase D tienen una serie de desventajas que los hacen menos adecuados para la amplificación de audio, aunque muchos de ellos se han superado con los avances tecnológicos recientes.

Una gran desventaja es que un amplificador de clase D tiene una cantidad muy alta de ruido de alta frecuencia, generado por el diseño de conmutación. Este ruido debe mantenerse a una

frecuencia lo suficientemente alta para que sea inaudible, pero a una amplitud mínima. Para ayudar a reducir el ruido extraño, se agrega un filtro después de la etapa de amplificación. Este filtro es un componente adicional del amplificador de Clase D y agrega complejidad, peso y costo. Sin embargo, el peso agregado es insignificante en comparación con el peso del disipador de calor requerido para un amplificador Clase A, Clase AB o Clase B. El costo adicional de un filtro también se puede minimizar utilizando técnicas de diseño cuidadosas. Dado que el filtro solo necesita atenuar las señales por encima de las frecuencias audibles, no es esencial que el filtro sea extremadamente preciso. Por lo tanto, el filtro puede realizarse mediante un filtro pasivo de paso bajo bastante simple.

Una segunda deficiencia de los amplificadores de clase D es la mayor complejidad en el diseño. Esto puede resultar en un aumento del tiempo y los gastos de diseño. Sin embargo, los mayores gastos de diseño generalmente se consideran aceptables si el resultado es un costo de fabricación más bajo porque el diseño es un gasto singular, mientras que los gastos de fabricación son recurrentes.

La última gran desventaja de los amplificadores de clase D es que, históricamente, la distorsión ha sido un problema importante. La distorsión armónica total alta (THD) es indicativa de altos niveles de ruido, que restan valor a la calidad de audio de la salida. Sin embargo, los avances en la tecnología han permitido técnicas de modulación más rápidas, que pueden reducir la THD a fracciones de porcentaje en los amplificadores de audio de Clase D.

## **2.1.2 Aplicación de amplificadores clase D al diseño de audio**

La alta eficiencia energética, combinada con un diseño compacto y ligero, distingue a los amplificadores de clase D de otras técnicas de amplificación. La eficiencia energética se está volviendo muy importante a medida que aumentan las preocupaciones sobre el uso de energía. Un beneficio tangible de la reducción del consumo de energía es que resulta menos costoso utilizar el amplificador. Si bien esto puede no ser una preocupación importante para los propietarios de viviendas, en el mercado del audio en vivo, el poder a veces se genera en el sitio, especialmente para conciertos grandes, y los generadores más grandes son más costosos de usar. Desde el punto de vista del marketing, el diseño compacto y ligero hecho posible gracias a la alta eficiencia es atractivo para todos los usuarios.

## **2.2 Etapa de modulación**

La etapa de modulación de un amplificador de audio analógico de Clase D influye principalmente en el sistema, ya que afecta drásticamente la calidad de la salida. La etapa de modulación es la primera etapa del amplificador, además del canal de entrada sobre el cual el sistema tiene poco control. Cualquier información en la señal original que se pierda durante la modulación, ya sea por atenuación o por la introducción de ruido excesivo, creará distorsión en la salida analógica final y disminuirá la máxima calidad de sonido que es posible en la salida. Existe una amplia variedad de técnicas de modulación que pueden considerarse para su uso en un amplificador de audio de Clase D. Algunos, sin embargo, son más razonables que otros por razones de simplicidad, eficacia y disponibilidad para uso comercial.

Las opciones más factibles son la modulación por ancho de pulso (PWM) y la modulación Delta Sigma ( $\Delta\Sigma$ ).

## 2.2.1 Modulación de ancho de pulso (PWM)

La modulación por ancho de pulso es una técnica que representa la amplitud de la señal de entrada utilizando el ciclo de trabajo de la señal de salida. Si bien hay muchas formas de lograr esto, una de las más simples es comparar la señal de entrada analógica con una señal de rampa o una onda triangular de una frecuencia que sea al menos el doble de la de la entrada analógica, de acuerdo con el teorema de muestreo de Nyquist-Shannon.

Esto crea una señal con un ciclo de trabajo que representa el voltaje instantáneo de la señal de entrada analógica. Aunque son muy simples, están disponibles para uso comercial e incluso algo efectivos, los sistemas PWM son, de alguna manera, restrictivos. PWM se demodula comúnmente usando un filtro de paso bajo. El espectro de ruido, aunque tiene una SNR más alta que otros tipos de modulación, contiene una gran cantidad de ruido de alta amplitud contenido en una serie de bandas de frecuencia muy estrechas. Esto hace que el ruido sea más difícil de eliminar con filtros que si el ruido fuera de igual o mayor energía, pero se distribuyera uniformemente en un mayor número de frecuencias.

Los sistemas que contienen PWM también están limitados en cómo pueden modificarse si la teoría y la práctica difieren en la implementación física del sistema. La frecuencia o amplitud de la onda triangular puede modificarse, pero sin agregar retroalimentación al sistema, es muy difícil modificar la respuesta del modulador. Agregar realimentación proporciona al sistema una mayor flexibilidad con respecto a las modificaciones que puedan ser necesarias; sin embargo, también distribuye un mayor número de bandas de frecuencia que contienen ruido de alta amplitud en frecuencias más bajas, más cercanas a las contenidas en la señal de entrada analógica. Esto aumenta la complejidad de los filtros de demodulación necesarios. Si se requiriera un sistema simple y la calidad del sonido no fuera una prioridad, la modulación de ancho de pulso sería una opción muy efectiva. Sin embargo, una técnica de modulación un poco más compleja puede proporcionar un aumento significativo en la calidad del sonido y reducir la distorsión mínima por debajo del 1% sin filtros complicados, lo que la convierte en una opción óptima para este sistema en particular.

## 2.2.2 Modulación Delta Sigma

Sigma Delta es otra técnica de modulación que se puede realizar con un circuito que requiere solo un integrador y un biestable D. En esta implementación, la señal de audio de entrada sirve como entrada a un circuito integrador simple. Cuando esta señal supera un umbral, restablece el integrador y activa el biestable D, de modo que emite un pulso de un ancho establecido. Esto proporciona una serie de pulsos de ancho predeterminado con espacio variable entre ellos, cuya distribución de densidad de tiempo representa la amplitud instantánea de la señal de entrada original. Sigma delta se separa de PWM por su uso inherente de retroalimentación para crear un sistema con un rendimiento de ruido superior. Un modelo de sistema de un modulador sigma delta, que muestra esta retroalimentación, se muestra en la siguiente figura.

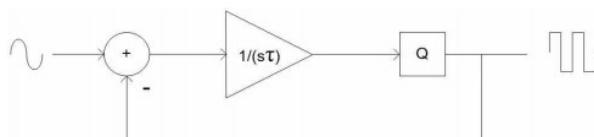


Figura 2.2 Modulador sigma delta de primer orden

En una aplicación de audio, sería ideal que la función de transferencia de señal fuera lo más plana posible en toda la banda de audio y que la función de transferencia de ruido empujara el ruido lo más lejos posible de la banda de audio. Los detalles de las funciones de transferencia dependen del coeficiente de integración para el integrador. La realimentación también se puede escalar para afectar aún más la función de transferencia. El orden del modulador también se puede incrementar agregando integradores y niveles de realimentación. Esto aumenta la pendiente de las funciones de transferencia.

En una aplicación de audio, este modelado de ruido puede mejorar la calidad del sonido al disminuir la cantidad de ruido de cuantización en la banda de audio. La frecuencia de modulación también afecta al sistema al determinar la ubicación de la función de transferencia en el dominio de la frecuencia. Una frecuencia de modulación más alta empujará el ruido a frecuencias más altas, reduciendo aún más su presencia en la banda de audio.

Al igual que con el sistema PWM, la salida de un modulador sigma delta puede demodularse con un filtro de paso bajo. El modulador sigma delta, sin embargo, tiene menos bandas con amplitudes de ruido muy altas y generalmente produce una forma de onda más suave debido a la formación del ruido. El piso de ruido en la banda de audio es considerablemente más bajo que el del sistema PWM.

Además, cuando ambos se simulan con una frecuencia de modulación que está dos órdenes de magnitud por encima de la frecuencia de señal más alta, el ruido alcanza un punto máximo en los sistemas PWM que no se alcanza en los sistemas con modulación sigma delta.

El sistema sigma delta también responde muy bien a la realimentación, a diferencia de PWM. Esta es una cualidad importante porque permite que el sistema responda a cualquier cambio en la carga que pueda experimentar, además de permitir una mejor SNR. Por tanto, es extremadamente eficaz, tiene una SNR más baja que PWM en la banda de audio, así como en otras bandas de frecuencias más bajas.

## **2.3 Etapa de Potencia**

Una vez que la señal pasa a través del modulador, debe amplificarse. Existe una variedad de métodos que se pueden utilizar para amplificar una señal modulada. La mayoría de los sistemas de Clase D utilizan una configuración de medio puente o una configuración de puente H (puente completo). No importa cuál sea la configuración, los componentes principales del amplificador son MOSFET que funcionan con controladores diseñados para ese propósito. Por eso el amplificador de clase D es tan eficiente. Los transistores no tienen que operar en la región del triodo porque están amplificando una señal digital.

### **2.3.1 Amplificadores de Medio Puente**

Una configuración de la etapa de potencia es el amplificador de medio puente. La siguiente figura muestra el esquema de un amplificador básico de medio puente. En esta configuración, se utilizan dos MOSFET y se enciende uno u otro. Cada uno de estos MOSFET expone la resistencia de carga a una tensión positiva o negativa. Este diseño es muy simple y requiere muy pocos componentes, pero requiere de una fuente de alimentación de doble polaridad.

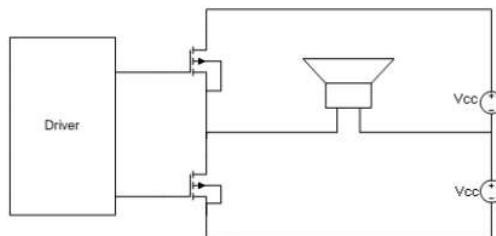


Figura 2.3 Etapa de salida medio Puente

### **2.3.2 Amplificadores de Puente H**

Un amplificador de puente completo siempre tiene dos de los cuatro MOSFET encendidos a la vez. Esto se diferencia del amplificador de medio puente, que solo tiene dos estados posibles, en que el puente completo puede alcanzar tres estados diferentes. Los estados son positivos, negativos y neutrales.

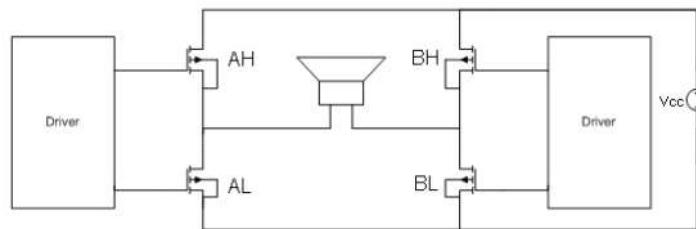


Figura 2.4 Etapa de salida Puente H

El amplificador le da a la carga un voltaje positivo cuando los interruptores AH y BL están encendidos al mismo tiempo, un voltaje negativo cuando BH y AL están encendidos, y la carga está conectada a tierra cuando AL y BL están encendidos al mismo tiempo. Al usar un puente en H, es extremadamente importante asegurarse de que el MOSFET superior e inferior nunca deben estar encendidos al mismo tiempo porque esto causaría un cortocircuito y dañaría tanto el amplificador como la carga.

### **2.3.3 Análisis de amplificadores Medio Puente y Puente H**

#### **H**

Hay ventajas y desventajas en cada uno de los diferentes diseños de amplificadores. La Tabla a continuación, tomada de una nota de aplicación de International Rectifiers, describe las claras ventajas y desventajas de cada uno con respecto a la amplificación de Clase D.

	<b>Medio Puente</b>	<b>Puente H</b>
Fuente de alimentación	0,5*Vcc (2 canales)	Vcc
Niveles de corriente	1*Irms	2*Irms
Cantidad de MOSFETs	2 MOSFETs/canal	4 MOSFETs/canal
Controladores de puerta	1 controlador/canal	2 controladores/canal
Linealidad	Armónicos pares e impares	Solo armónicos impares
Offset de CC	Necesitará ser ajustado	Puede cancelarse
Patrón de modulación	2 niveles	3 niveles

Tabla 2.1 Comparación de diferentes configuraciones de salida

Esta tabla muestra que el principal problema con un puente completo es que hay más componentes. Se necesitan controladores y MOSFET adicionales. Sin embargo, las ventajas superan las desventajas. Dos de las grandes ventajas del puente completo son que incluso la distorsión armónica de orden y las compensaciones de CC se cancelan, lo cual es extremadamente importante en los sistemas de audio.

La distorsión armónica afecta negativamente la calidad de la salida y las compensaciones de CC pueden dañar un altavoz. La eliminación de esta compensación de CC daña en un amplificador de medio puente requeriría el uso de una etapa de acondicionamiento de potencia más complicada.

### **2.3.4 Controladores de puerta de MOSFETs**

El voltaje a través de la puerta debe ser al menos 5 voltios más alto que el voltaje de fuente para que se encienda el MOSFET. Para los amplificadores de audio de Clase D, el MOSFET entre la fuente de corriente continua y la carga debe estar referenciado a la fuente de tensión. Esto es un problema porque la salida del modulador estará en los niveles de voltaje bajo utilizados en los circuitos lógicos. Para resolver este problema, se debe usar un controlador MOSFET para convertir el nivel de voltaje bajo al voltaje más alto requerido, así como para proporcionar una corriente más alta para cambiar más rápidamente el voltaje de la puerta del MOSFET. Además, el uso de un controlador permitirá controlar más fácilmente el "tiempo muerto", o el pequeño retraso en los tiempos de activación.

### 3-Análisis del diseño del Amplificador

Para el análisis del circuito se procederá a dividirlo en 4 etapas básicas para su análisis individual para finalmente realizar una evaluación global del funcionamiento del amplificador.

Las etapas en las que se dividirá en 4 etapas:

- Etapa 1: Integrador
- Etapa 2: Comparador y Cuantizador
- Etapa 3: Controlador de puerta
- Etapa 4: Etapa de salida puente H

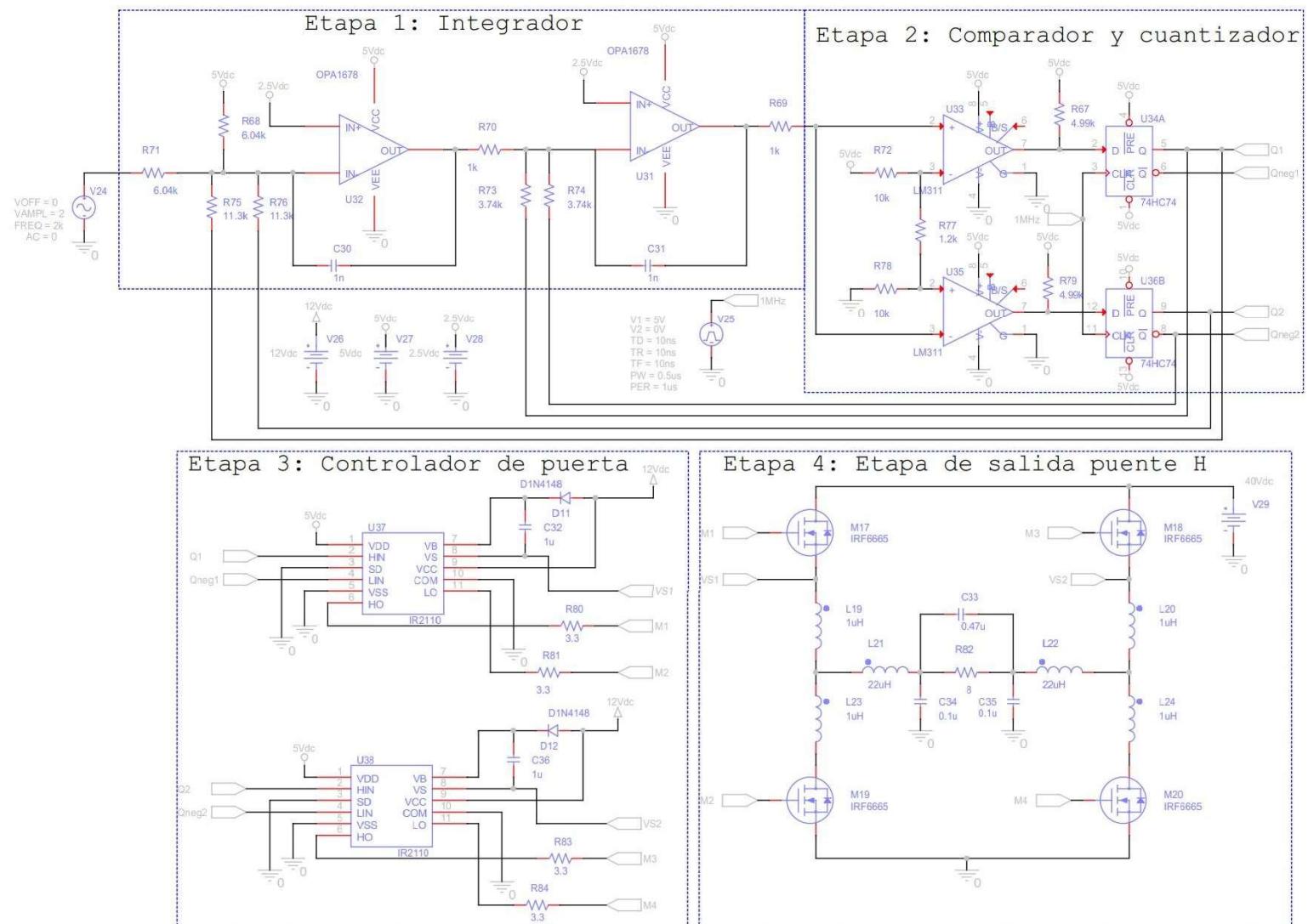


Figura 3.1 Circuito esquemático completo

### 3.1 Análisis Etapa 1: Integrador

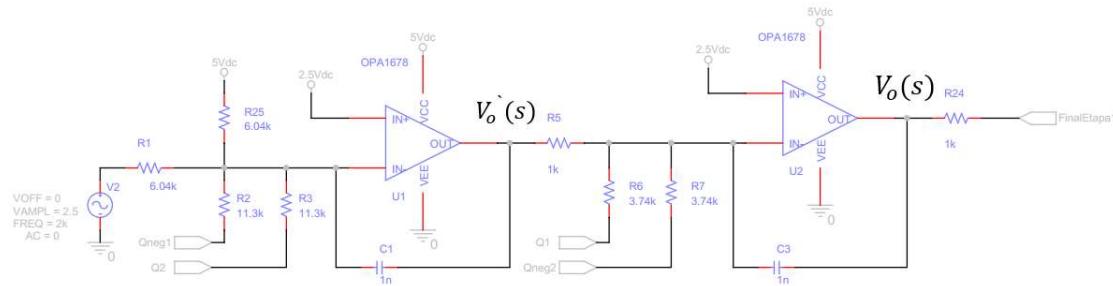


Figura 3.2 Integrador

Para el análisis del modulador sigma-delta de segundo orden, primero se calculará la función de transferencia en el punto  $V_o^{\circ}$ , la cual definiremos como “Modular de orden 1” y posteriormente la respuesta completa del modulador en el punto  $V_o$  que será “Modulador de orden 2”.

Cabe aclarar que para el desarrollo que Qneg1 se corresponde con  $\bar{Q}_1$  y de igual modo Qneg2 se corresponde con  $\bar{Q}_2$ . Estas variables hacen referencia a la salida de los biestables del D, del cuantizador que se analizara en la etapa 2.

#### 3.1.1 Integrador de orden 1

$$V_o^{\circ}(s) = 2,5v + \frac{1}{sC} \left( -\frac{5v - 2,5v}{6k\Omega} - \frac{V_i(s) - 2,5v}{6k\Omega} - \frac{\bar{Q}_1(s) - 2,5v}{11,3k\Omega} - \frac{Q_2(s) - 2,5v}{11,3k\Omega} \right)$$

$$V_o^{\circ}(s) = 2,5v + \frac{1}{sC} \left( -416,6\mu A - \frac{V_i(s)}{6k\Omega} + 416,6\mu A - \frac{\bar{Q}_1(s)}{11,3k\Omega} + 221,2\mu A - \frac{Q_2(s)}{11,3k\Omega} + 221,2\mu A \right)$$

$$V_o^{\circ}(s) = 2,5v + \frac{1}{sC} \left( -\frac{V_i(s)}{6k\Omega} - \frac{\bar{Q}_1(s) + Q_2(s)}{11,3k\Omega} + 442,47\mu A \right)$$

#### 3.1.2 Integrador de orden 2

$$V_o(s) = 2,5v + \frac{1}{sC} \left( -\frac{V_o^{\circ}(s) - 2,5v}{1k\Omega} - \frac{\bar{Q}_1(s) - 2,5v}{3,74k\Omega} - \frac{Q_2(s) - 2,5v}{3,74k\Omega} \right)$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left( -\frac{V_o^{\circ}(s)}{1k\Omega} + 2,5mA - \frac{\bar{Q}_1(s)}{3,74k\Omega} + 668,45\mu A - \frac{Q_2(s)}{3,74k\Omega} + 668,45\mu A \right)$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left( -\frac{V_o^{\circ}(s)}{1k\Omega} - \frac{Q_1(s) + \bar{Q}_2(s)}{3,74k\Omega} + 3836,6\mu A \right)$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left[ -\frac{1}{1k\Omega} * \left( 2,5v + \frac{1}{sC} \left( -\frac{V_i(s)}{6k\Omega} - \frac{\bar{Q}_1(s) + Q_2(s)}{11,3k\Omega} + 442,47\mu A \right) \right) - \frac{Q_1(s) + \bar{Q}_2(s)}{3,74k\Omega} + 3836,6\mu A \right]$$

Para reemplazar las variables lógicas negadas de salida de los biestables se reemplazarán por su correspondiente no negada primero desfasando 180° y luego sumando un offset igual a la tensión de salida lógica, en este caso 5v.

### Reemplazando

- $\bar{Q}_1(s) = -Q_1(s) + 5v$
- $\bar{Q}_2(s) = -Q_2(s) + 5v$

$$V_o(s) = 2,5v + \frac{1}{sC} \left[ -\frac{1}{1k\Omega} * \left( 2,5v + \frac{1}{sC} \left( -\frac{V_i(s)}{6k\Omega} - \frac{-Q_1(s) + 5v + Q_2(s)}{11,3k\Omega} + 442,47\mu A \right) \right) - \frac{Q_1(s) - Q_2(s) + 5v}{3,74k\Omega} + 3836,6\mu A \right]$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left[ -2,5mA - \frac{1}{1k\Omega} * \left( \frac{1}{sC} \left( -\frac{V_i(s)}{6k\Omega} - \frac{-Q_1(s) + Q_2(s)}{11,3k\Omega} - 442,47\mu A + 442,47\mu A \right) \right) - \frac{Q_1(s) - Q_2(s)}{3,74k\Omega} - 1336,6\mu A + 3836,6\mu A \right]$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left[ -\frac{1}{1k\Omega} * \left( \frac{1}{sC} \left( -\frac{V_i(s)}{6k\Omega} - \frac{-Q_1(s) + Q_2(s)}{11,3k\Omega} \right) \right) - \frac{Q_1(s) - Q_2(s)}{3,74k\Omega} \right]$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left[ -\frac{1}{1k\Omega} * \left( \frac{1}{sC} \left( -\frac{V_i(s)}{6k\Omega} + \frac{Q_1(s) - Q_2(s)}{11,3k\Omega} \right) \right) - \frac{Q_1(s) - Q_2(s)}{3,74k\Omega} \right]$$

$$V_o(s) = 2,5v + \frac{1}{sC} \left[ -\frac{1}{1k\Omega} * \left( -\frac{V_i(s)}{6k\Omega sC} + \frac{Q_1(s) - Q_2(s)}{11,3k\Omega sC} \right) - \frac{Q_1(s) - Q_2(s)}{3,74k\Omega} \right]$$

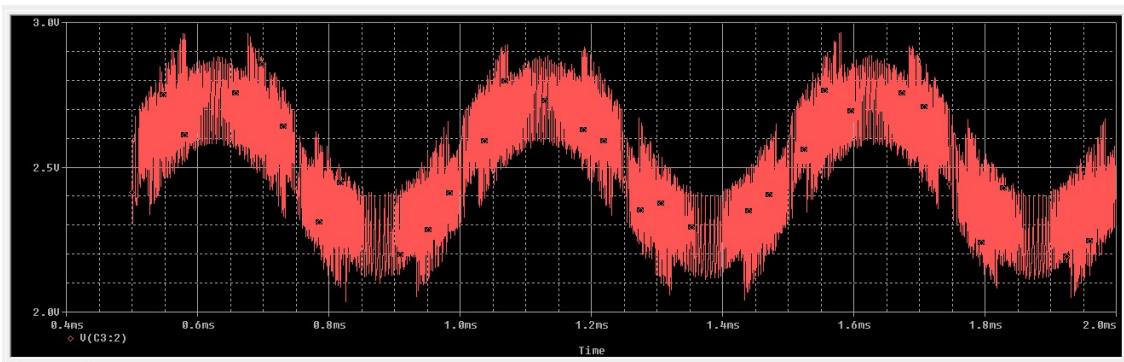
$$V_o(s) = 2,5v + \frac{1}{sC} \left( \frac{V_i(s)}{6M\Omega sC} - \frac{Q_1(s) - Q_2(s)}{11,3M\Omega sC} - \frac{Q_1(s) - Q_2(s)}{3,74k\Omega} \right)$$

$$V_o(s) = 2,5v + \frac{V_i(s)}{6M\Omega s^2 C^2} - \frac{Q_1(s) - Q_2(s)}{11,3M\Omega s^2 C^2} - \frac{Q_1(s) - Q_2(s)}{3,74k\Omega sC}$$

$$V_o(s) = 2,5v + \frac{V_i(s)}{6M\Omega s^2 C^2} - (Q_1(s) - Q_2(s)) \left( \frac{1}{11,3M\Omega s^2 C^2} + \frac{1}{3,74k\Omega sC} \right)$$

$$V_o(s) = 2,5v + \frac{V_i(s)}{6M\Omega s^2 C^2} - (Q_1(s) - Q_2(s)) \frac{3,021k\Omega sC + 1}{11,3M\Omega s^2 C^2}$$

En la simulación la señal de salida  $V_o$  tiene la siguiente forma:



**Figura 3.3 Salida del segundo integrador**

Si se analiza las componentes de la onda de salida, se puede ver una componente de continua de 2,5v, una componente de la señal de entrada de audio, este caso de 2KHz y finalmente una componente correspondiente a la salida de los biestables.

## 3.2 Análisis Etapa 2: Comparador y Cuantizador

Cuando se realiza un proceso de cuantización, inevitablemente se genera un error de cuantización que dependerá de la cantidad de bits de entrada del ADC. Como se ve en el

siguiente gráfico, el error de cuantización tendrá un valor que puede variar entre  $+LSB/2$  y  $-LSB/2$ , siendo LSB el bit menos significativo de ADC

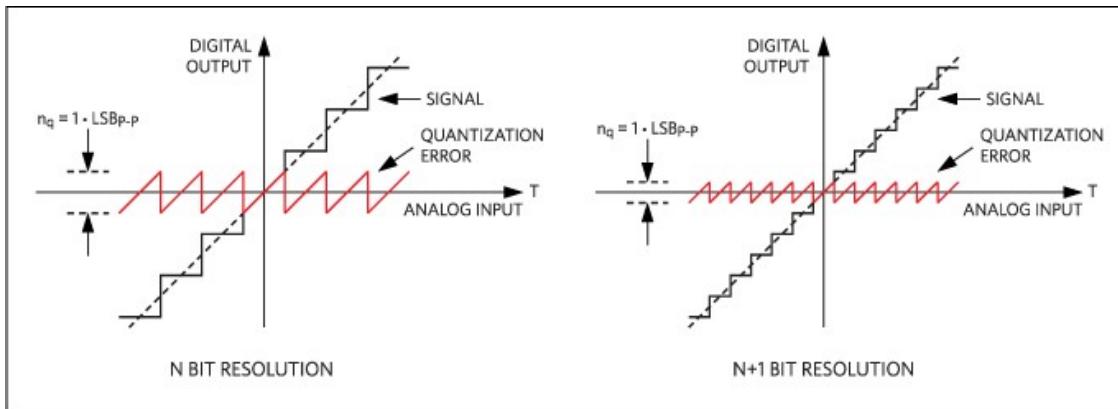


Figura 3.4 Error de cuantización de un ADC

En primera instancia a fin de un análisis conceptual se utilizará un modulador sigma delta de primer orden, cuya configuración de bloques básica es la siguiente:

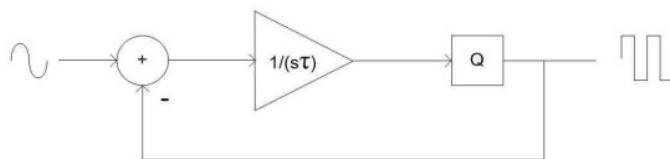


Figura 3.5 Presencia del cuantizador en un modulador sigma delta

El primer bloque se trata de un integrador y el segundo hace referencia al cuantificador, el cual, para el modulador sigma delta posee un solo bit, por esto, una señal de entrada de audio se trata de una serie de impulsos de igual amplitud.

La acción del cuantificador de dar a la salida un nivel bajo o alto cuando la entrada supera un determinado nivel umbral puede modelarse como un sumador de la señal entre la señal de salida del integrador y una señal de ruido de cuantización o error de cuantización como se ve en la siguiente figura:

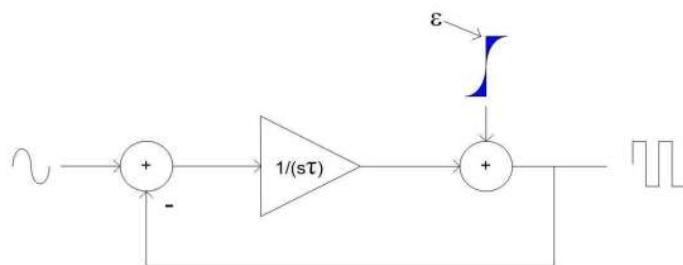
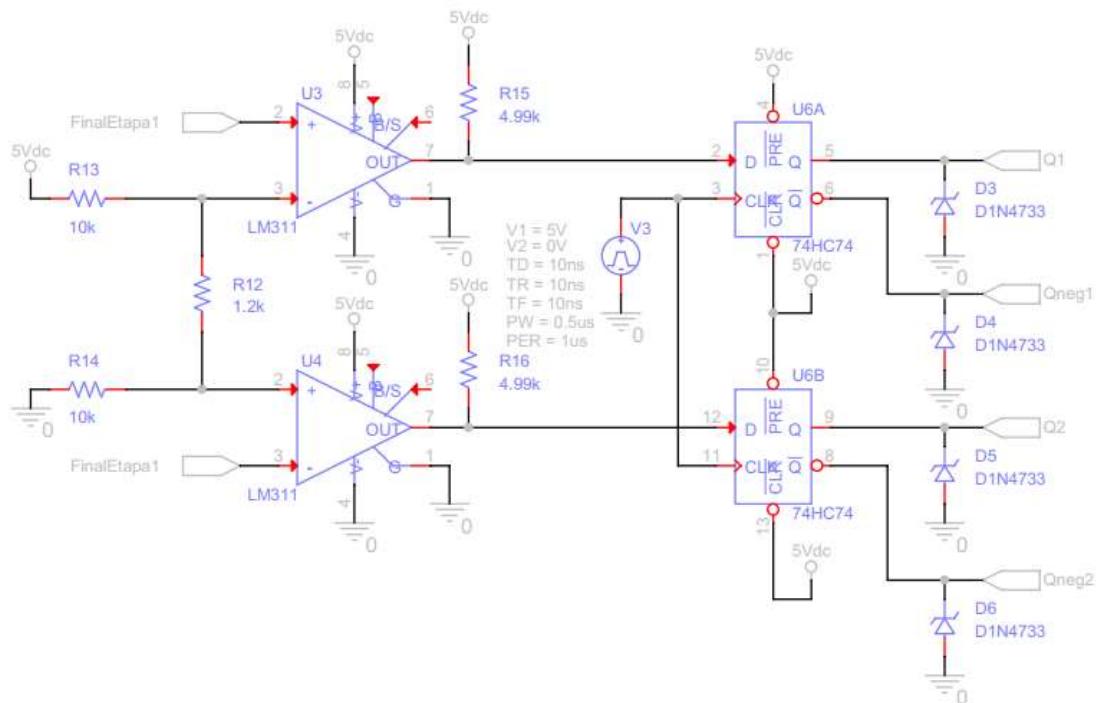


Figura 3.6 Modelado de ruido de cuantización

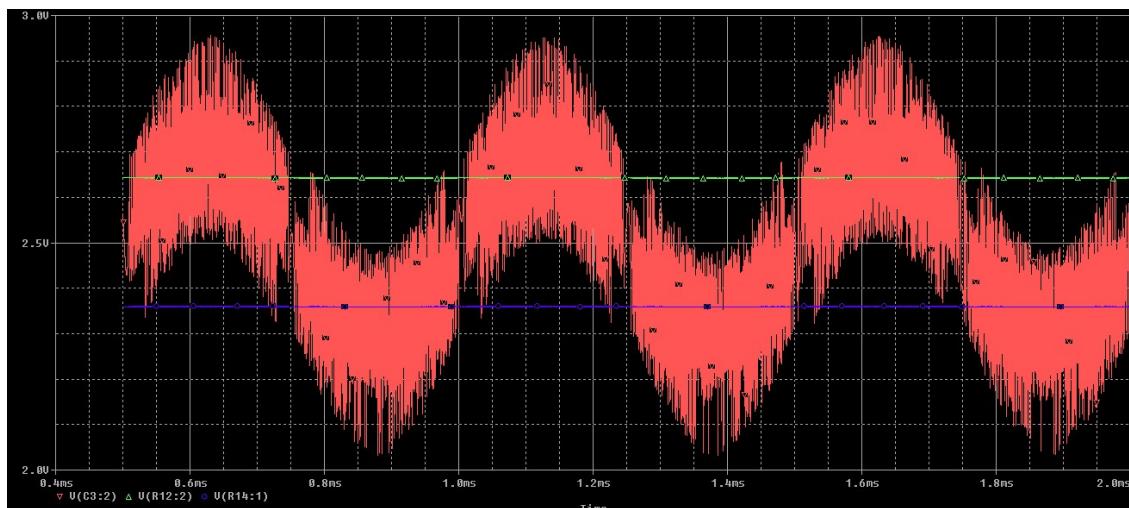
El cuantificador implementado consta de un comparador de la señal de salida de ambos integradores, la cual posee un offset de 2,5v a fin de evitar utilizar una fuente de doble polaridad para alimentar los amplificadores operacionales.

El cuantificador utilizado consta de un comparador LM311 con salida a colector abierto, seguido de biestables D 74HC74. La señal de salida de los integradores se compara con un teniendo en cuenta el offset agregado previamente de forma intencional (2,5v de la salida del integrador) y dejando cierto nivel de histéresis para evitar una activación simultanea de ambos biestables o un cambio de estado de alta frecuencia cerca del umbral de 2,5v para disminuir las perdidas en los semiconductores de salida.



**Figura 3.7 Comparador y cuantizador**

Los niveles de tensión umbral de activación de los comparadores son 2,64v para el comparador superior y 2,35v lo cual nos provee de margen para disminuir las pérdidas de salida. En la siguiente figura se muestra la comparación entre la señal de salida de los integradores  $V_o$  y los niveles de continua previamente mencionados.



**Figura 3.8** Simulación del Comparador con los niveles de continua

Cuando la señal de salida del integrador es mayor que el umbral de 2,64V se activa la salida no negada del biestable superior (Q1), mientras que, si la salida del integrador es menor a 2,35V se pone en alto la salida del biestable inferior (Q2).

En el análisis de respuesta en frecuencia del integrador, una de las señales es  $V_i$  la cual es la señal de entrada de audio y la señal  $Q_1(s) - Q_2(s)$  que es la señal diferencial de salida de los biestables, según los resultados de la simulación, siendo el trazo rojo la señal de entrada de audio y el trazo verde la salida diferencial de los biestables, la señal modulada es la siguiente:

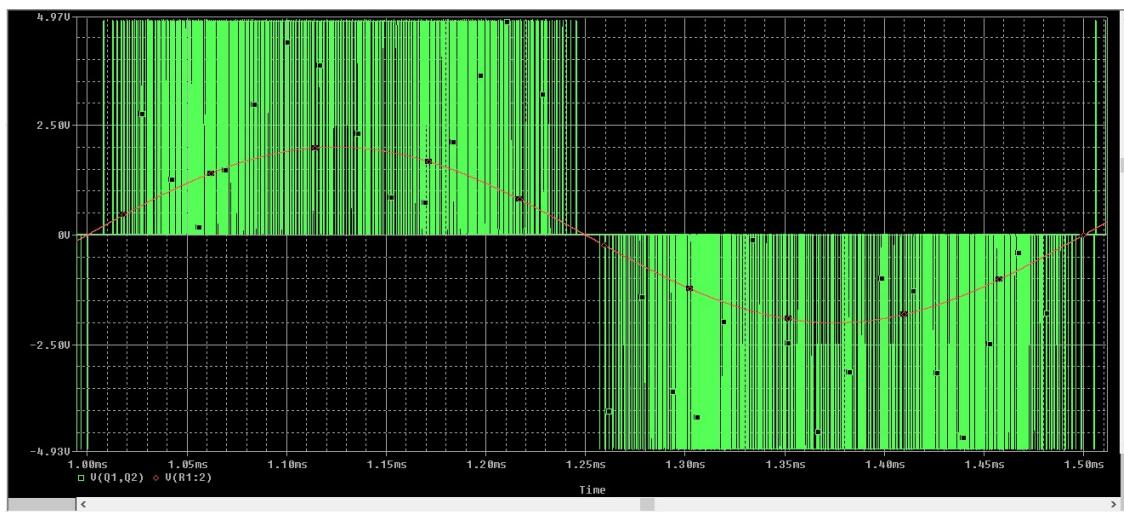


Figura 3.9 Simulación de salida del cuantizador en el dominio del tiempo

Si se amplía sobre los primeros 90º de la señal de entrada, puede verse que mientras mayor es la señal de entrada, mayor es la duración de los pulsos generados por el cuantizador.

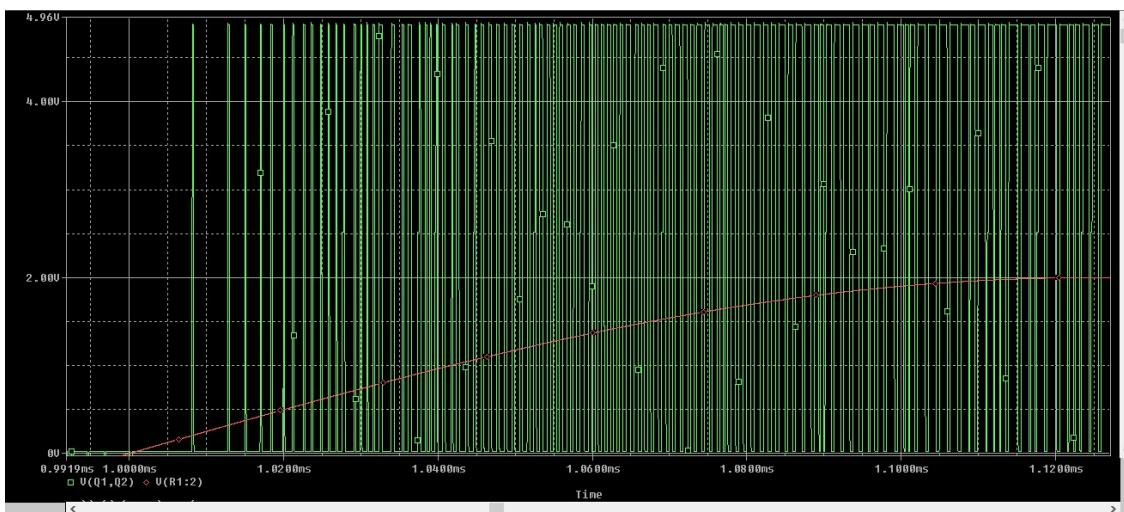


Figura 3.10 Simulación de salida del cuantizador en el dominio del tiempo 1/4 de ciclo

Para el análisis matemático de la respuesta en frecuencia, como se explicó anteriormente se reemplaza la señal de salida de los biestables por las siguientes expresiones:

- $Q_1(s) - Q_2(s) = V_{mod}(s)$
- $V_o(s) = V_{mod}(s) - e(s) + 2,5\nu$

Siendo la señal “e” el error de cuantización y  $V_{mod}$  como la señal de modulada de salida a la etapa de puente H:

Como la cuantización toma de punto medio de tensión de 2,5v para no utilizar una bipolar, luego de la cuantización, se puede considerar que a la función de transferencia se le resta este offset de 2,5v, por lo tanto, a la función de transferencia final no posee dicha componente de continua.

$$\begin{aligned}
 V_{mod}(s) - e(s) + 2,5v &= 2,5v + \frac{V_i(s)}{6M\Omega s^2 C^2} - V_{mod}(s) \frac{3,021k\Omega sC + 1}{11,3M\Omega s^2 C^2} \\
 V_{mod}(s) \left( 1 + \frac{3,021k\Omega sC + 1}{11,3M\Omega s^2 C^2} \right) &= \frac{V_i(s)}{6M\Omega s^2 C^2} + e(s) \\
 V_{mod}(s) \left( \frac{11,3M\Omega s^2 C^2 + 3,021k\Omega sC + 1}{11,3M\Omega s^2 C^2} \right) &= \frac{V_i(s)}{6M\Omega s^2 C^2} + e(s) \\
 V_{mod}(s) &= \frac{V_i(s)}{6M\Omega s^2 C^2} * \frac{11,3M\Omega s^2 C^2}{11,3M\Omega s^2 C^2 + 3,021k\Omega sC + 1} + e(s) * \frac{11,3M\Omega s^2 C^2}{11,3M\Omega s^2 C^2 + 3,021k\Omega sC + 1} \\
 V_{mod}(s) &= V_i(s) * \frac{1}{6M\Omega s^2 C^2 + 1,604k\Omega sC + 0,531} + e(s) * \frac{11,3M\Omega s^2 C^2}{11,3M\Omega s^2 C^2 + 3,021k\Omega sC + 1}
 \end{aligned}$$

Reemplazando el valor de los capacitores que en este caso son de 1nF

$$V_{mod}(s) = V_i(s) * \frac{1}{6M\Omega s^2 (1nF)^2 + 1,604k\Omega s(1nF) + 0,531} + e(s) * \frac{11,3M\Omega s^2 (1nF)^2}{11,3M\Omega s^2 (1nF)^2 + 3,021k\Omega s(1nF) + 1}$$

A fin de realizar el análisis de respuesta en frecuencia se dejará de lado las unidades

$$V_{mod}(s) = V_i(s) * \frac{1}{(6 * 10^{-12})s^2 + (1,604 * 10^{-6})s + 0,531} + e(s) * \frac{s^2}{s^2 + (2,67 * 10^5)s + (8,85 * 10^{10})}$$

Entonces pueden identificarse dos funciones de transferencia diferentes, una de las cuales representa la función de transferencia para la señal de entrada, la cual se llamará STF (Signal Transfer Function) y la otra representa la función de transferencia para el ruido de cuantización generado, la cual se llamará NTF (Noise Transfer Function)

$$\begin{aligned}
 STF(s) &= \frac{1}{(6 * 10^{-12})s^2 + (1,604 * 10^{-6})s + 0,531} \\
 NTF(s) &= \frac{s^2}{s^2 + (2,67 * 10^5)s + (8,85 * 10^{10})}
 \end{aligned}$$

La respuesta en frecuencia de ambas funciones de transferencia es la siguiente:

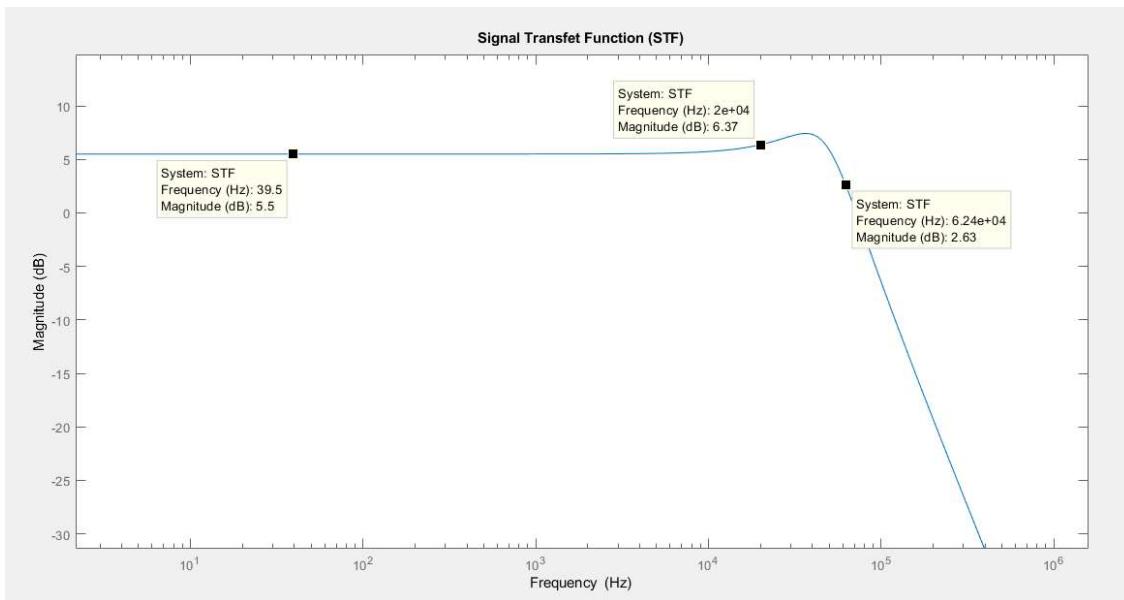


Figura 3.11 Simulación de STF en MATLAB

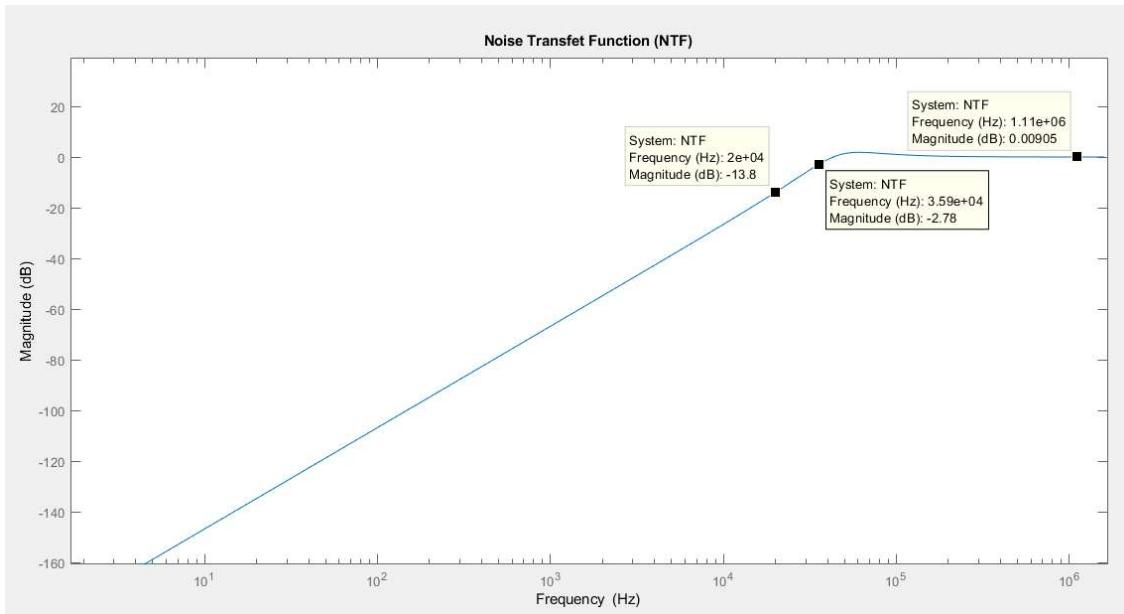


Figura 3.12 Simulación de NTF en MATLAB

La señal de audio tiene una función de transferencia plana en la banda pasante (con un leve rizado en las altas frecuencias de audio) con una frecuencia de corte de 62KHz (3dB de atenuación).

Como puede verse, la ventaja de la modulación sigma delta es que el ruido debido a la cuantización queda fuera de la banda pasante de audio por el efecto de la realimentación, es decir, para el ruido de cuantización, el modulador sigma delta funciona como un filtro pasa altos con una frecuencia de corte de 35KHz (3dB de atenuación) y para la señal de entrada de audio se comporta como un filtro pasa bajos.

Además, para la mayor frecuencia de la banda de audio (20 KHz) el ruido de cuantización tiene una amplitud de -13dB y será aún menor para frecuencias menores, así como se indica en el gráfico de la respuesta en frecuencia de NTF.

A esta característica del modulador sigma delta de mover el ruido de cuantización fuera de la banda pasante de audio se denomina “Noise shaping” o modelado de ruido. Esto nos permite la utilización de filtros menos exigentes en características de atenuación y de menor tamaño ya que se requerirá un filtro de orden bajo.

Analizando la respuesta en frecuencia de la señal de salida modulada en la simulación, se puede verificar el desarrollo de respuesta en frecuencia de STF y NTF realizada en MATLAB.

Se utiliza una señal de entrada de audio de 2KHz para comprobar los resultados de modelado de ruido fuera de la banda de paso de audio. A continuación, se muestran los resultados en el dominio del tiempo y frecuencia de la señal de salida modulada.

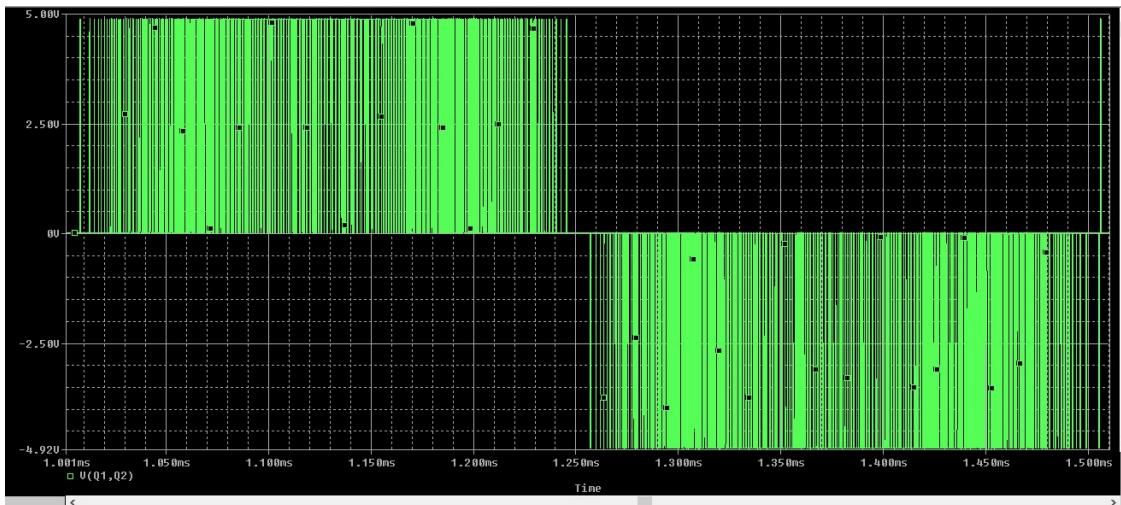


Figura 3.13 Señal modulada en el dominio del tiempo

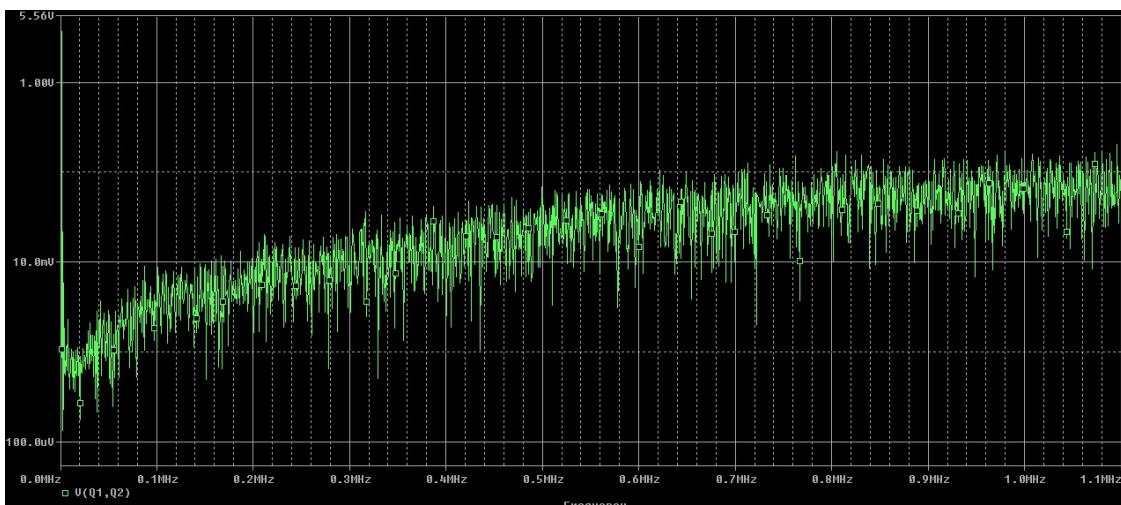
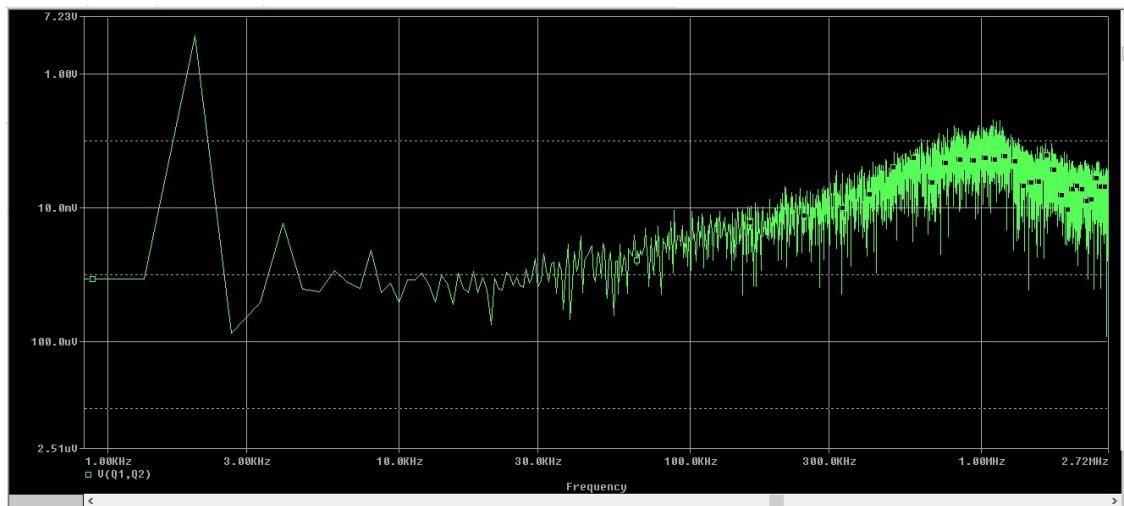


Figura 3.14 Señal modulada en el dominio de la frecuencia con eje de abscisas lineal



**Figura 3.15** Señal modulada en el dominio de la frecuencia con eje de abscisas logarítmico

Como se ve en las mediciones de respuesta en frecuencia, hay un pico correspondiente a la señal de audio de 2KHz, posteriormente se encuentran las armónicas de dicha señal de audio con una menor amplitud y finalmente puede verse el ruido de cuantización generado por la modulación sigma delta que se encuentra fuera de la banda de audio y cuya amplitud crece a medida que se aleja de la banda de audio hacia las altas frecuencias.

Se verifica entonces los resultados obtenidos de STF y NTF en MATLAB con los resultados obtenidos en la simulación del circuito. Este ruido fuera de la banda de audio será posteriormente filtrado para poseer una señal con la menor distorsión y ruido posible.

### **3.3 Análisis Etapa 3: Controlador de compuerta de MOSFET**

Para la activación de los MOSFET superiores de cada pierna del puente H surge el inconveniente de que el terminal de fuente no se encuentra referenciado a masa, sino que se encuentra en serie con la carga. Para aplicar entonces una tensión compuerta – fuente que sea suficiente para activar el MOSFET y hacerlo pasar a su estado ON (la cual ronda los 12v o 15v en general) se debe aplicar una tensión de compuerta fuente que sea una suma de la tensión compuerta-fuente deseada y la caída de tensión en la carga (la tensión de VDD que caerá completamente en la carga cuando el MOSFET este activado)

Para activar la puerta flotante del MOSFET superior se utiliza un circuito integrado cuyo fin es aplicar una tensión de compuerta que sea la suma de una tensión VGS y la tensión de alimentación del circuito. El circuito integrado utilizado para esto es IR2110 de International Rectifiers, cuyas características principales se indica en la hoja de datos:

# International **IR** Rectifier

Data Sheet No. PD60147 rev.v

## IR2110(S)PbF/IR2113(S)PbF

### HIGH AND LOW SIDE DRIVER

#### Features

- Floating channel designed for bootstrap operation
- Fully operational to +500V or +600V
- Tolerant to negative transient voltage
- dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
- Separate logic supply range from 3.3V to 20V
- Logic and power ground  $\pm 5V$  offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

#### Product Summary

V <sub>OFFSET</sub> (IR2110)	500V max.
(IR2113)	600V max.
I <sub>O</sub> +/-	2A / 2A
V <sub>OUT</sub>	10 - 20V
t <sub>on/off</sub> (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

#### Packages

Figura 3.16 Características principales del circuito integrado IR2110

Entre las principales características puede destacarse la máxima tensión de offset que se aplicara a la tensión VGS deseada, este valor se corresponde con la tensión de alimentación aplicada a los MOSFET (VDD). En el circuito de este proyecto se utiliza una tensión de 40v estando muy por debajo de dicha limitación.

El integrado es capaz de aplicar una tensión de VGS entre 10V y 20V para activar el MOSFET y hacerlo pasar a su estado ON, en el proyecto se utilizará una tensión de 12v. Además, puede activarse con una tensión lógica de activación que puede estar en el rango de 3,3V a 20V. La tensión de activación lógica en este proyecto es la de salida de los biestables D, que será de 5V, por lo tanto, el nivel de tensión aplicado esta dentro del rango adecuado.

El diagrama de conexión provisto en la hoja de datos es el siguiente:

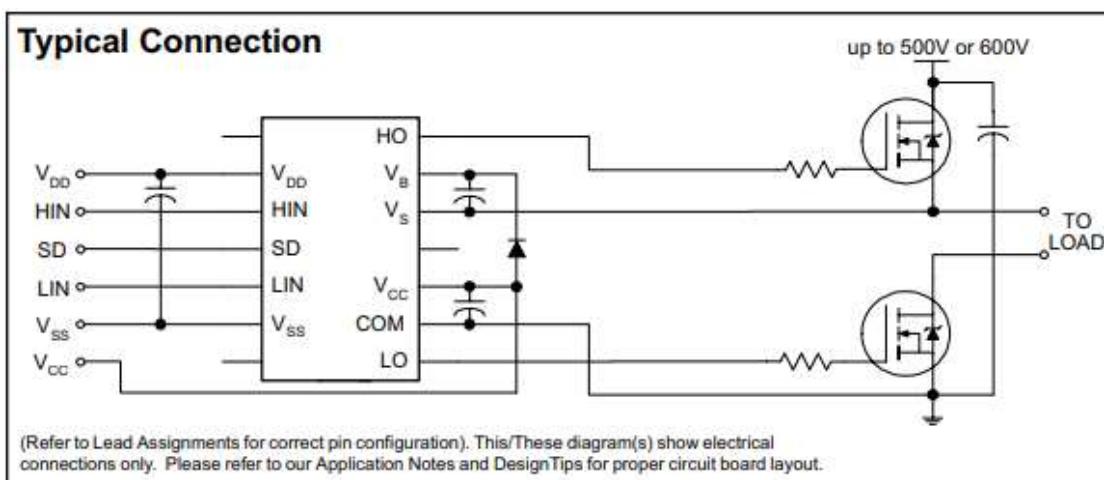


Figura 3.17 Diagrama de conexión del circuito integrado IR2110

La tensión de control proveniente de los biestables se aplica entre los terminales VDD y VSS, siendo VSS la tensión de offset que posee la señal de control, pero como en el proyecto la señal de control no tiene ningún offset, este pin se conectara directamente a masa. El pin HIN

es la señal de entrada de activación del MOSFET superior, proveniente de la señal no negada de los biestables y el pin LIN es la señal de entrada de activación del MOSFET inferior proveniente de la señal negada de los biestables.

La tensión que se aplicara en VGS es la que se ingresa por el terminal de VCC. El terminal Vs se conecta a la fuente del MOSFET superior para establecer la referencia del offset que se debe aplicar a la tensión de compuerta. El pin VB es la tensión absoluta que se aplicara en la compuerta del MOSFET flotante

Finalmente, los pines de HO y LO son los que encargan de aplicar la tensión en la puerta de los MOSFET con un pico de corriente de hasta 2A para lograr una rápida carga de las capacidades de entrada y por lo tanto disminuir el tiempo de encendido de estos.

En la hoja de datos se obtienen los valores máximos de tensión a los que se puede someter cada uno de los pines del circuito integrado:

Symbol	Definition	Min.	Max.	Units
VB	High side floating supply voltage (IR2110)	-0.3	525	V
	(IR2113)	-0.3	625	
Vs	High side floating supply offset voltage	V <sub>B</sub> - 25	V <sub>B</sub> + 0.3	
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub> - 0.3	V <sub>B</sub> + 0.3	
V <sub>CC</sub>	Low side fixed supply voltage	-0.3	25	
V <sub>LO</sub>	Low side output voltage	-0.3	V <sub>CC</sub> + 0.3	
V <sub>DD</sub>	Logic supply voltage	-0.3	V <sub>SS</sub> + 25	
V <sub>SS</sub>	Logic supply offset voltage	V <sub>CC</sub> - 25	V <sub>CC</sub> + 0.3	
V <sub>IN</sub>	Logic input voltage (HIN, LIN & SD)	V <sub>SS</sub> - 0.3	V <sub>DD</sub> + 0.3	

**Figura 3.18** Características máxima de tensión de los pines del circuito integrado IR2110

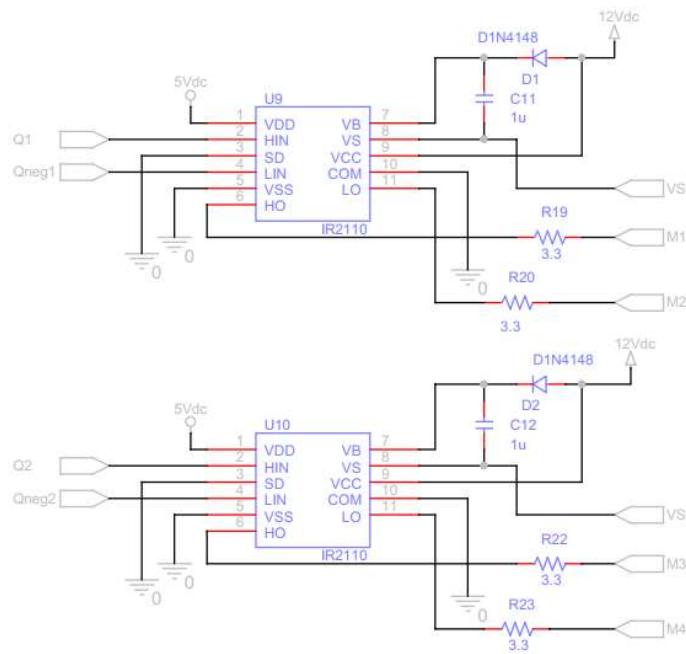
Una de las características importante de este circuito integrado son los retrasos de activación y desactivación, lo cual será de gran utilidad para prevenir la activación simultanea de ambos MOSFET de la pierna.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
t <sub>on</sub>	Turn-on propagation delay	7	—	120	150	ns	V <sub>S</sub> = 0V
t <sub>off</sub>	Turn-off propagation delay	8	—	94	125		V <sub>S</sub> = 500V/600V
t <sub>sd</sub>	Shutdown propagation delay	9	—	110	140		V <sub>S</sub> = 500V/600V
t <sub>r</sub>	Turn-on rise time	10	—	25	35		
t <sub>f</sub>	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off (IR2110) (IR2113)	—	—	—	10		
		—	—	—	20		

**Figura 3.19** Características tiempo de los pines del circuito integrado IR2110

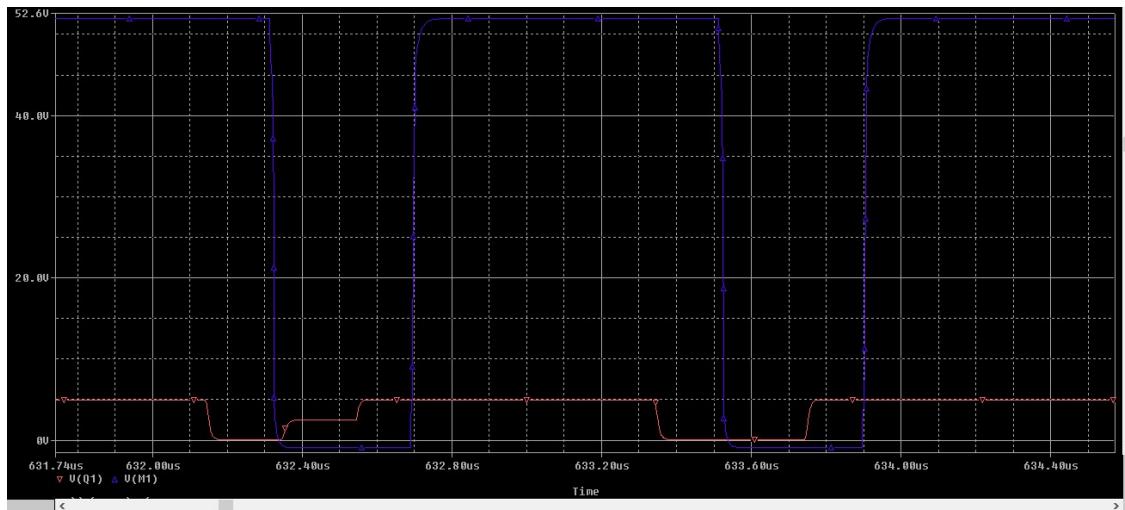
Como se ve en el cuadro anterior, el circuito integrado tiene un retraso de activación típico de 120ns mientras que tiene un retaso de desactivación típico de 94ns. Por lo tanto, hay un margen de 34ns para la desactivación y evitar picos de disipación de potencia excesivos.

En la simulación se usa el siguiente circuito siguiendo lo indicado por la hoja de datos, a fin de verificar los resultados obtenidos y contrastarlo con la hoja de datos:



**Figura 3.20** Diagrama de conexión del circuito integrado IR2110 en el proyecto

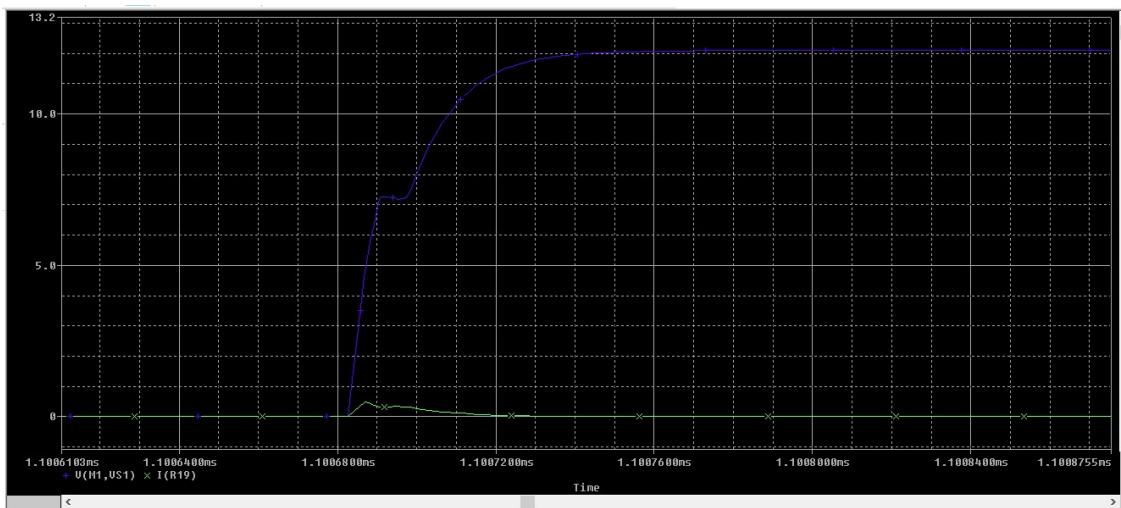
La tensión aplicada en la puerta flotante del MOSFET superior tiene un offset de 40V, que se corresponde con la fuente de alimentación de potencia. En el siguiente grafico puede verse el trazo azul es la tensión de compuerta referida a masa en el MOSFET con puerta flotante y el trazo rojo se corresponde con la tensión lógica de activación del MOSFET superior enviada al circuito integrado ir2110 en el pin HIN:



**Figura 3.21** Tensión aplicada en la puerta flotante del MOSFET superior

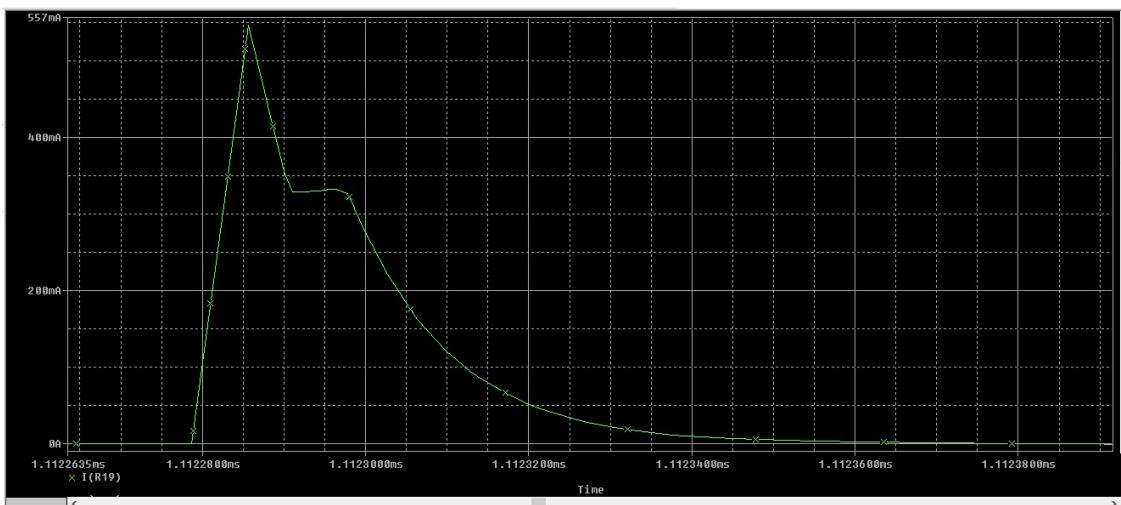
Como se puede apreciar, la tensión absoluta aplicada a la puerta del MOSFET superior es de 52V, lo cual se corresponde con la suma de los 40V de la fuente de alimentación de potencia y los 12V aplicados en el pin de VCC del controlador de compuerta.

La corriente de compuerta para la carga de la capacidad de entrada del MOSFET, según lo indicado por la hoja de datos del controlador tiene un valor máximo de 2A, según la simulación, el valor de dicha corriente es la siguiente:



**Figura 3.22** Corriente aplicada en la puerta vs tensión puerta-fuente del MOSFET

El trazo azul se corresponde con la tensión compuerta-fuente aplicada en el MOSFET superior y el trazo verde con la corriente de compuerta, si se analiza con mayor profundidad esta corriente puede obtenerse su característica transitoria:



**Figura 3.23** Corriente aplicada en la puerta del MOSFET

La corriente de compuerta tiene una amplitud de 550mA y una duración 25ns, esta rápida velocidad de carga de compuerta minimiza el tiempo de carga de la compuerta y por consiguiente minimiza las pérdidas de conmutación y distorsión armónica.

En el siguiente grafico se muestra los efectos de retardos de activación y desactivación, donde el trazo rojo es la tensión aplicada entre compuerta y fuente y el trazo verde hace referencia a la señal proveniente de los biestables para la activación o desactivación.

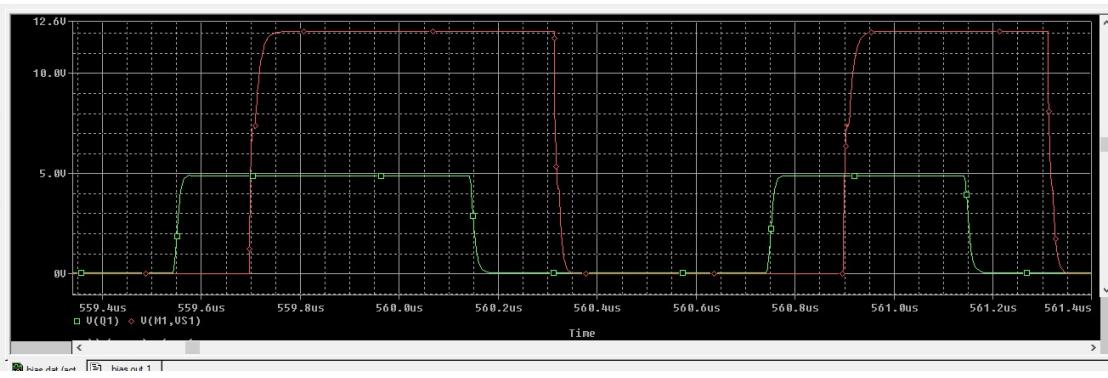


Figura 3.24 Retardo de activación y desactivación del IR2110

Si se analizan con detenimiento los flancos de activación se obtiene lo siguiente:

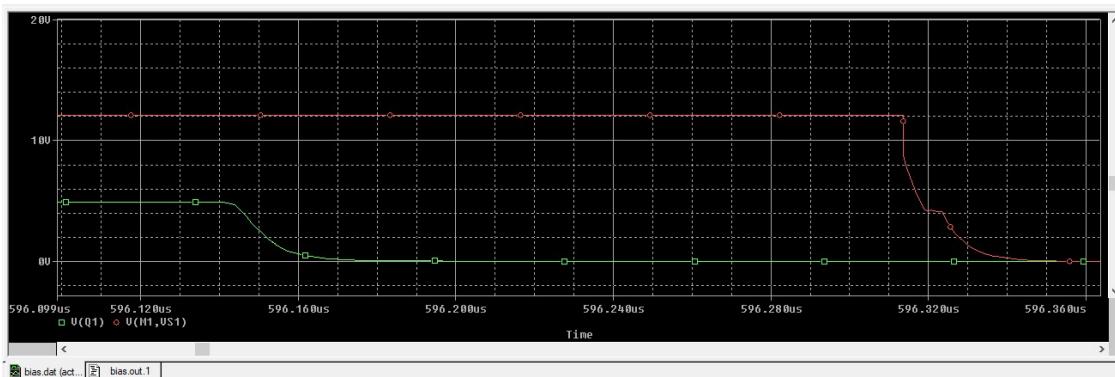


Figura 3.25 Desactivación del MOSFET con un retardo de 170ns

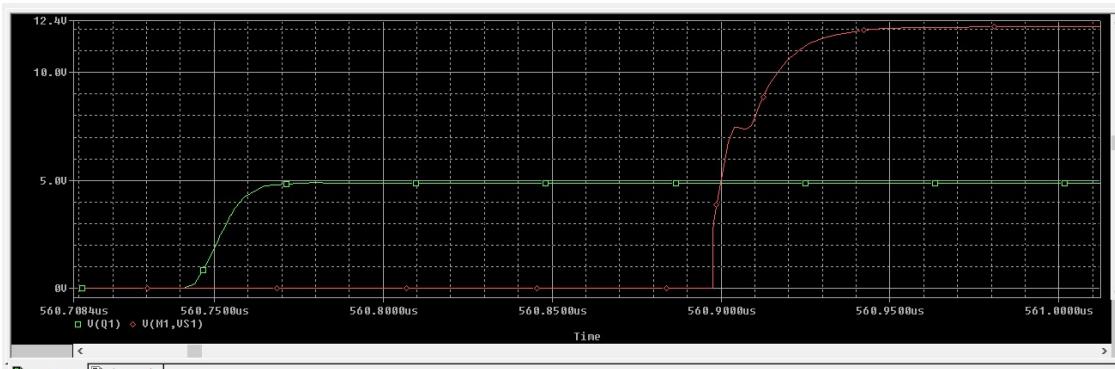


Figura 3.26 Activación del MOSFET con un retardo de 150ns

### 3.4 Análisis Etapa 4: Puente H y Filtro

Como se indicó en la sección 1.1, hay ciertos requerimientos de salida que deben cumplirse con respecto a la potencia de salida, eficiencia y distorsión armónica. Para esto debe elegirse un semiconductor que tenga una rápida conmutación para aumentar su eficiencia y así disminuir la distorsión armónica al utilizar una modular de alta frecuencia. Además de las características máximas de tensión y corriente de que deben soportarse según sean las características en la carga.

#### 3.4.1 Elección del MOSFET

La elección de MOSFET es un factor importante en si el amplificador cumplirá o no con su especificación de eficiencia. Las características más importantes del MOSFET en esta aplicación son el voltaje pico de la fuente de drenaje que puede manejar, la resistencia en la fuente de drenaje (RDS-on), la capacitancia de la compuerta (CGS), el tiempo que tarda en encenderse y apagarse (tiempo de subida y tiempo de caída) y el voltaje requerido para conducirlo.

### **3.4.2 Pico de voltaje**

Como el sistema debe entregar una potencia RMS de 80Watts sobre una carga de  $8\Omega$  puede calcular el pico de voltaje:

$$P_{RMS} = \frac{V_{RMS}^2}{R_L}$$

$$V_{RMS} = \sqrt{P_{RMS} * R_L} = \sqrt{80W * 8\Omega} = 25.3V$$

$$P_{Peak} = \sqrt{2} * V_{RMS} = 36V$$

A fin de dejar cierto margen de tensión para ser modulada sobre la carga se utiliza una fuente de tensión de 40V de corriente continua, este sea el valor que deben ser capaces de soportar los MOSFETs.

#### **3.4.2.1 Tabla comparativa**

Los dispositivos semiconductores considerados para la siguiente tabla son capaces de soportar el pico de voltaje entre sus terminales de drenador y fuente y tienen un valor de relativamente bajo de  $R_{DS(ON)}$  y bajo valor de capacidad de entrada  $C_{GS}$ .

MOSFET	$V_{DSMAX}$	$R_{DS(ON)}$	$C_{GS}$	$t_{subida}$	$t_{bajada}$
IRF1010EZ	60V	8.5 mΩ	2810 pF	90 ns	54 ns
IRF3805	75V	3.3 mΩ	7960 pF	150 ns	93 ns
IRF3808	75V	7.0 mΩ	5310 pF	140 ns	120 ns
IRF1405	55V	4.9 mΩ	4780 pF	110 ns	82 ns
IRF3205	55V	6.5 mΩ	3450 pF	95 ns	67 ns
IRF6645	100V	28 mΩ	890 pF	5 ns	5.1 ns
IRF6665	100V	53 mΩ	530 pF	2.8 ns	4.3 ns

**Tabla 3.1** Comparcion de diferentes MOSFETs

El MOSFET que presenta las mejores características para este proyecto es IRF6665 por su bajo valor de  $R_{DS(ON)}$  y principalmente por su alta velocidad de conmutación y baja capacidad de compuerta, lo cual permitirá disminuir significativamente las perdidas en el dispositivo.

### **3.4.3 Función de transferencia del filtro**

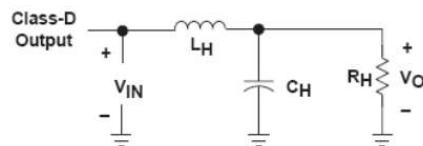
Una etapa importante de un amplificador de Clase D es la etapa de filtrado. La naturaleza de conmutación del amplificador de clase D hace que emita una cantidad significativa de ruido por encima de la banda de audio. Si bien el modulador configura este ruido para que esté por encima del límite superior de 20 KHz de la audición humana, aún puede causar problemas. La mayor preocupación es la interferencia electromagnética (EMI) en el equipo.

Para ayudar a mitigar los problemas causados por el contenido de frecuencia más alto de la señal, se debe colocar un filtro de paso bajo antes de la salida final del amplificador. La etapa

de filtro es la etapa más simple de un amplificador de audio de Clase D. Un simple filtro de paso bajo es todo lo que se requiere, ya que la banda audible de frecuencias puede considerarse una señal de banda base al diseñar un amplificador de audio. Dado que la etapa de potencia es un puente en H, se requiere que el filtro sea un filtro balanceado. Esto significa que hay esencialmente dos filtros separados pero idénticos a cada lado de la carga. Esto aumenta el costo del producto final, pero es necesario debido al tipo de etapa de potencia utilizada. El puente en H y el diseño de filtro balanceado ayudan a reducir el ruido en la salida al eliminar los armónicos impares, lo que mejora la distorsión armónica total.

Si bien hay varios tipos de filtros diferentes, la naturaleza del audio sugiere el uso de un filtro Butterworth. Un filtro Butterworth tiene una banda de paso muy plana, importante para la especificación de respuesta de frecuencia de un amplificador de audio. La pendiente del corte de un filtro Butterworth se puede ajustar fácilmente aumentando el orden del filtro, lo que se logra conectando en cascada inductores y condensadores adicionales.

Debido a la forma y ubicación del ruido de alta frecuencia generado por un modulador sigma delta, se determinó que un filtro Butterworth de segundo orden proporcionaría la mejor relación entre costo y eficiencia y rendimiento. Una vez que se decide el orden, los dos parámetros que definen un filtro Butterworth son la frecuencia de corte y la pendiente del corte. Un filtro de segundo orden produce una pendiente de -40 dB / década, que es lo suficientemente aguda como para reducir el ruido de alta frecuencia a niveles aceptables.



**Figura 3.27** Filtro de Butterworth de segundo orden

Para el estudio de la etapa de salida de potencia se comenzará con en el análisis de la respuesta en frecuencia del filtro.

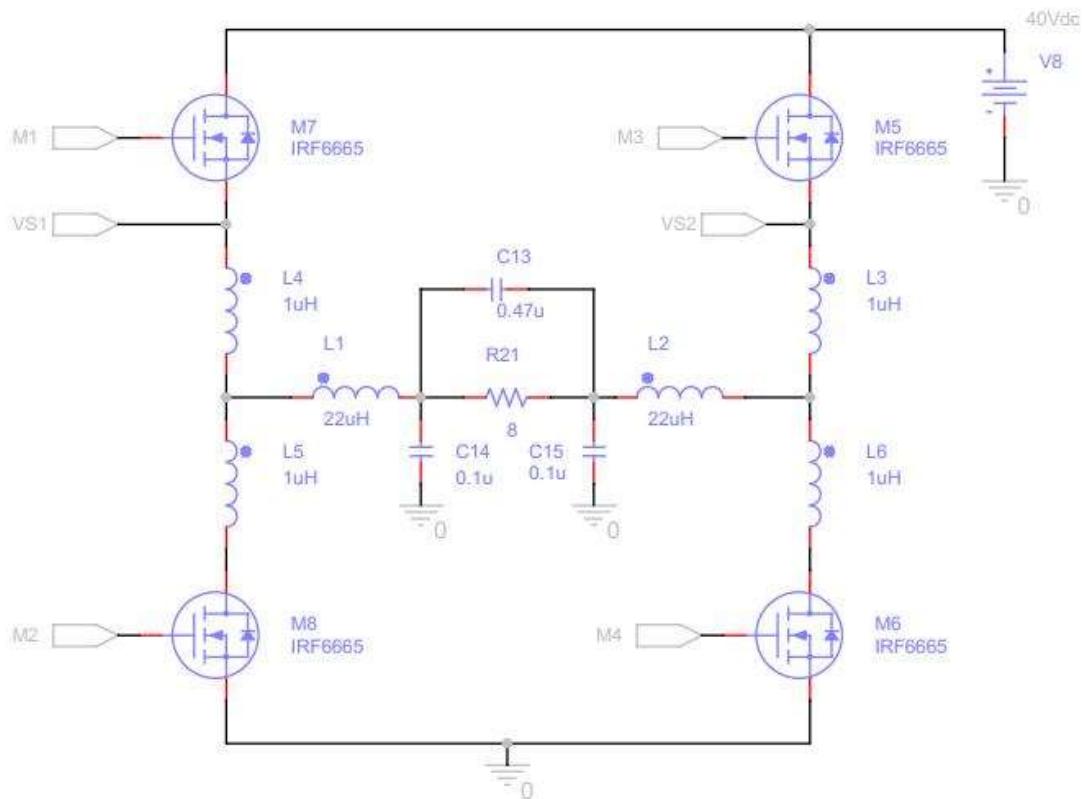


Figura 3.28 Esquemático de etapa de salida en puente H

Considerando cualquiera de los hemiciclos, por ejemplo, el hemiciclo positivo, el MOSFET M5 estará cortado, el MOSFET M6 estará en estado ON y se modula los MOSFET M7 y M8 para generar la señal de salida. Por lo tanto, uno el extremo derecho del filtro se conecta a masa y el extremo superior se conectarán a VDD o a masa según sea la señal modulada y para el análisis de respuesta en frecuencia se considerará el extremo izquierdo conectado a una señal  $V(S)$ .

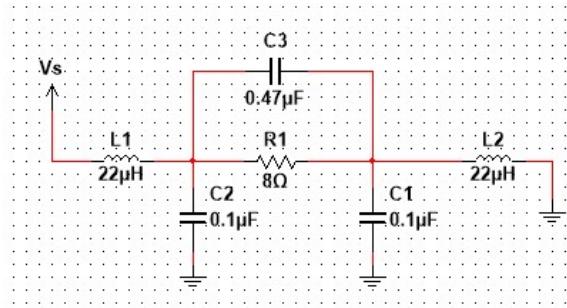
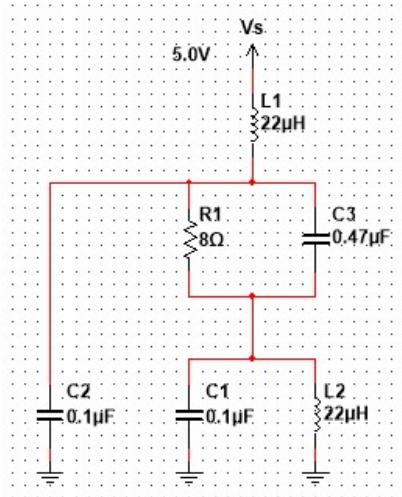


Figura 3.29 Circuito equivalente del filtro

Reacomodando el circuito se obtiene lo siguiente:



**Figura 3.30** Circuito equivalente del filtro reacomodado

Para el análisis de la función de transferencia del filtro (Filter Transfer Function "FTF") se debe hallar la relación:

$$FTF(s) = \frac{V_{R1}(s)}{V(s)}$$

Siendo:

- $V_{R1}(s)$  : La caída de tensión en la resistencia de carga en el dominio de la frecuencia
- $V(s)$  : La señal con modulación sigma delta aplicada sobre en los bornes del puente H en el dominio de la frecuencia

Utilizando el análisis de circuitos puede encontrarse el valor de  $V_{R1}(s)$  de la siguiente manera:

$$V_{R1}(s) = \frac{\left( R_1 // \frac{1}{sC_3} + \frac{1}{sC_1} // sL_2 \right) // \frac{1}{sC_2}}{\left[ \left( R_1 // \frac{1}{sC_3} + \frac{1}{sC_1} // sL_2 \right) // \frac{1}{sC_2} \right] + sL_1} * \frac{R_1 // \frac{1}{sC_3}}{R_1 // \frac{1}{sC_3} + \frac{1}{sC_1} // sL_2} * V(s)$$

$$FTF(s) = \frac{V_{R1}(s)}{V(s)} = \frac{\left( R_1 // \frac{1}{sC_3} + \frac{1}{sC_1} // sL_2 \right) // \frac{1}{sC_2}}{\left[ \left( R_1 // \frac{1}{sC_3} + \frac{1}{sC_1} // sL_2 \right) // \frac{1}{sC_2} \right] + sL_1} * \frac{R_1 // \frac{1}{sC_3}}{R_1 // \frac{1}{sC_3} + \frac{1}{sC_1} // sL_2}$$

Para el cálculo de la función de trasferencia se utiliza el software MATLAB a fin de simplificar el desarrollo algebraico, obteniendo el siguiente resultado:

```
Command Window

FTF =
```

$$8.963e-165 s^{27} + 1.15e-158 s^{26} + 2.112e-152 s^{25} + 2.075e-146 s^{24} + 1.973e-140 s^{23} + 1.463e-134 s^{22}$$

$$+ 9.263e-129 s^{21} + 5.035e-123 s^{20} + 2.266e-117 s^{19} + 8.594e-112 s^{18} + 2.662e-106 s^{17}$$

$$+ 6.399e-101 s^{16} + 1.135e-95 s^{15} + 1.306e-90 s^{14} + 6.996e-86 s^{13}$$


---


$$2.051e-175 s^{29} + 3.135e-169 s^{28} + 5.571e-163 s^{27} + 6.053e-157 s^{26} + 5.897e-151 s^{25} + 4.668e$$

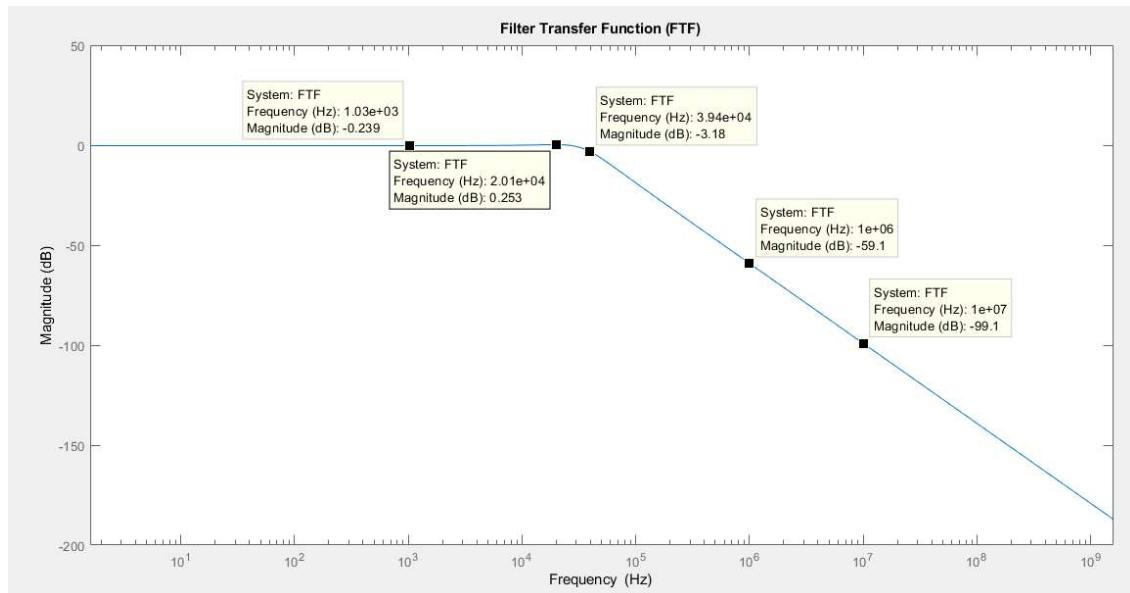
$$-145 s^{24} + 3.144e-139 s^{23} + 1.823e-133 s^{22} + 8.966e-128 s^{21} + 3.757e-122 s^{20} + 1.325e-116 s^{19}$$

$$+ 3.843e-111 s^{18} + 8.929e-106 s^{17} + 1.594e-100 s^{16} + 2.061e-95 s^{15} + 1.736e-90 s^{14}$$

$$+ 7.194e-86 s^{13}$$

**Figura 3.31** Función de transferencia del filtro de salida

Graficando la respuesta en frecuencia de la función de transferencia del filtro se obtiene lo siguiente:



**Figura 3.32** Respuesta en frecuencia del filtro de salida

Como se ve en el gráfico, el filtro de salida se corresponde con un filtro pasa bajos, cuya frecuencia de corte es 40KHz con una respuesta totalmente plana a los 20KHz y una atenuación de 40dB por década típico de un filtro de segundo orden.

Este filtro se utiliza para disminuir la presencia del ruido producido por la etapa de modulador sigma delta sobre la resistencia de carga.

### **3.4.4 Influencia del filtro en la salida**

Como bien se expresó anteriormente, la función de transferencia para el ruido de cuantización NTF posee las características de un filtro pasa altos y por lo tanto disminuyendo el ruido en la banda pasante de audio, pero con una alta presencia fuera de esta. Para eliminar el ruido fuera de la banda de audio se utiliza el filtro previamente analizado.

A fin de analizar la presencia de ruido de cuantización en la salida, se aplica de forma conjunta NTF y la función de transferencia del filtro FTF y se obtiene el siguiente gráfico, el cual denominaremos potencia de ruido sobre la resistencia de carga (Noise Power Output “NPO”):

$$NPO(s) = NTF(s) * FTF(s)$$

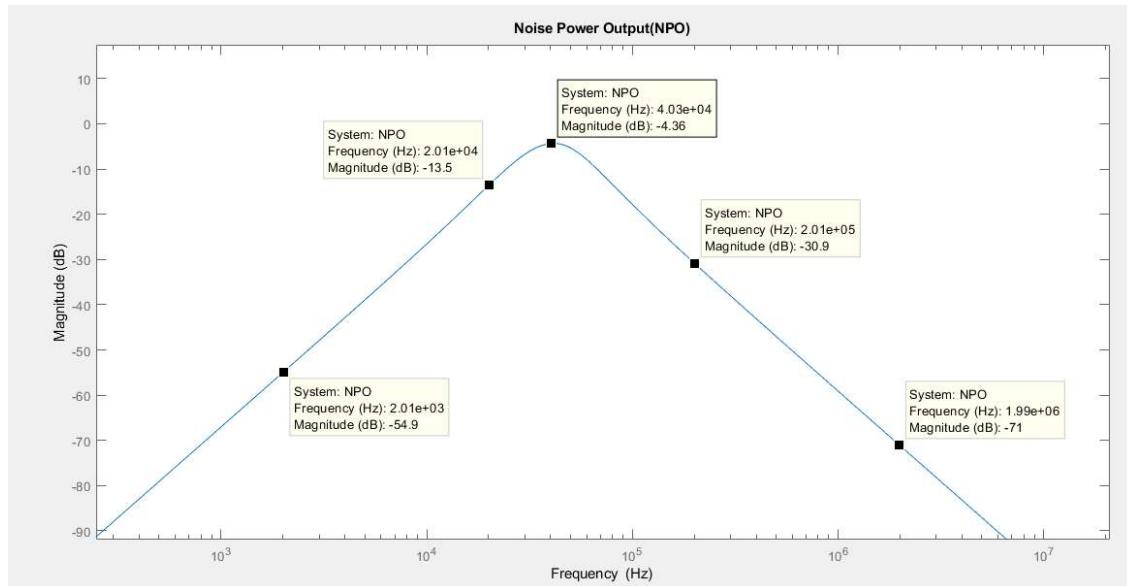


Figura 3.33 Presencia del ruido en la salida

Como puede verse, la aplicación conjunta de ambas funciones de transferencia tiene una forma típica de un filtro pasa banda, con una frecuencia central de 40KHz con una atenuación de 4,36 dB. Posee una atenuación de 40dB por década tanto como para altas y bajas frecuencias.

Algo para tener en cuenta es que, para la banda de audio, a 1KHz tiene una atenuación de 60dB, lo cual es una característica muy favorable. Para las frecuencias mas altas en la banda de audio es donde el ruido tiene un mayor efecto sobre la salida, por ejemplo, para 20KHz se tiene una atenuación de 13dB

También es importante analizar el efecto del filtro de salida sobre la banda pasante de audio. Para esto, de igual forma como se hizo anteriormente se analiza de forma conjunta la función de transferencia para la señal del modulador sigma delta STF y la función de transferencia del filtro FTF. A esto lo denominaremos potencia de señal sobre la resistencia de carga (Signal Power Output “SPO”):

$$SPO(s) = STF(s) * FTF(s)$$

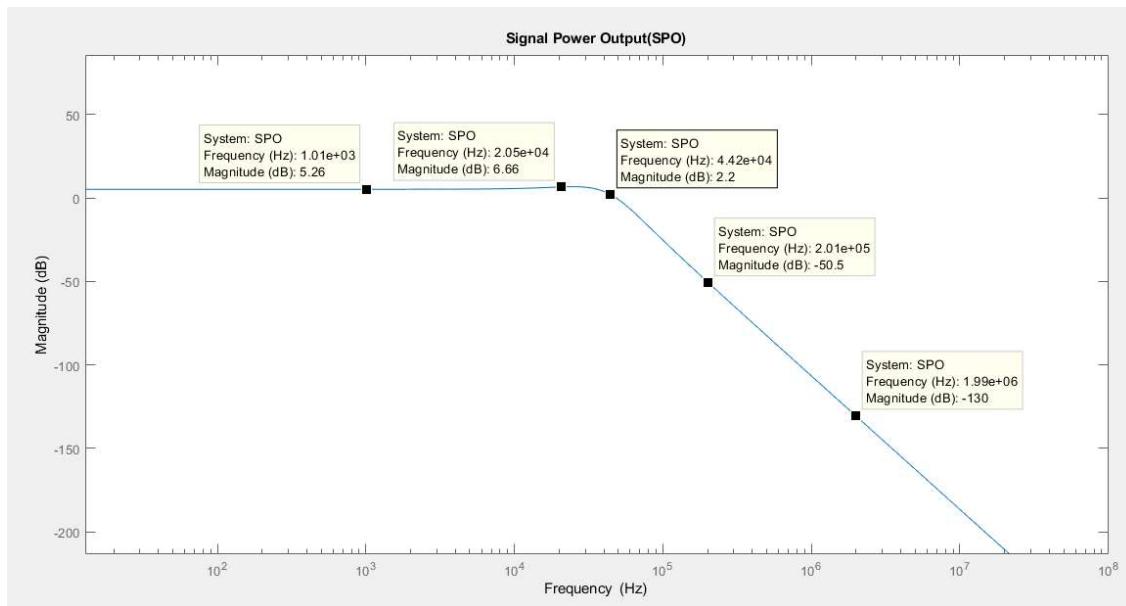


Figura 3.34 Presencia de la señal de audio en la salida

Como puede verse la respuesta en frecuencia de la señal de entrada sobre la resistencia de carga tiene una banda pasante plana dentro de toda la banda de audio y posee una frecuencia de corte de 45KHz (3dB de atenuación) con una atenuación 80dB por década, lo cual resulta en una característica altamente beneficiosa para limitar el ruido de entrada.

### 3.4.3.1 Resultados del filtrado

En la simulación se obtuvieron los siguientes resultados para una señal de entrada de 2v de amplitud y una frecuencia de 2KHz. Primero se realiza el análisis para la señal modulada de salida sin filtrar.

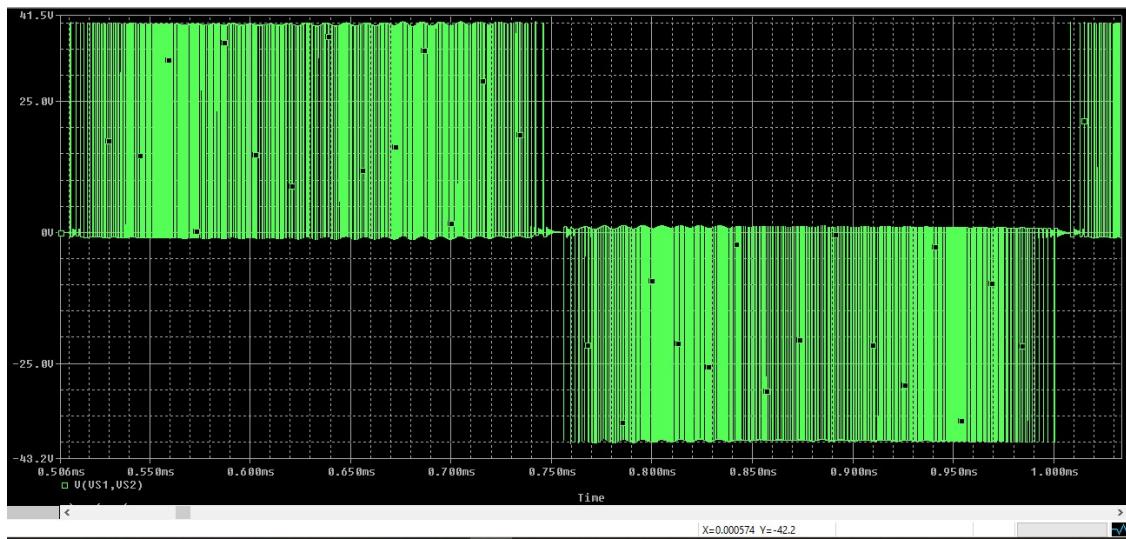


Figura 3.35 Señal modulada de potencia en el dominio del tiempo

La señal de salida es una serie de impulsos cuya amplitud es igual a la tensión de la fuente y la su amplitud es gobernada por el modulador sigma delta gobernadas. Su espectro en frecuencia es el siguiente:

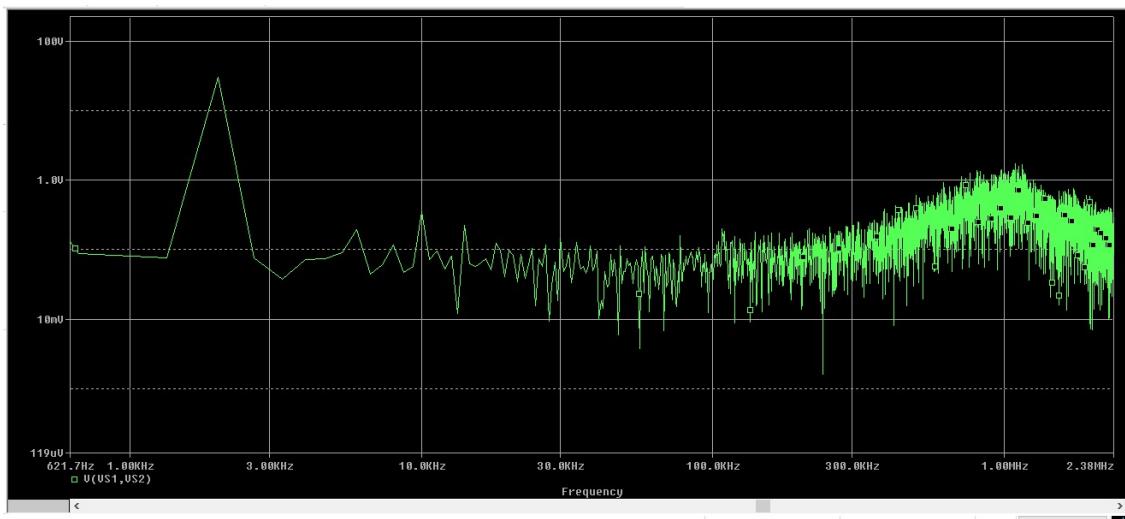


Figura 3.36 Señal modulada de potencia en el dominio de la frecuencia con eje de abscisas logarítmico

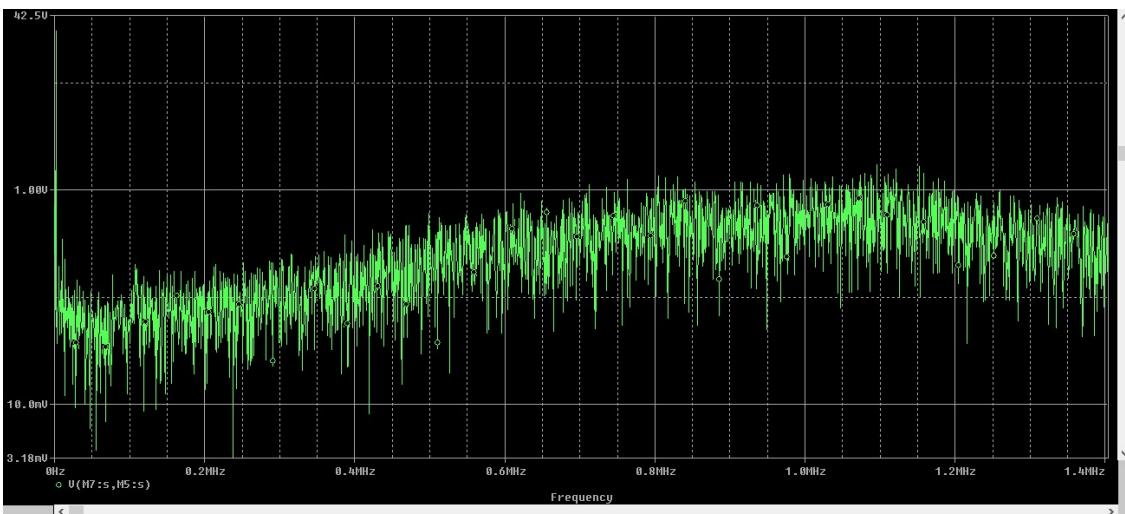


Figura 3.37 Señal modulada de potencia en el dominio de la frecuencia con eje de abscisas lineal

Como puede verse en la respuesta en frecuencia de la señal modulada de salida tiene un alto contenido de ruido que se incrementa en las altas frecuencias y es de baja amplitud en la banda pasante de audio, principalmente las armónicas de la señal de entrada de audio.

A fin de comprobar el efecto del filtro en la eliminación del ruido de alta frecuencia, se estudia la respuesta en frecuencia de la señal de salida en la impedancia de carga posterior al filtrado.

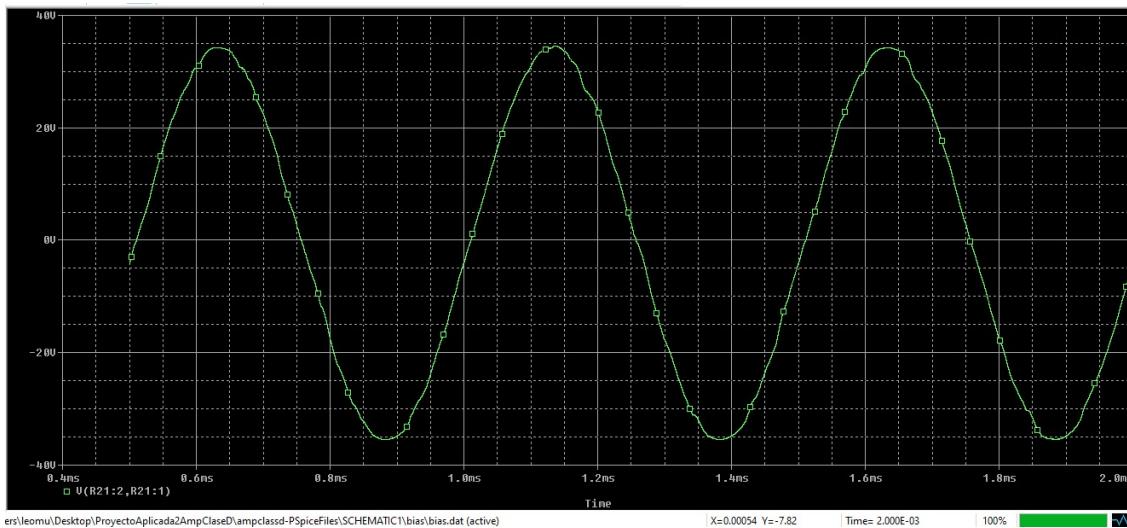


Figura 3.38 Señal de potencia filtrada en el dominio del tiempo

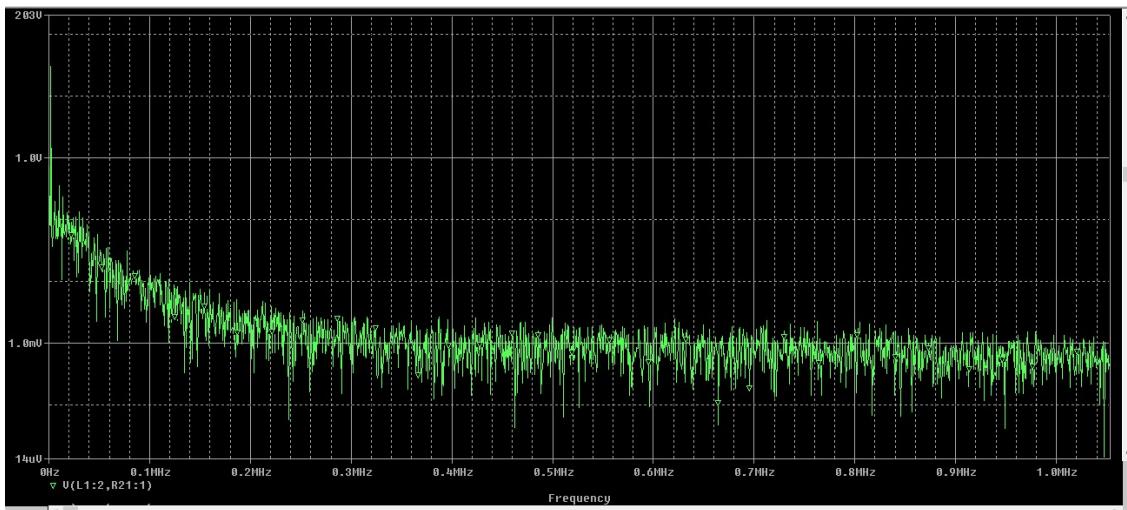


Figura 3.39 Señal de potencia filtrada en el dominio de la frecuencia con eje de abscisas lineal

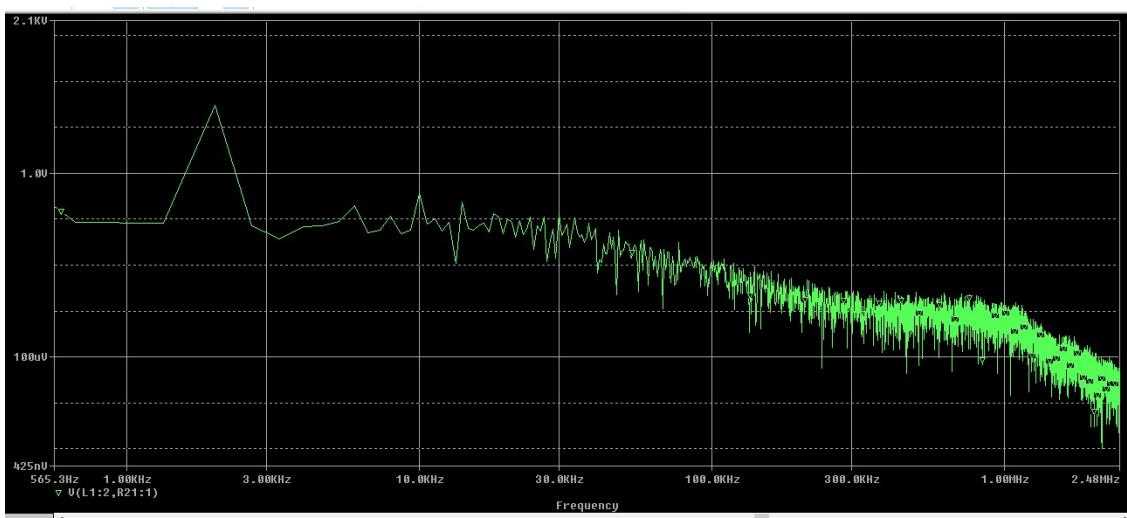


Figura 3.40 Señal de potencia filtrada en el dominio de la frecuencia con eje de abscisas logarítmico

Como puede evaluarse de los resultados obtenidos de la simulación, el filtro logra de forma satisfactoria una reducción significativa del ruido de alta frecuencia producido por el efecto de la modulación sigma delta. Para poder visualizarlo de forma más clara se pueden graficar ambas respuestas en frecuencia, la de la señal de salida filtrada que se corresponde con el trazo rojo y la señal de salida sin filtrar con el trazo verde, para poder calcular el nivel de atenuación del filtro:

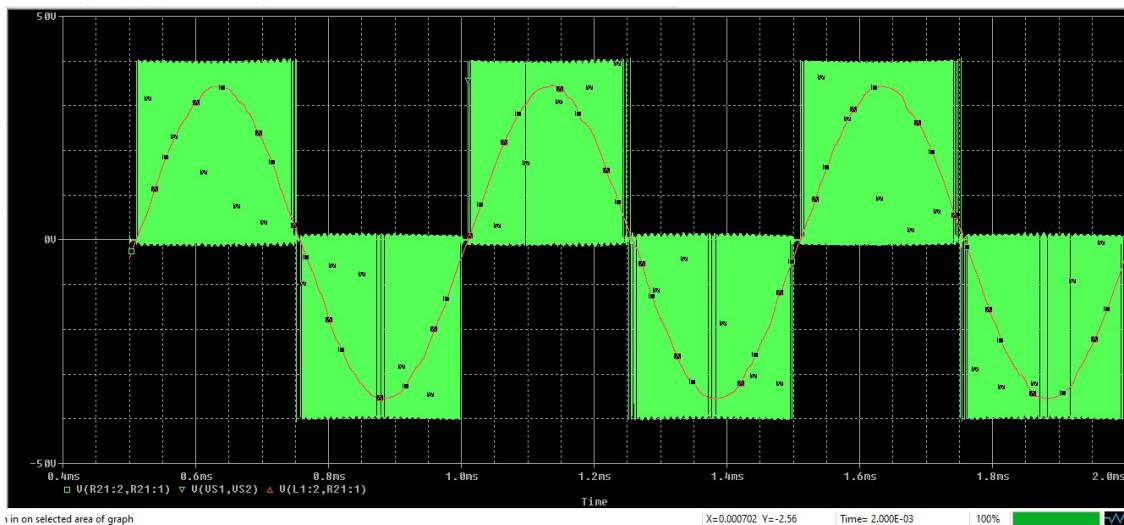


Figura 3.41 Señal de potencia en el dominio del tiempo

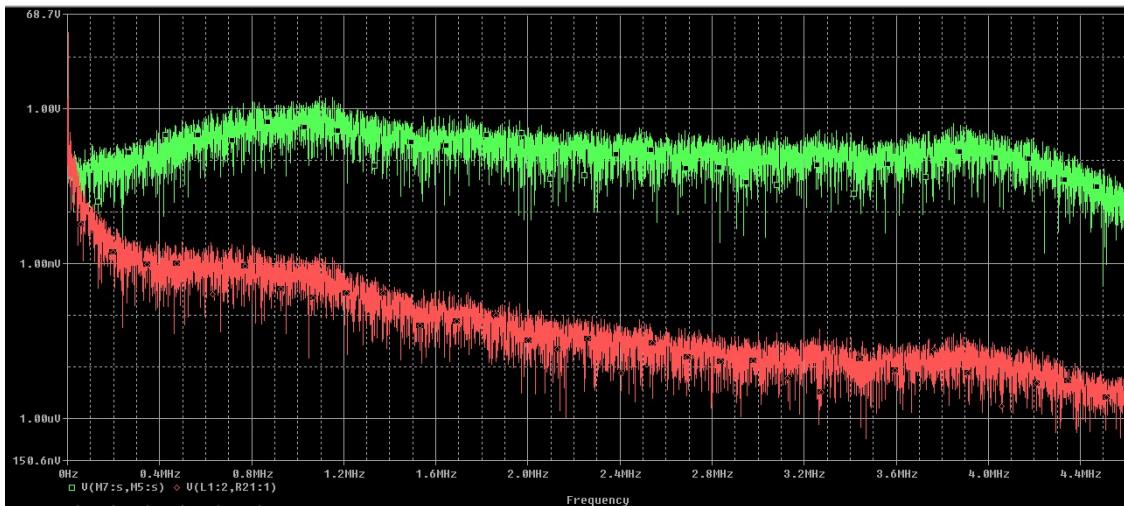
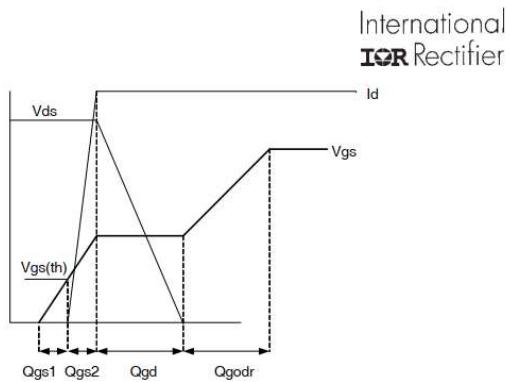


Figura 3.42 Señal de potencia en el dominio de la frecuencia

### 3.4.5 Limitación de corriente

En los instantes en que se modula alguna de las ramas del medio puente H, los MOSFET se activan de forma complementaria según sea la señal de modulación. La conmutación de ambos semiconductores no se da de forma instantánea, sino que esta conmutación toma cierto tiempo debido a las descargas de las capacidades internas de los dispositivos semiconductores y el paso del dispositivo por la zona activa. Además, durante este intervalo de tiempo la entrada de la fuente de tensión queda cortocircuitada con masa debido al tiempo de recuperación inversa del diodo intrínseco, lo que ocasiona un alto nivel de circulación de corriente y un elevado nivel de disipación de potencia.

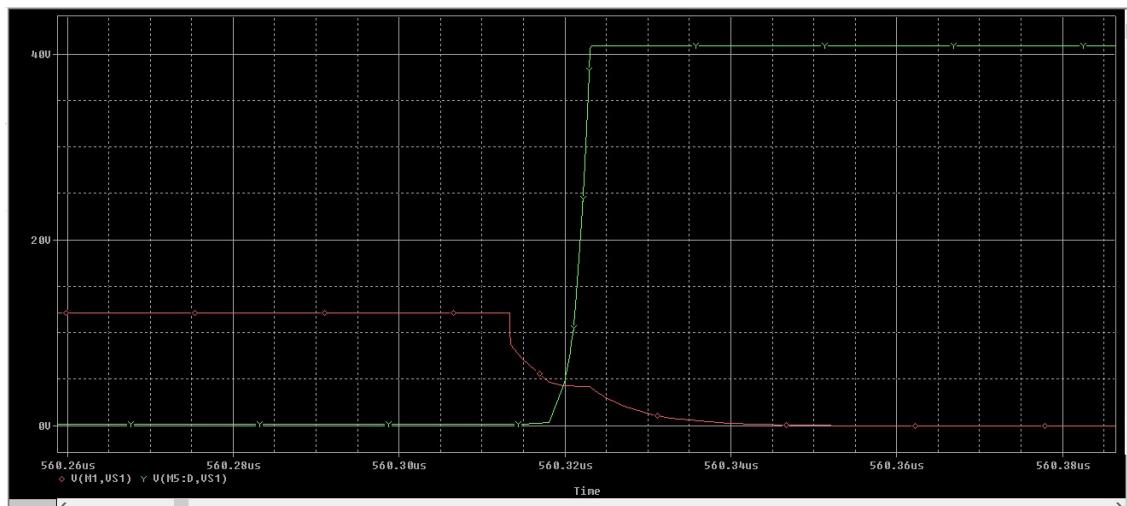
En el siguiente grafico resultado de la simulación y de la hoja de datos del MOSFET se puede observarse que toma cierto tiempo cargar la compuerta de entrada para que el dispositivo semiconductor pase de estado cortado a estado activo. Este tiempo de conmutación es la principal causa de las pérdidas de conmutación del dispositivo y en consecuencia por la circulación de altos niveles de corriente durante la conmutación.



**Fig 17b.** Gate Charge Waveform

**Figura 3.43** Formas de onda durante la carga de compuerta

Los resultados de la simulación son los siguientes:



**Figura 3.44** VGS y VDS durante la desactivación

En la figura anterior se puede verificar el efecto del retardo en la desactivación por el efecto de las capacidades internas del MOSFET donde el trazo rojo se corresponde con la tensión VGS y el trazo verde con la tensión VDS.

A continuación, se agrega al grafico la corriente que circula por el MOSFET durante la conmutación con el trazo azul.

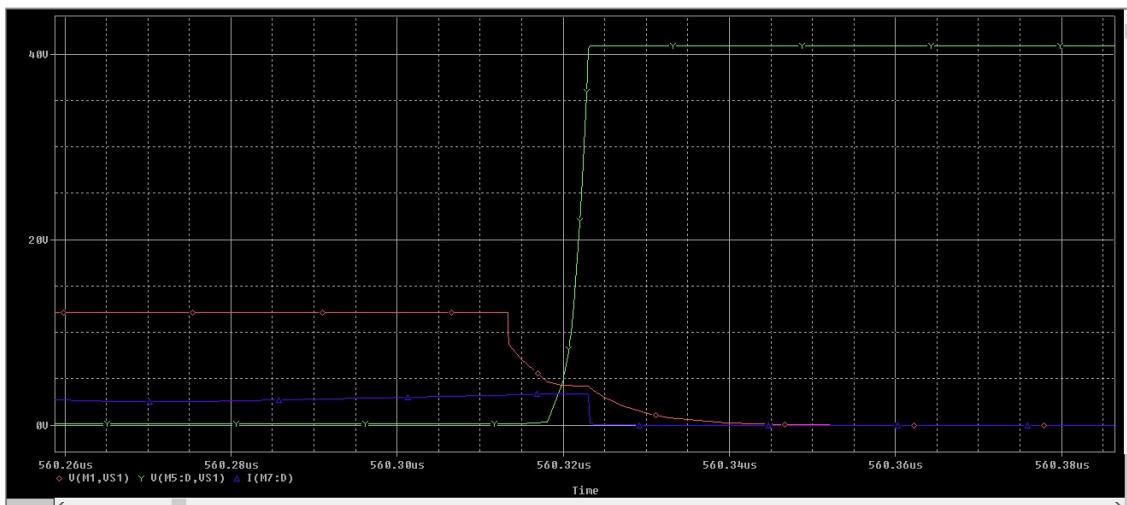


Figura 3.45 VGS, VDS y corriente de puerta durante la desactivación

Como se ve en la figura anterior, en el instante de la conmutación la tensión VDS aumenta mientras hay corriente circulando por el MOSFET, esto produce picos de potencia disipada en el dispositivo durante la conmutación. Esto se representa en el grafico siguiente con el trazo amarillo

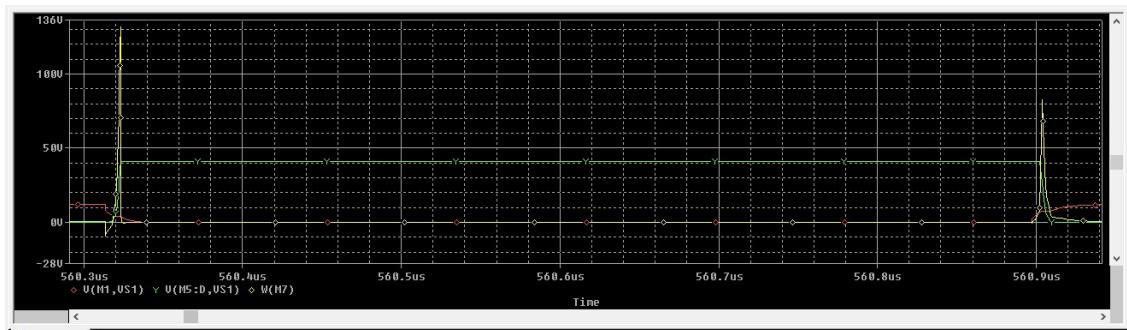


Figura 3.46 Perdidas de potencia en la conmutación

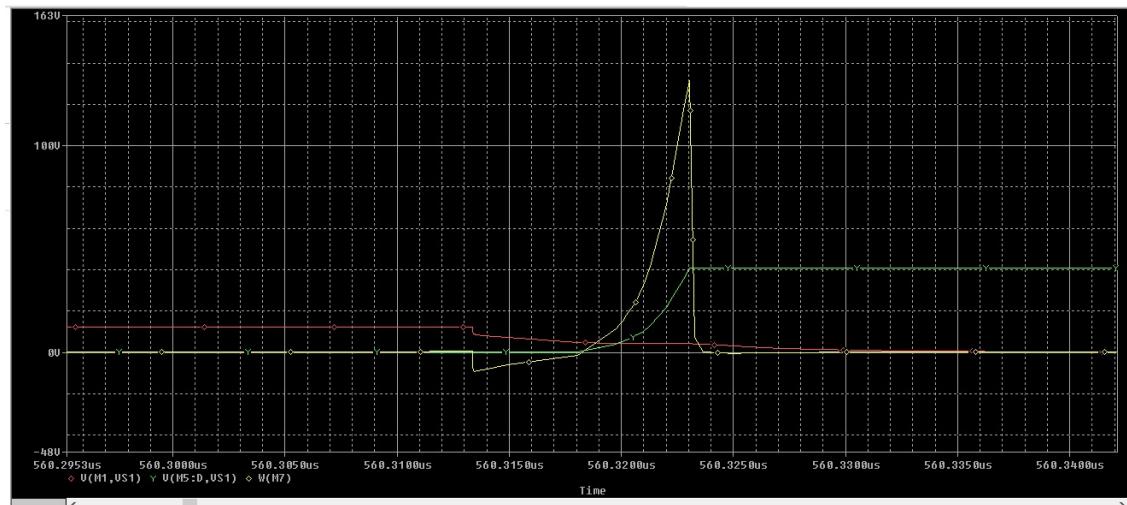


Figura 3.47 Perdidas de potencia en la desactivación

Los elevados niveles de corriente que circulan durante la conmutación pueden dañar al dispositivo semiconductor, tanto los niveles de corrientes máximas lo cual aparece en la hoja

de datos del dispositivo, como el valor de  $di/dt$ , esto indica la máxima velocidad de crecimiento que puede tener la corriente que circula por el semiconductor. De la hoja de datos del dispositivo IRF6665 se pueden extraer ambos valores:

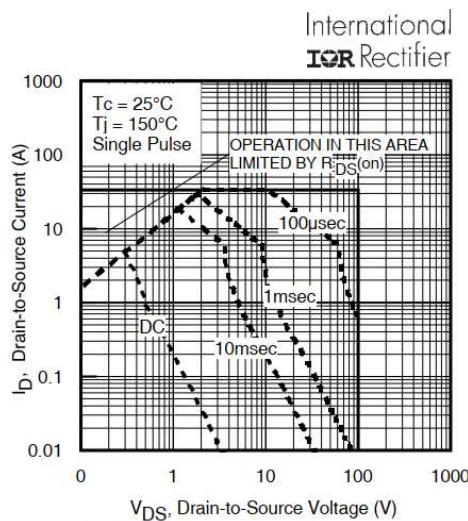


Fig 8. Maximum Safe Operating Area

Figura 3.48 Área de operación segura de funcionamiento

Según el grafico de operación segura provisto por el fabricante, en régimen pulsan el máximo nivel de corriente circulante es de 34A, por lo tanto, debemos proteger al dispositivo para no llegar a dicho valor.

#### Diode Characteristics

	Parameter	Min.	Typ.	Max.	Units	Conditions
$I_S$	Continuous Source Current (Body Diode)	—	—	38	A	MOSFET symbol showing the integral reverse p-n junction diode.
$I_{SM}$	Pulsed Source Current (Body Diode) ①	—	—	34		
$V_{SD}$	Diode Forward Voltage	—	—	1.3	V	$T_J = 25^\circ\text{C}, I_S = 5.0\text{A}, V_{GS} = 0\text{V}$ ④
$t_{rr}$	Reverse Recovery Time	—	31	—	ns	$T_J = 25^\circ\text{C}, I_F = 5.0\text{A}, V_{DD} = 25\text{V}$ $di/dt = 100\text{A}/\mu\text{s}$ ④
$Q_{rr}$	Reverse Recovery Charge	—	37	—	nC	

Figura 3.49 Características del diodo intrínseco del MOSFET

Como bien se menciono anteriormente debe protegerse al dispositivo contra aumentos abruptos de corriente por la existencia de un diodo intrínseco en el dispositivo, este valor al cual el dispositivo está en condición de funcionamiento seguro es de 100A/us.

Para dejar un amplio margen sobre ambos valores, se colocan inductores limitadores de corriente entre en el terminal de fuente del MOSFET superior y el drenador del MOSFET inferior.

Colocaremos inductancias de 1uH en ambos extremos de los semiconductores, es esta forma, durante la conmutación la corriente queda limitadas por la serie de ambas inductancias, es decir 2uH. El calculo de la máxima velocidad de crecimiento de la corriente se procede de la siguiente manera:

$$V_s = L \frac{di}{dt}$$

$$40V = 2\mu H \frac{di}{dt}$$

$$\frac{di}{dt} = \frac{40V}{2\mu H} = 20A/\mu s$$

Esto nos deja un amplio margen de seguridad y además limita el máximo valor de corriente alcanzado durante la conmutación, los resultados de la conmutación son los siguiente:

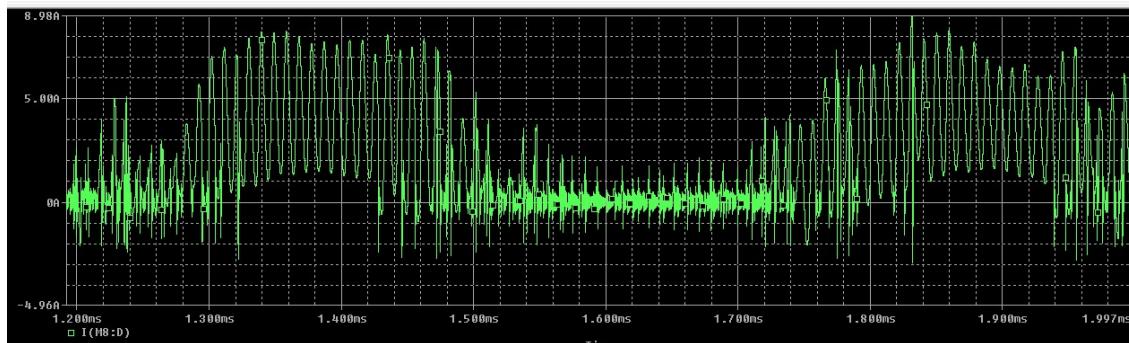


Figura 3.50 Corriente de compuerta del MOSFET

El calor máximo de corriente instantánea alcanzado a es de 8A por lo tanto el dispositivo tiene un amplio margen de para trabajar en su zona de funcionamiento seguro.

Como se ve en la simulación, entre los 1.5ms y 1.7ms es cuando mayor es el valor de  $di/dt$  por los efectos oscilatorios de la interacción del filtro de segundo orden utilizado en la salida y los inductores limitadores de corriente. En la siguiente figura se puede ver lo que sucede en el intervalo de tiempo previamente mencionado.

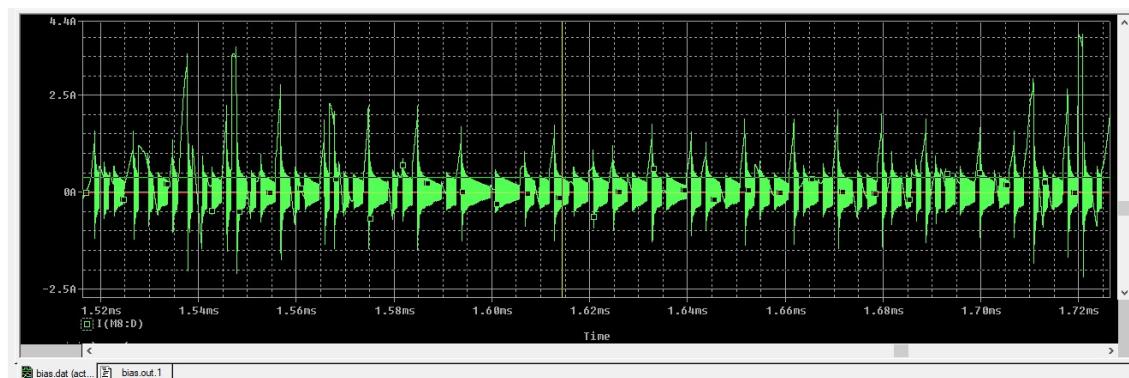


Figura 3.51 Corriente de compuerta del durante la oscilación de segundo orden MOSFET

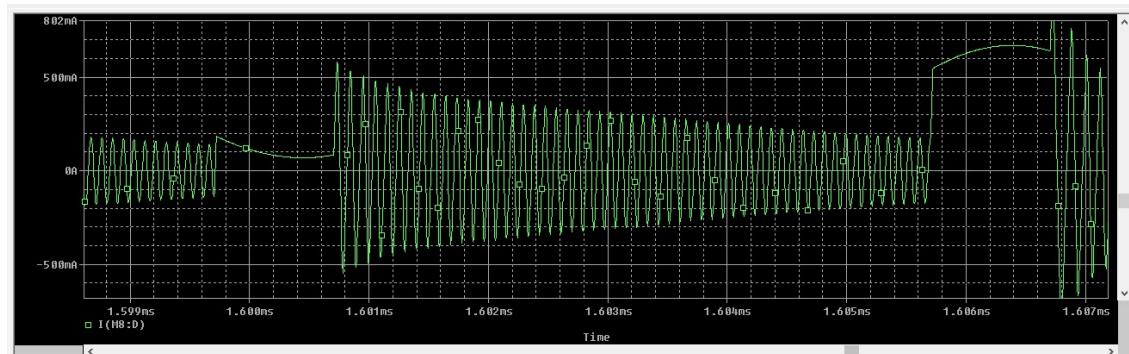


Figura 3.52 Corriente de compuerta del durante el periodo de la oscilación de segundo orden MOSFET

Analizando el crecimiento de la corriente durante estas oscilaciones se mide en la simulación que el valor de  $di/dt$  es el siguiente:

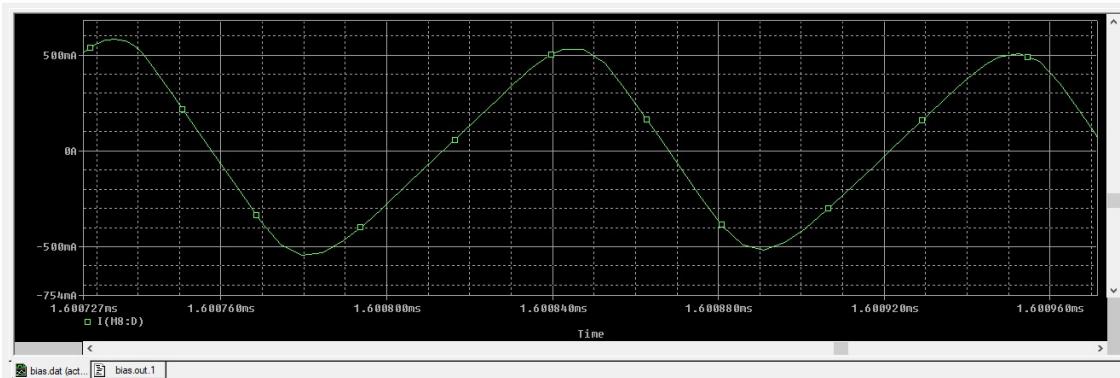


Figura 3.53 Corriente de compuerta del durante un ciclo de oscilación de segundo orden MOSFET

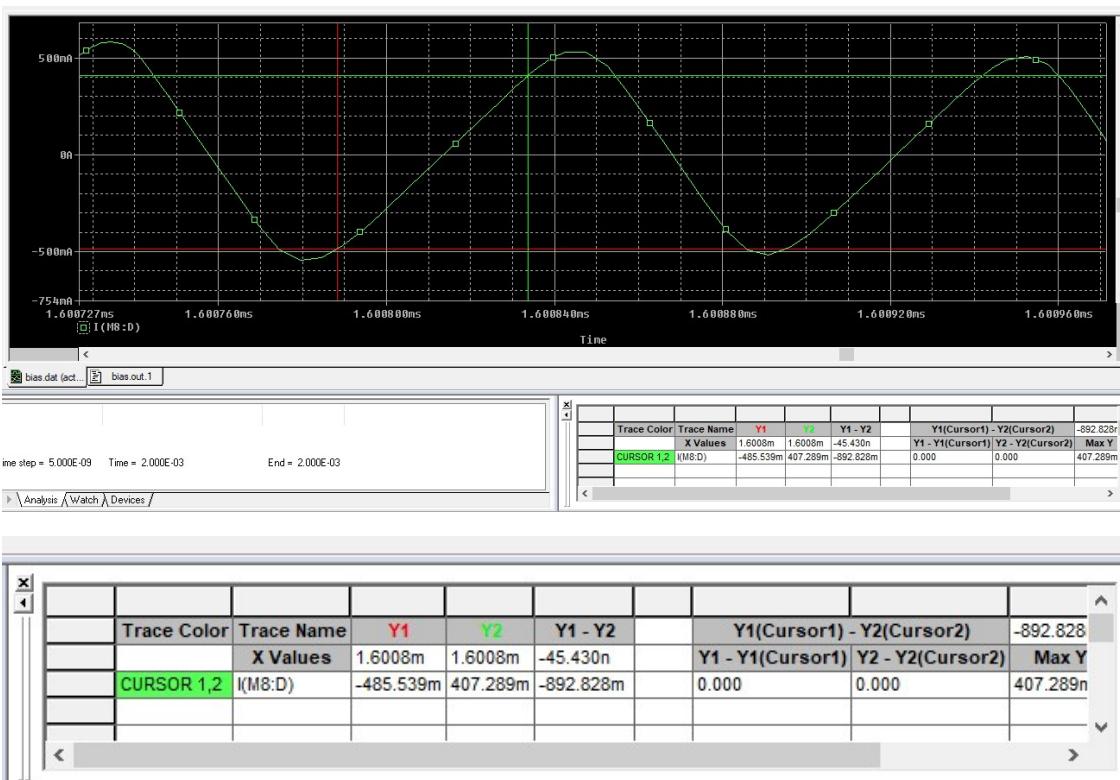


Figura 3.54 Medición de Corriente de compuerta del durante un ciclo de oscilación de segundo orden

$$\frac{di}{dt} = \frac{893.2mA}{45ns} = 20 \frac{A}{\mu s}$$

Lo cual se condice con lo que se calculó previamente, por lo tanto, los MOSFET se encuentran trabajando en una región segura.

### 3.4.6 Disipación de potencia en los MOSFET

Las pérdidas de potencia en los MOSFET tendrán dos componentes principales, una de ellas a causa de la resistencia en estado ON del semiconductor  $R_{DS(ON)}$  que será proporcional a la corriente de carga y la segunda debido a las perdidas en conmutación que será proporcional a la frecuencia de conmutación.

- Cálculo de perdida por  $R_{DS(ON)}$

En el hemiciclo positivo, la corriente circulará por el dispositivo superior de la rama izquierda y por el dispositivo inferior de la rama derecha y en el hemiciclo negativo los dispositivos complementarios estarán activados. Por esto puede aproximarse a que la corriente eficaz de carga circula de forma alternada por cada conjunto de dispositivos.

Para una alimentación de 40v, la máxima tensión eficaz sobre la carga es:

$$V_{RMS} = \frac{40V}{\sqrt{2}} = 28,28V$$

Esta tensión aplicada sobre la resistencia de carga  $8\Omega$  en serie con la resistencia  $R_{DS(ON)}$  de dos MOSFET cuyo valor es  $53m\Omega$  (dato extraído de la hoja de datos)

$$I_{RMS} = \frac{V_{RMS}}{8\Omega + 53m\Omega + 53m\Omega} = 3,48A$$

Por ejemplo, para el hemiciclo positivo  $i_{M7} = i_{M6}$  y, por lo tanto, solo cada medio ciclo circula corriente por cada semiconductor, por lo tanto, la disipación de potencia en  $R_{DS(ON)}$  es:

$$P_{RDS(ON)} = 53m\Omega * \frac{1}{2\pi} \int_0^{\pi} 4,95 * \sin^2(t) dt = 4,425mW$$

Para calcular el incremento de temperatura de carcasa producido por esta potencia se debe buscar en la hoja de datos del semiconductor el valor de la resistencia térmica juntura carcasa.

**Thermal Resistance**

	Parameter	Typ.	Max.	Units
$R_{\theta JA}$	Junction-to-Ambient ③⑨	—	58	°C/W
$R_{\theta JA}$	Junction-to-Ambient ⑥⑨	12.5	—	
$R_{\theta JA}$	Junction-to-Ambient ⑦⑨	20	—	
$R_{\theta JC}$	Junction-to-Case ⑧⑨	—	3.0	
$R_{\theta J-PCB}$	Junction-to-PCB Mounted	1.4	—	

Notes ① through ⑩ are on page 2

**Figura 3.55** Características térmicas del dispositivo

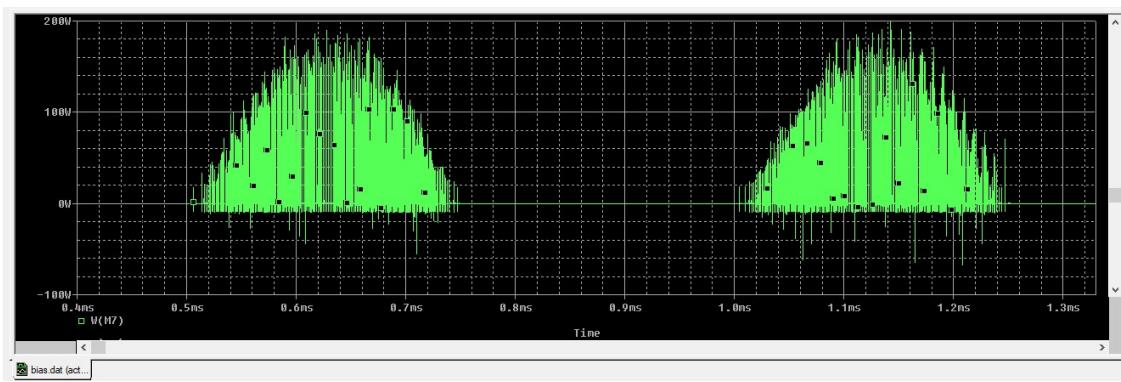
En este caso, el valor que se busca para régimen estático es de  $58^{\circ}\text{C}/\text{W}$  por lo tanto el aumento de temperatura debido a la disipación de potencia en  $R_{DS(ON)}$  es:

$$\Delta T_{RDS(ON)} = R_{\theta JC} * P_{RDS(ON)} = 58^{\circ}\frac{C}{W} * 4,425mW = 0,256^{\circ}\text{C}$$

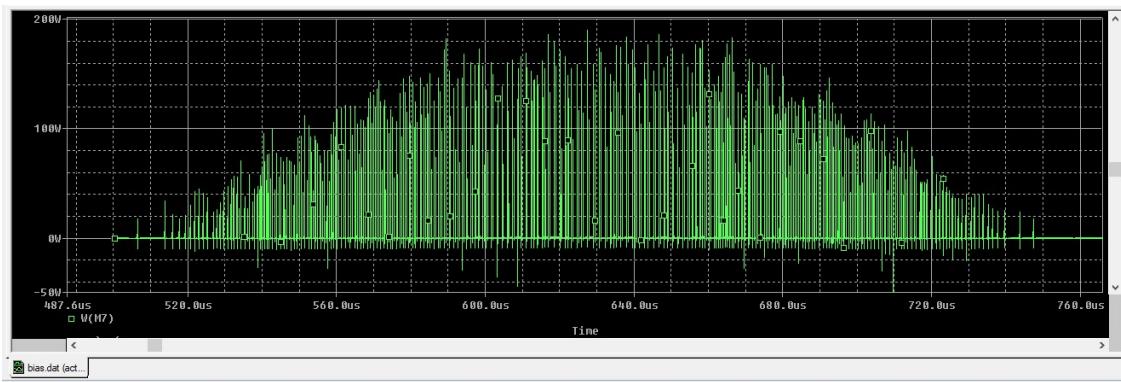
Como es de esperarse este valor es prácticamente despreciables y la totalidad de la disipación de potencia estará definida por las pérdidas en conmutación.

- Cálculo de perdida por conmutación

A medida que mayor sea la frecuencia de conmutación, mayores serán las perdidas por conmutación. Durante cada ciclo de conmutación se producen picos de pedidas de potencia, que tendrán cierta duración y también un determinado valor de ciclo de trabajo, dichos valores se obtienen de la simulación.



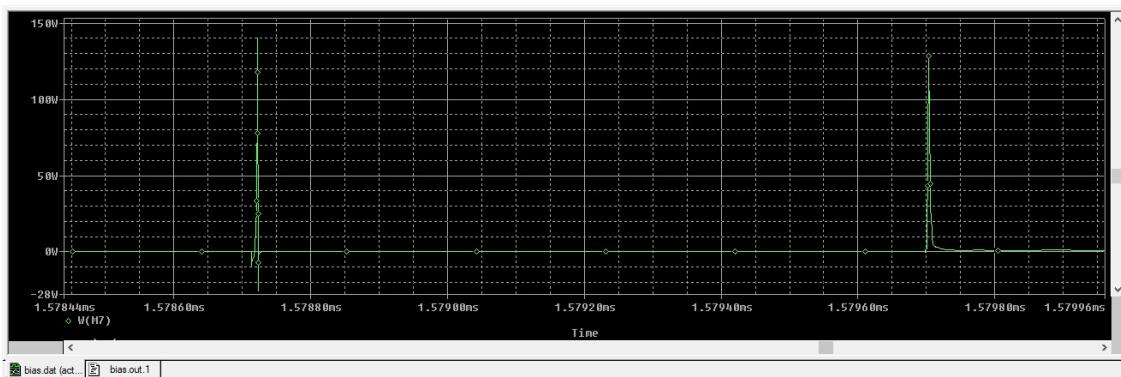
**Figura 3.56** Picos de potencia de dos ciclos de conmutación



**Figura 3.57** Picos de potencia de un ciclo de conmutación

En esta figura pueden verse los picos de potencia disipada durante un hemiciclo de la onda de audio, cuyos valores pico llegan a los 200W en régimen pulsante. A fin de realizar un calculo aproximado los picos de potencia se considerarán de una amplitud uniforme de 100W.

Si realizando un acercamiento entre dos pulsos de disipación de potencia se obtienen lo siguiente:



**Figura 3.58** Separación de pulsos de potencia de conmutación de 1us

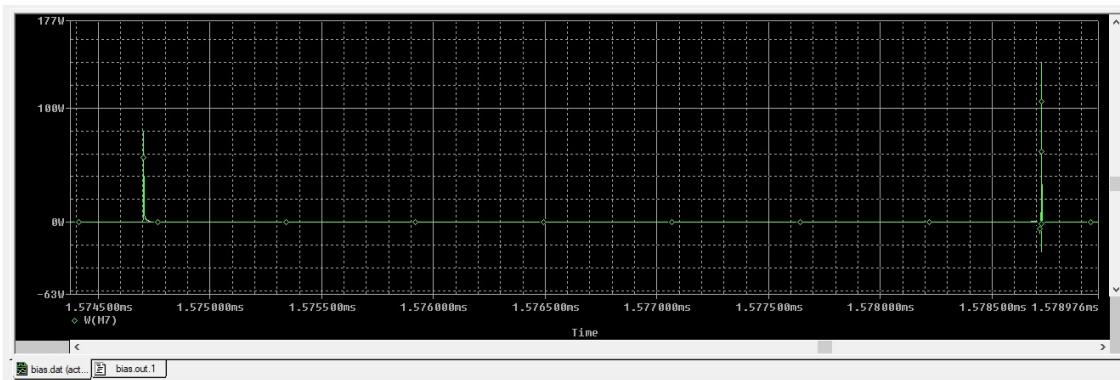


Figura 3.59 Separación de pulsos de potencia de conmutación de 4us

Como la frecuencia de conmutación máxima se rige por el oscilador de los biestables cuya frecuencia es de 1MHz y la frecuencia de conmutación de salida depende de la amplitud de la señal de entrada depende de la amplitud de la señal de entrada, entonces, dicha frecuencia de conmutación no necesariamente será de 1MHz.

Como se vio en las figuras anterior hay pulsos que tienen una separación de 1us y otros que tienen una separación de 4us. A fin de realizar un cálculo aproximar, se utilizará una frecuencia de conmutación para el cálculo de disipación de 500KHz.

Al tratarse de régimen de disipación por pulsos, no sería correcto utilizar el valor de resistencia térmica juntura carcasa, sino que se utiliza un valor de impedancia térmica transitoria juntura carcasa que es menor que dicha resistencia por el efecto de la capacidad térmica de los elementos. Este valor se obtiene de la hoja de datos del MOSFET utilizando como datos el ciclo de trabajo y el ancho de pulso previamente obtenido de la simulación.

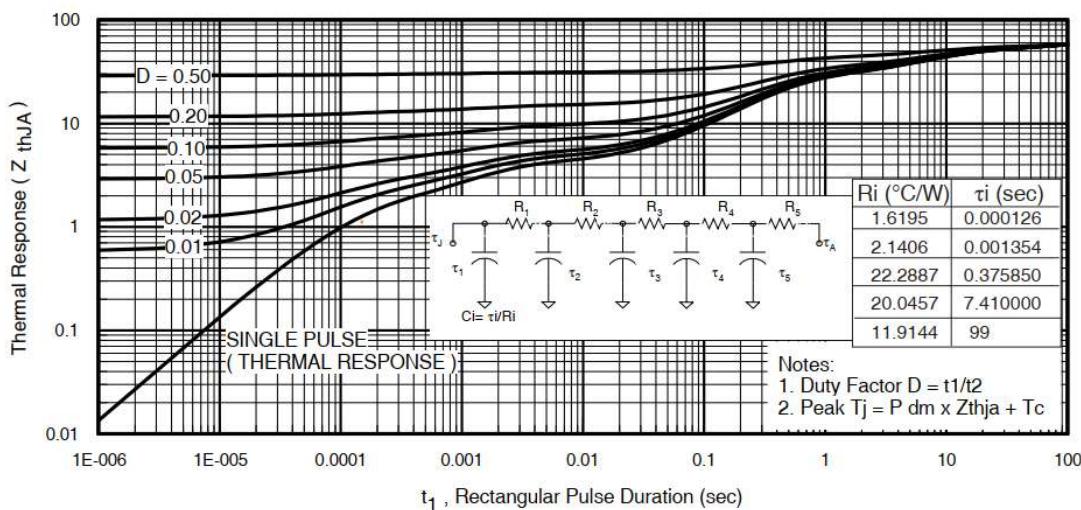
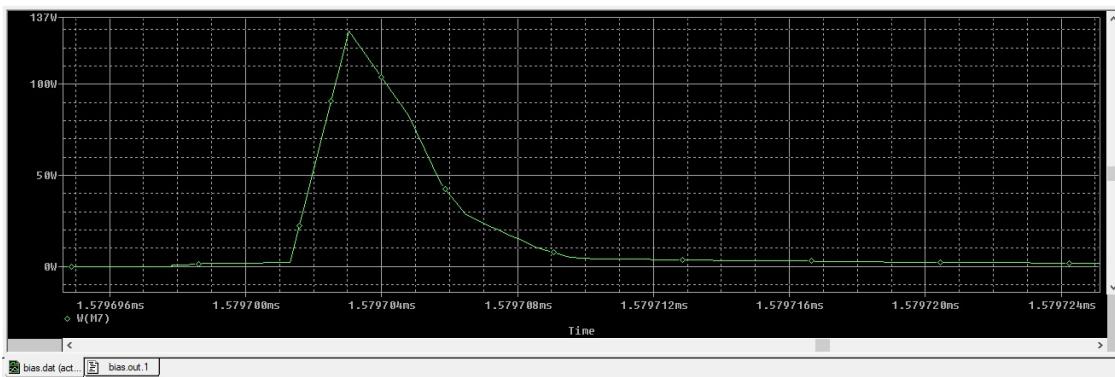


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Ambient ③

Figura 3.60 Impedancia térmica transitoria del dispositivo



**Figura 3.61** Focalización de un pulso de potencia de conmutación

La duración de cada pulso de disipación de potencia durante la conmutación es de 6ns. Pero este número no es que se debe utilizar para la determinación de la impedancia térmica transitoria ya que el grafico se utiliza para pulsos cuadrados de amplitud cuadrada. Para que la energía del pulso triangular sea igual a la de un pulso cuadrado de igual amplitud, su ancho de pulso equivalente es la mitad, por lo tanto, la aproximación final a pulsos cuadrados de disipación de potencia en conmutación tiene los siguientes valores:

- Ancho de pulso 3ns
- Periodo 2us
- Ciclo de trabajo 0.0015
- Amplitud 100W

Como en la gráfica de impedancia térmica transitoria provista por el fabricante en la hoja de datos para los valores no hay una curva para los valores de previamente mencionados realizaremos una interpolación entre la curva correspondiente a un ancho de pulso de 1us y la curva de ciclo de trabajo de 0,1 y pulso único se llega a una impedancia térmica transitoria de:

$$Z_{\theta JC} = 0.1 \text{ } ^\circ C/W$$

Finalmente, para calcular el incremento de temperatura debido a la conmutación es:

$$\Delta T_{Conmutacion} = Z_{\theta JC} * P_{Conmutacion} = 0.1 \frac{\text{ } ^\circ C}{W} * 100W = 10 \text{ } ^\circ C$$

Una vez obtenido el valor del incremento de temperatura debido a las perdidas en  $R_{DS(ON)}$  y en la conmutación se puede calcular la temperatura final del dispositivo de la siguiente manera:

$$T_j = T_{amb} + \Delta T_{RDS(ON)} + \Delta T_{Conmutacion} = 25 \text{ } ^\circ C + 0.256 \text{ } ^\circ C + 10 \text{ } ^\circ C = 35,25 \text{ } ^\circ C$$

Siendo que la temperatura de juntura está muy por debajo la temperatura máxima que el dispositivo puede soportar (150°C) se llega a la conclusión que **NO ES NECESARIO LA UTILIZACION DE UN DISIPADOR DE CALOR.**

$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	42	W
$P_D @ T_A = 25^\circ C$	Power Dissipation ③	2.2	
$P_D @ T_A = 70^\circ C$	Power Dissipation ③	1.4	
	Linear Derating Factor	0.017	W/°C
$T_J$	Operating Junction and Storage Temperature Range	-40 to +150	°C
$T_{STG}$			

**Figura 3.62** Características térmicas máximas del dispositivo

## 4- Resultados Finales

A fin de verificar los requisitos propuestos en la tabla 1.1 de potencia de salida, distorsión armónica y eficiencia se realizará una serie de simulaciones para señales de entrada de audio de 1KHz, 2Khz, 5Khz, 8Khz, 10Khz, 12.5Khz, 16Khz y 20Khz.

### 4.1 Análisis de requerimientos de salida

Para cada una de las frecuencias se añadirán los gráficos de onda de salida en el dominio del tiempo y frecuencia, además de la herramienta provista por el software que para el cálculo de la distorsión armónica total THD.

#### 4.1.1 Entrada de 1KHz

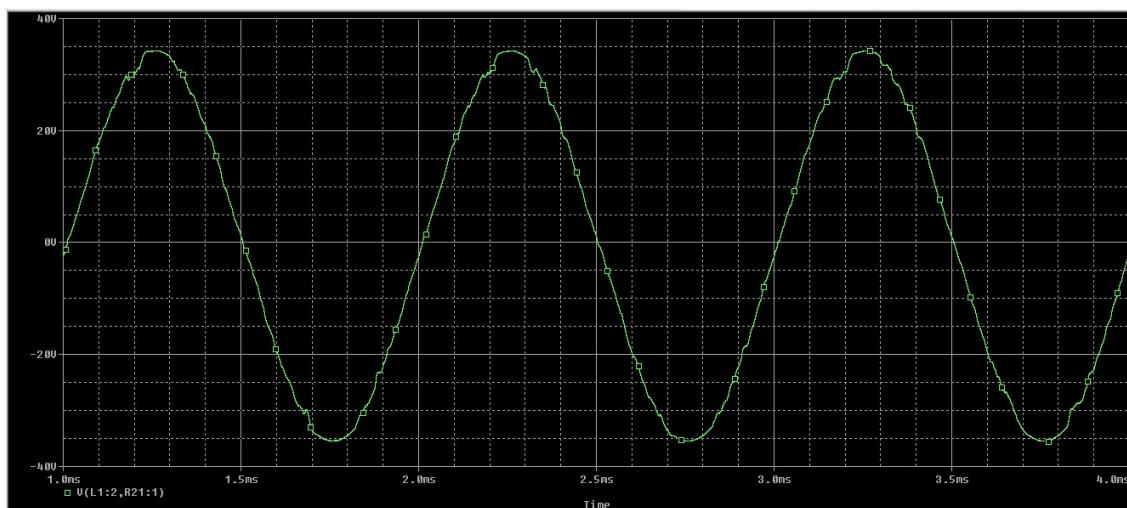


Figura 4.1 Salida de 1Khz en el dominio del tiempo

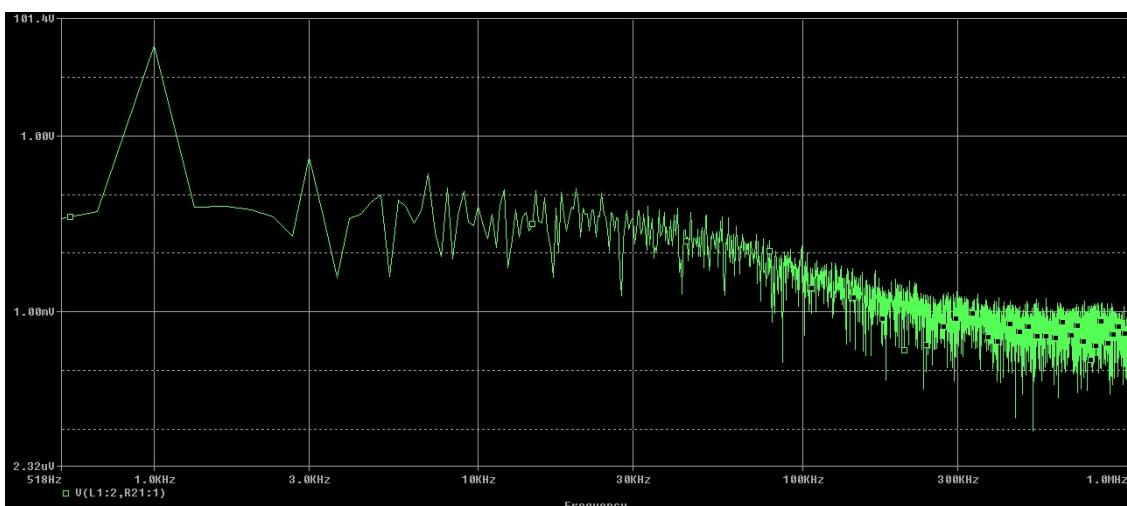


Figura 4.2 Salida de 1Khz en el dominio de la frecuencia

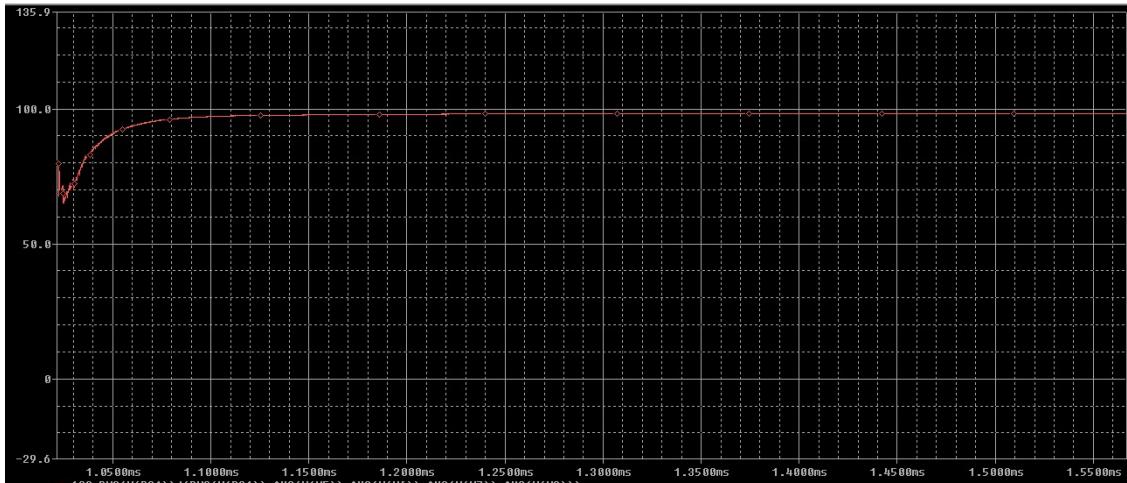
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056,N67772)

DC COMPONENT = -6.9965E-01

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	1.0000E+03	3.4373E+01	1.0000E+00	-3.1531E+00	0.0000E+00
2	2.0000E+03	9.5380E-02	2.7748E-03	1.6920E+01	2.3226E+01
3	3.0000E+03	4.4583E-01	1.2970E-02	1.6437E+02	1.7382E+02
4	4.0000E+03	1.8044E-02	5.2493E-04	-1.5157E+02	-1.3895E+02
5	5.0000E+03	7.6109E-03	2.2142E-04	-1.0551E+02	-8.9741E+01
6	6.0000E+03	1.1943E-01	3.4745E-03	1.5901E+02	1.7793E+02
7	7.0000E+03	2.7260E-01	7.9305E-03	1.6246E+02	1.8453E+02
8	8.0000E+03	1.2163E-01	3.5385E-03	4.3003E+01	6.8227E+01
9	9.0000E+03	1.4045E-01	4.0860E-03	1.6893E+02	1.9731E+02
10	1.0000E+04	1.2998E-01	3.7813E-03	-8.1322E+01	-4.9791E+01
11	1.1000E+04	7.7868E-03	2.2654E-04	6.0417E+00	4.0726E+01
12	1.2000E+04	1.4942E-01	4.3469E-03	1.0082E+02	1.3866E+02
13	1.3000E+04	7.9034E-02	2.2993E-03	1.3036E+02	1.7135E+02
14	1.4000E+04	6.7029E-02	1.9500E-03	8.6531E-01	4.5008E+01
15	1.5000E+04	1.1901E-01	3.4622E-03	-9.8901E+01	-5.1605E+01
16	1.6000E+04	9.9899E-02	2.9063E-03	-1.2153E+02	-7.1077E+01
17	1.7000E+04	4.1613E-02	1.2106E-03	-1.0701E+01	4.2901E+01
18	1.8000E+04	1.3514E-01	3.9316E-03	6.4698E+01	1.2145E+02
19	1.9000E+04	1.1383E-01	3.3116E-03	4.1256E+01	1.0116E+02
20	2.0000E+04	1.2835E-01	3.7341E-03	1.1021E+02	-4.7144E+01
21	2.1000E+04	1.3612E-01	3.9600E-03	-1.6951E+02	-1.0329E+02
22	2.2000E+04	1.3606E-01	3.9582E-03	-1.3578E+02	-6.6408E+01
23	2.3000E+04	9.3626E-03	2.7238E-04	1.2904E+02	2.0156E+02
24	2.4000E+04	9.7312E-02	2.8310E-03	5.4773E+01	1.3045E+02
25	2.5000E+04	3.3519E-02	9.7513E-04	7.9553E+01	1.5838E+02
26	2.6000E+04	7.2247E-02	2.1018E-03	3.4763E+01	1.1674E+02
27	2.7000E+04	7.4119E-02	2.1563E-03	-1.4291E+02	-5.7775E+01
28	2.8000E+04	4.4565E-02	1.2965E-03	1.7513E+02	2.6341E+02
29	2.9000E+04	6.2134E-02	1.8076E-03	-3.5332E+01	5.6107E+01
30	3.0000E+04	1.1726E-01	3.4114E-03	-1.5720E+02	-6.2610E+01

TOTAL HARMONIC DISTORTION = 2.1239E+00 PERCENT

Figura 4.3 Perfil de armónicos para una onda de salida de 1KHz



Trace Color	Trace Name	Y1	Y2	Y1 - Y2	Y1(Cursor1) - Y2(Cursor2)	199.735m			
X Values	1.2011m 1.1601m 41.037u	Y1 - Y1(Cursor1)	Y2 - Y2(Cursor2)	Max Y	Min Y	Avg Y			
CURSOR 1.2	100*RMS(W(R21))/(RMS(W(R21))+AVG(W(M5))+AVG(W(M6))+AVG(W(M7))+AVG(W(M8)))	98.031	97.831	199.735m	0.000	0.000	98.031	97.831	97.931

Figura 4.4 Eficiencia para una onda de salida de 1KHz

## 4.1.2 Entrada de 2KHz

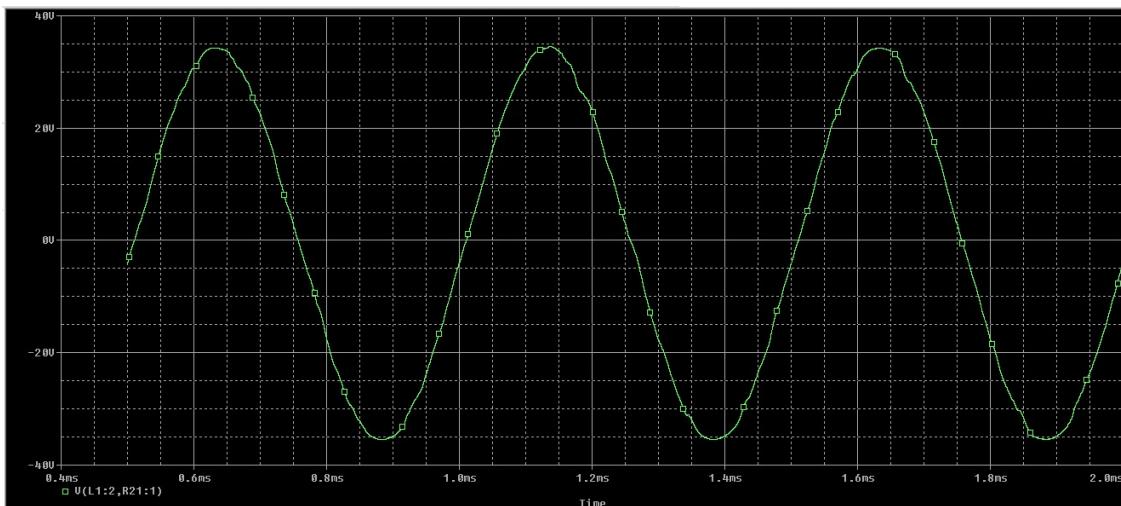


Figura 4.5 Salida de 2KHz en el dominio del tiempo

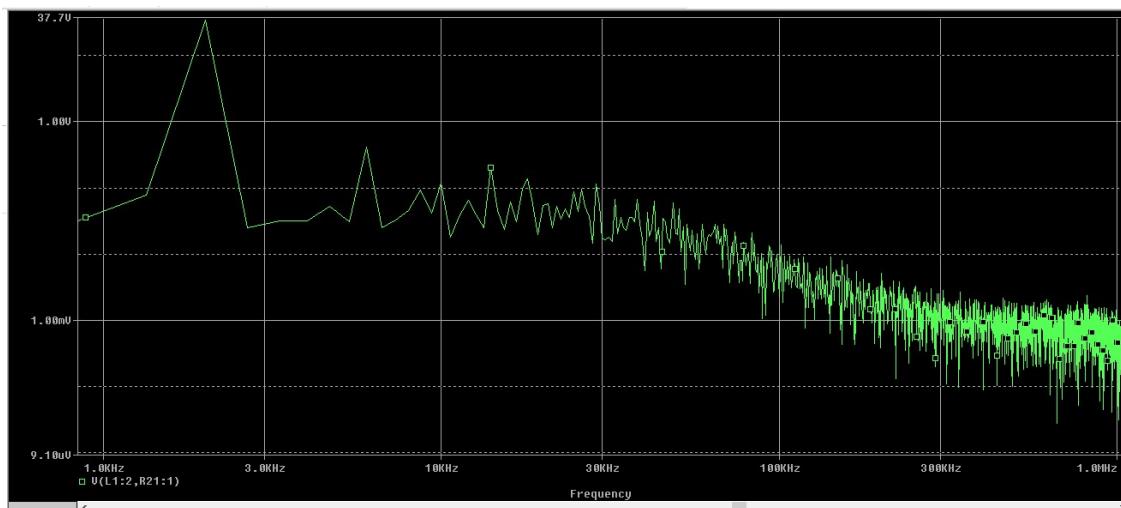


Figura 4.6 Salida de 2KHz en el dominio de la frecuencia

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056,N67772)						
DC COMPONENT = -6.3535E-01						
HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)	
1	2.0000E+03	3.4558E+01	1.0000E+00	-6.5346E+00	0.0000E+00	
2	4.0000E+03	9.0365E-02	2.6149E-03	-1.7970E+02	-1.6663E+02	
3	6.0000E+03	4.1411E-01	1.1983E-02	1.6404E+02	1.8364E+02	
4	8.0000E+03	1.1443E-01	3.3113E-03	1.7138E+02	1.9752E+02	
5	1.0000E+04	4.8619E-02	1.4069E-03	1.3639E+02	1.6906E+02	
6	1.2000E+04	7.9687E-02	2.2770E-03	-7.4565E+01	-3.5458E+01	
7	1.4000E+04	2.1726E-01	6.2870E-03	1.0671E+02	1.5245E+02	
8	1.6000E+04	5.0041E-02	1.4480E-03	9.4856E-01	5.3225E+01	
9	1.8000E+04	1.6662E-01	4.8216E-03	1.0408E+02	1.6289E+02	
10	2.0000E+04	1.0314E-01	2.9847E-03	1.1105E+02	1.7640E+02	
11	2.2000E+04	1.0183E-01	2.9465E-03	-1.0856E+02	-3.6684E+01	
12	2.4000E+04	4.8867E-02	1.4141E-03	-7.0794E+01	7.6206E+00	
13	2.6000E+04	1.4172E-01	4.1011E-03	6.8755E+01	1.5370E+02	
14	2.8000E+04	8.7312E-02	2.5266E-03	-6.9851E+01	2.1633E+01	
15	3.0000E+04	1.7975E-02	5.2014E-04	-1.5420E+02	-5.6179E+01	
16	3.2000E+04	6.1055E-02	1.7668E-03	9.5148E+01	1.9970E+02	
17	3.4000E+04	6.0030E-02	1.7371E-03	-1.4966E+02	-3.8571E+01	
18	3.6000E+04	8.9459E-03	2.5887E-04	1.1528E+02	2.3291E+02	
19	3.8000E+04	6.9137E-02	2.0006E-03	-2.7992E+01	9.6165E+01	
20	4.0000E+04	5.2362E-02	1.5152E-03	-4.7370E+01	8.3321E+01	
TOTAL HARMONIC DISTORTION = 1.7000E+00 PERCENT						

Figura 4.7 Perfil de armónicos para una onda de salida de 2KHz

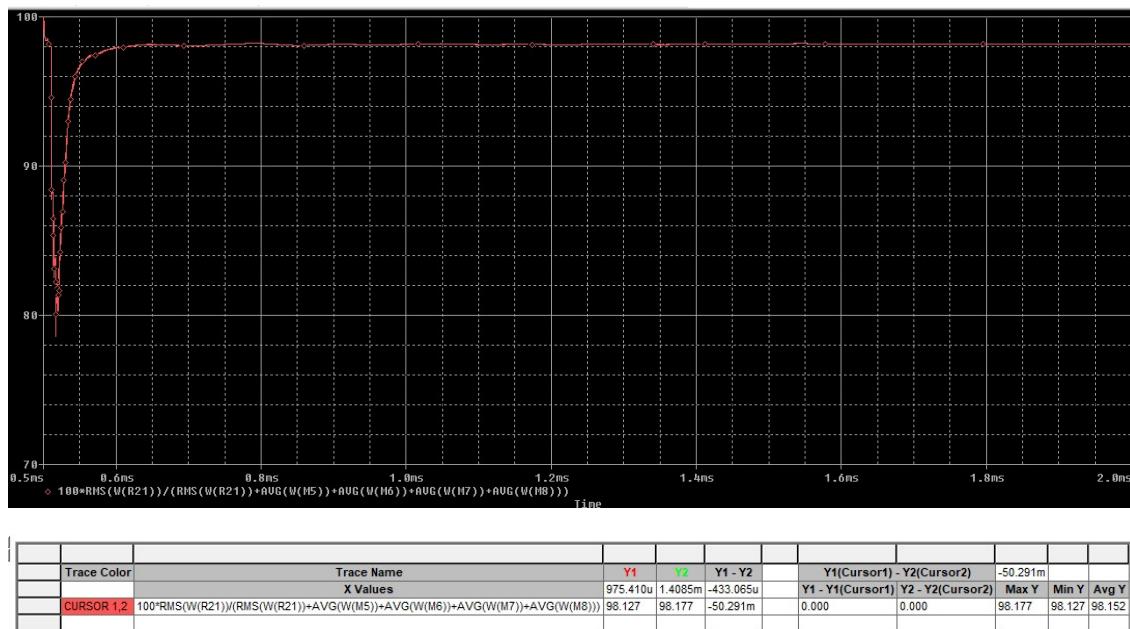


Figura 4.8 Eficiencia para una onda de salida de 2KHz

#### 4.1.3 Entrada de 5KHz

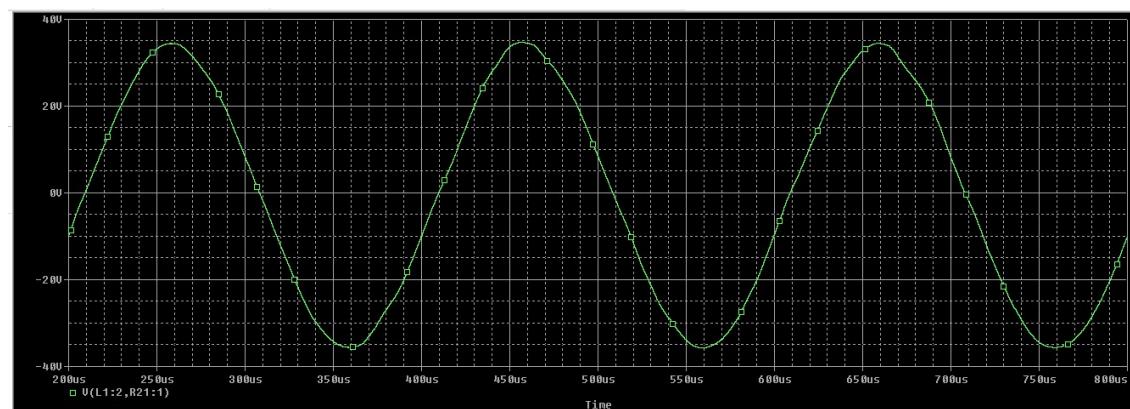


Figura 4.9 Salida de 5KHz en el dominio del tiempo

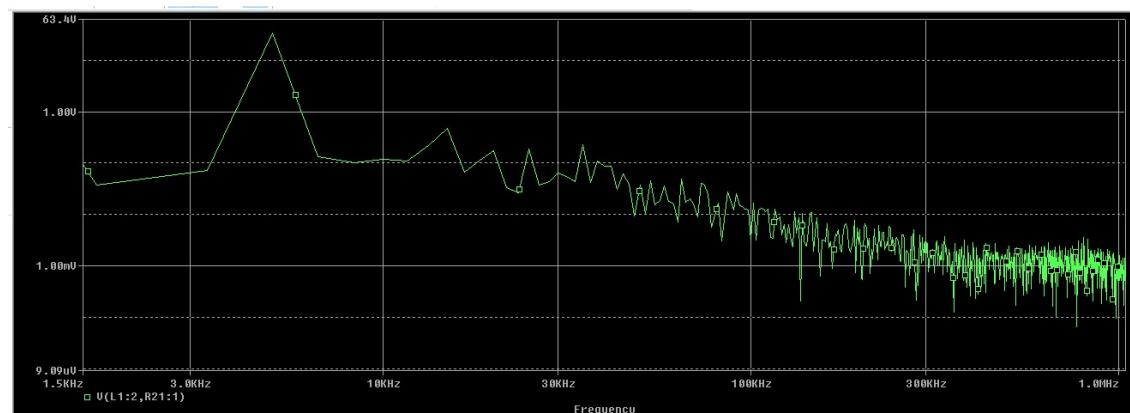


Figura 4.10 Salida de 5KHz en el dominio de la frecuencia

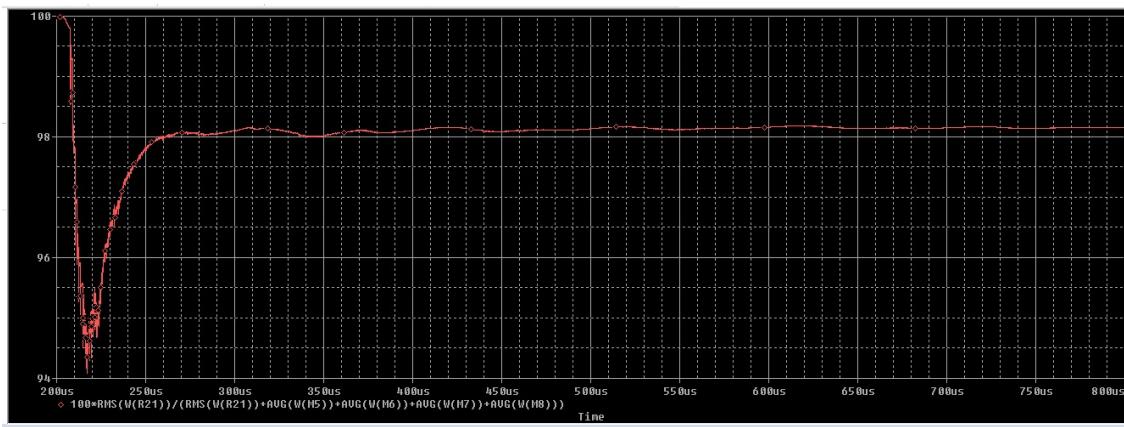
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056, N67772)

DC COMPONENT = -8.0961E-01

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	5.0000E+03	3.4577E+01	1.0000E+00	-1.6267E+01	0.0000E+00
2	1.0000E+04	1.5838E-01	4.5804E-03	2.1767E+01	5.4301E+01
3	1.5000E+04	4.5750E-01	1.3231E-02	1.2191E+02	1.7071E+02
4	2.0000E+04	2.4678E-01	7.1371E-03	5.5652E+01	1.2072E+02
5	2.5000E+04	2.9749E-01	8.6038E-03	2.3805E+01	1.0514E+02
6	3.0000E+04	8.3592E-02	2.4175E-03	1.6992E+02	2.6752E+02
7	3.5000E+04	2.6877E-01	7.7730E-03	3.3373E+01	1.4724E+02
8	4.0000E+04	2.1277E-01	6.1534E-03	-8.6727E+01	4.3408E+01
9	4.5000E+04	9.5242E-02	2.7545E-03	5.8058E+01	2.0446E+02
10	5.0000E+04	3.1818E-02	9.2019E-04	-2.2501E+01	1.4017E+02

TOTAL HARMONIC DISTORTION = 2.0822E+00 PERCENT

Figura 4.11 Perfil de armónicos para una onda de salida de 5KHz



Trace Color	Trace Name	Y1	Y2	Y1 - Y2	Y1(Cursor1) - Y2(Cursor2)	2.7431m
	X Values	585.238u	692.876u	-107.637u	Y1 - Y1(Cursor1) Y2 - Y2(Cursor2)	
CURSOR 1,2	100*RMS(W(R21))/(RMS(W(R21))+AVG(W(M5))+AVG(W(M6))+AVG(W(M7))+AVG(W(M8)))	98.146	98.143	2.7431m	0.000	0.000
		98.146	98.143	98.144		

Figura 4.12 Eficiencia para una onda de salida de 5KHz

#### 4.1.4 Entrada de 8KHz

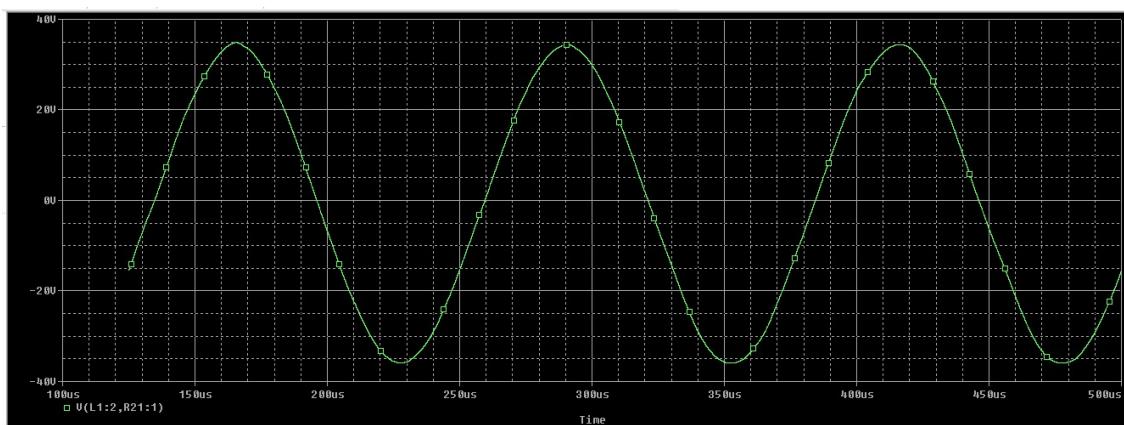


Figura 4.13 Salida de 8KHz en el dominio del tiempo

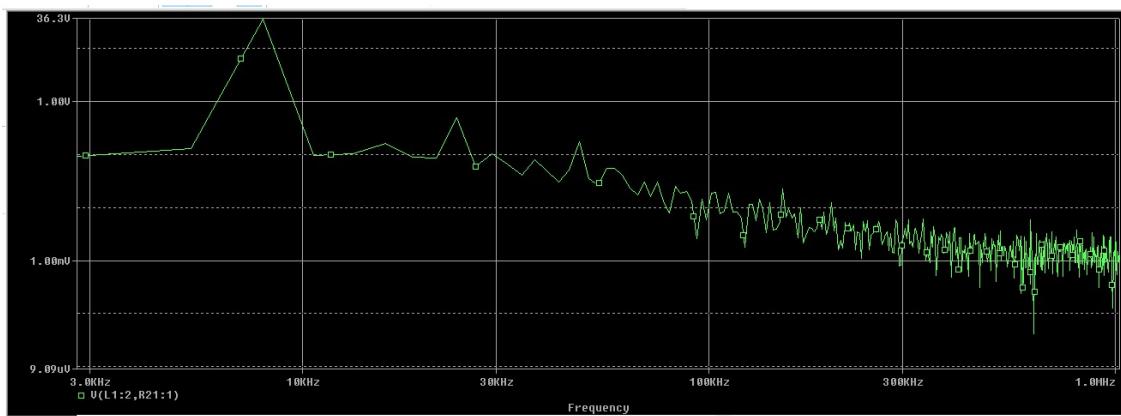


Figura 4.14 Salida de 8KHz en el dominio de la frecuencia

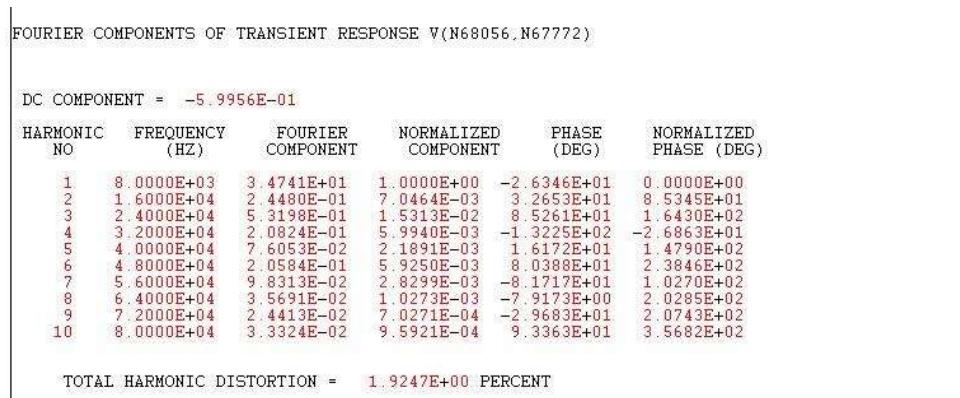
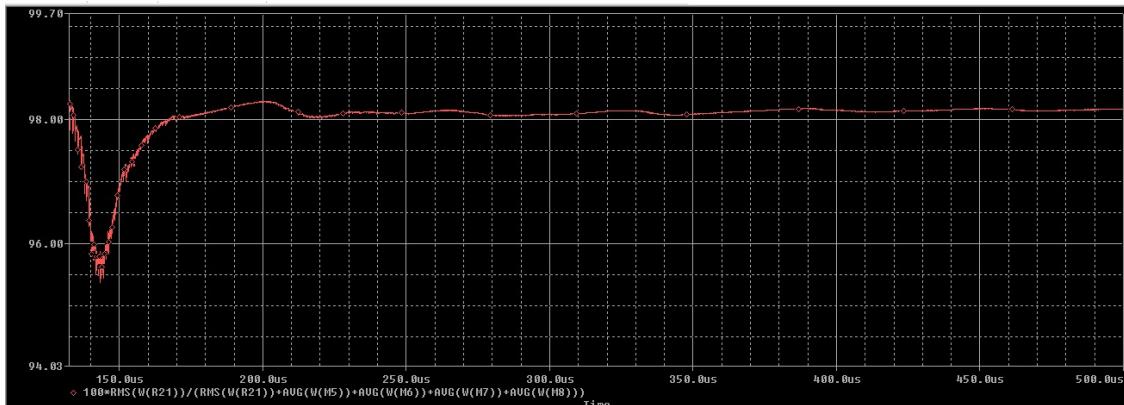


Figura 4.15 Perfil de armónicos para una onda de salida de 8KHz



Trace Color	Trace Name	Y1	Y2	Y1 - Y2	Y1(Cursor1) - Y2(Cursor2)	5.5101m
	X Values	388.305u	454.968u	-66.664u	Y1 - Y1(Cursor1)	Y2 - Y2(Cursor2)
CURSOR 1	100*RMS(W(R21))/(RMS(W(R21))+AVG(W(M5))+AVG(W(M6))+AVG(W(M7))+AVG(W(M8)))	98.174	98.168	5.5101m	0.000	0.000

Figura 4.16 Eficiencia para una onda de salida de 8KHz

## 4.1.5 Entrada de 10KHz

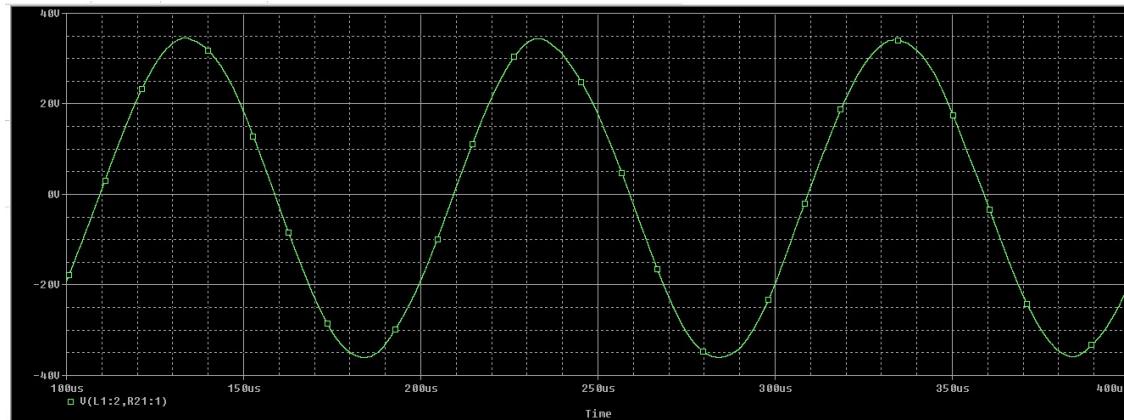


Figura 4.17 Salida de 10KHz en el dominio del tiempo

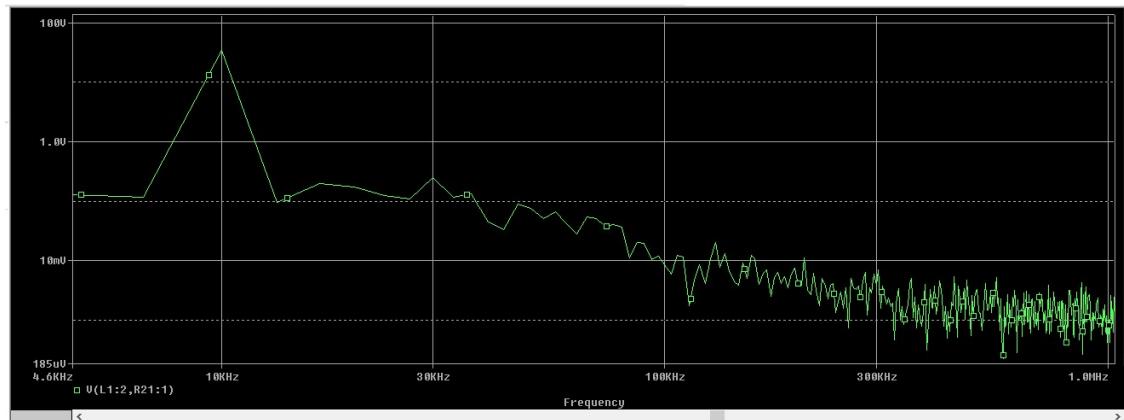


Figura 4.18 Salida de 10KHz en el dominio de la frecuencia

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056,N67772)						
DC COMPONENT = -6.2654E-01						
HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)	
1	1.0000E+04	3.4741E+01	1.0000E+00	-3.2787E+01	0.0000E+00	
2	2.0000E+04	1.2002E-01	3.4546E-03	9.5490E+00	7.5124E+01	
3	3.0000E+04	1.7591E-01	5.0634E-03	7.0708E+01	1.6907E+02	
4	4.0000E+04	1.4801E-01	4.2604E-03	-1.2656E+02	4.5858E+00	
5	5.0000E+04	9.7719E-02	2.8128E-03	-3.5985E+01	1.2795E+02	
6	6.0000E+04	1.3527E-01	3.8936E-03	-1.1024E+02	8.6486E+01	
7	7.0000E+04	1.0316E-01	2.9694E-03	-2.0573E+01	2.0894E+02	
8	8.0000E+04	3.2440E-02	9.3376E-04	-1.2832E+02	1.3398E+02	
9	9.0000E+04	1.8922E-02	5.4465E-04	6.0746E+01	3.5583E+02	
10	1.0000E+05	1.6512E-02	4.7528E-04	1.0211E+02	4.2998E+02	

TOTAL HARMONIC DISTORTION = 9.4343E-01 PERCENT

Figura 4.19 Perfil de armónicos para una onda de salida de 10KHz

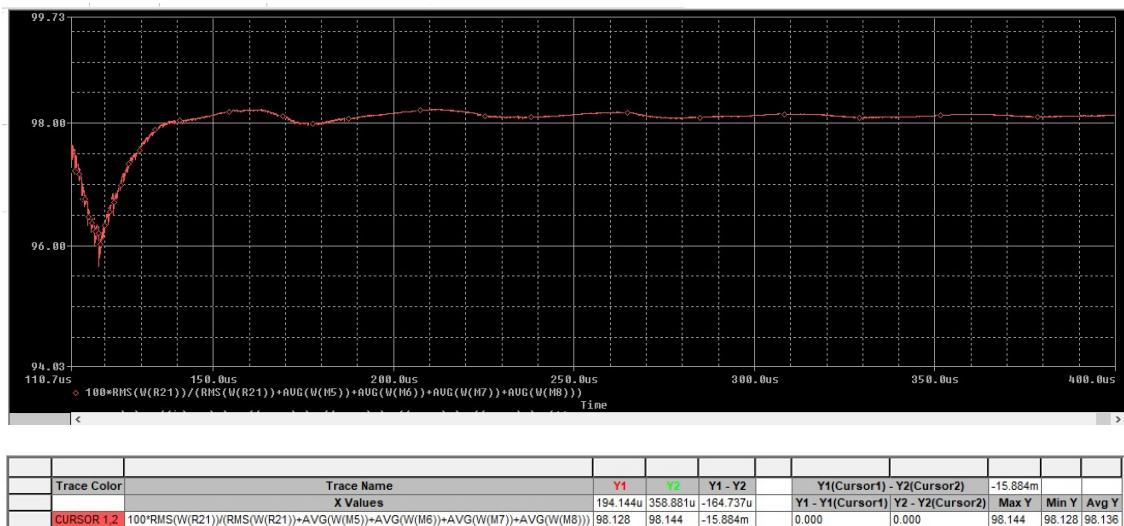


Figura 4.20 Eficiencia para una onda de salida de 10KHz

#### 4.1.6 Entrada de 12.5KHz

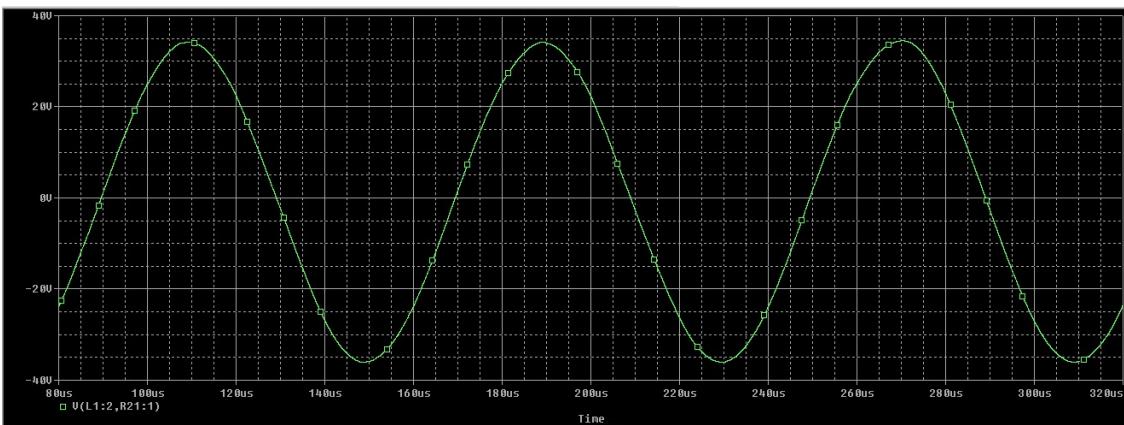


Figura 4.21 Salida de 12.5KHz en el dominio del tiempo

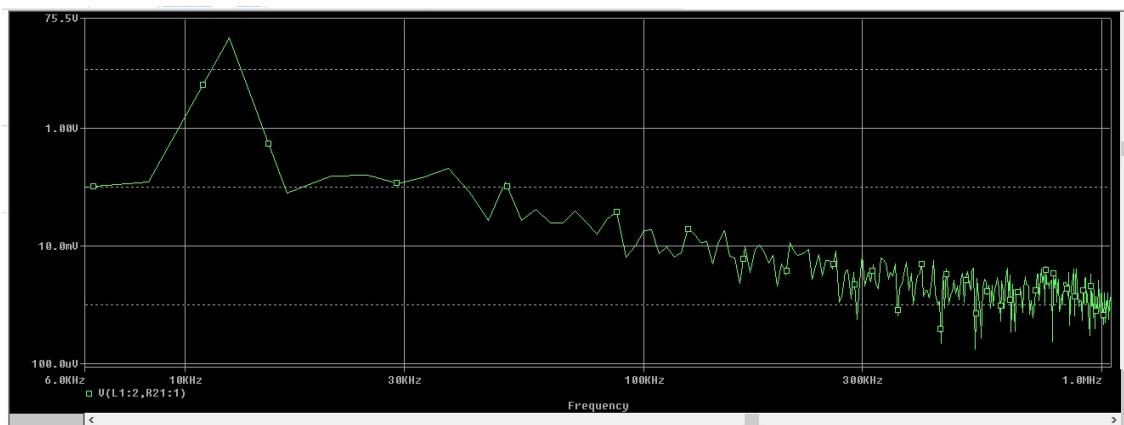


Figura 4.22 Salida de 12.5KHz en el dominio de la frecuencia

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056,N67772)

DC COMPONENT = -6.5430E-01

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	1.2500E+04	3.5104E+01	1.0000E+00	-4.1618E+01	0.0000E+00
2	2.5000E+04	2.8387E-01	8.0866E-03	7.3773E+01	1.5701E+02
3	3.7500E+04	2.0224E-01	5.7613E-03	-8.5000E+00	1.1635E+02
4	5.0000E+04	2.0227E-01	5.7620E-03	-1.6657E-02	-9.7757E-02
5	6.2500E+04	3.9259E-02	1.1184E-03	5.0670E-01	2.5876E+02
6	7.5000E+04	4.8494E-02	1.3815E-03	-7.9672E+01	1.7003E+02
7	8.7500E+04	2.0382E-02	5.8062E-04	-1.4329E+02	1.4803E+02
8	1.0000E+05	9.0817E-03	2.5871E-04	1.7511E+02	5.0805E+02

TOTAL HARMONIC DISTORTION = 1.1634E+00 PERCENT

Figura 4.23 Perfil de armónicos para una onda de salida de 12.5KHz

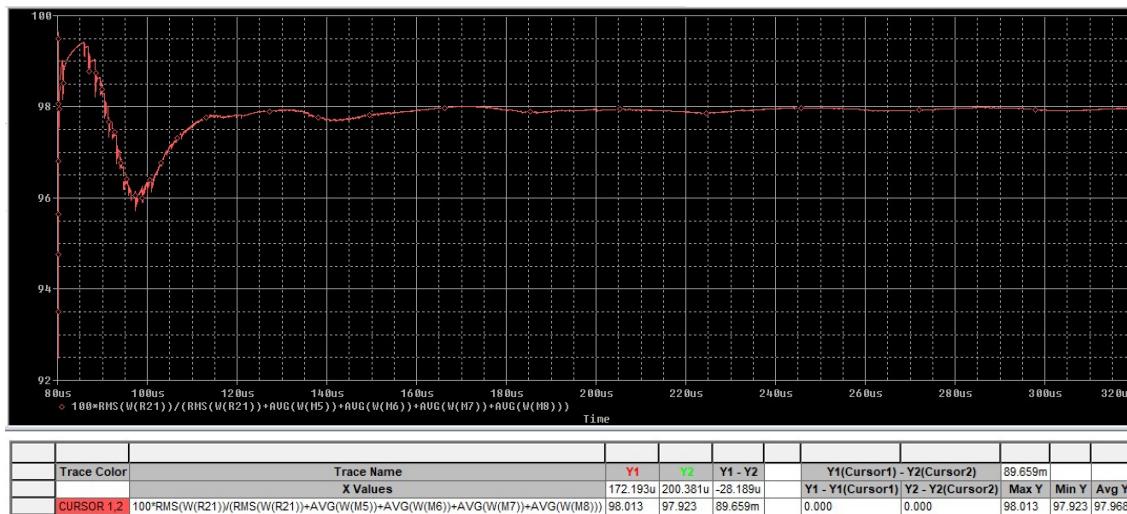


Figura 4.24 Eficiencia para una onda de salida de 12.5KHz

#### 4.1.7 Entrada de 16KHz

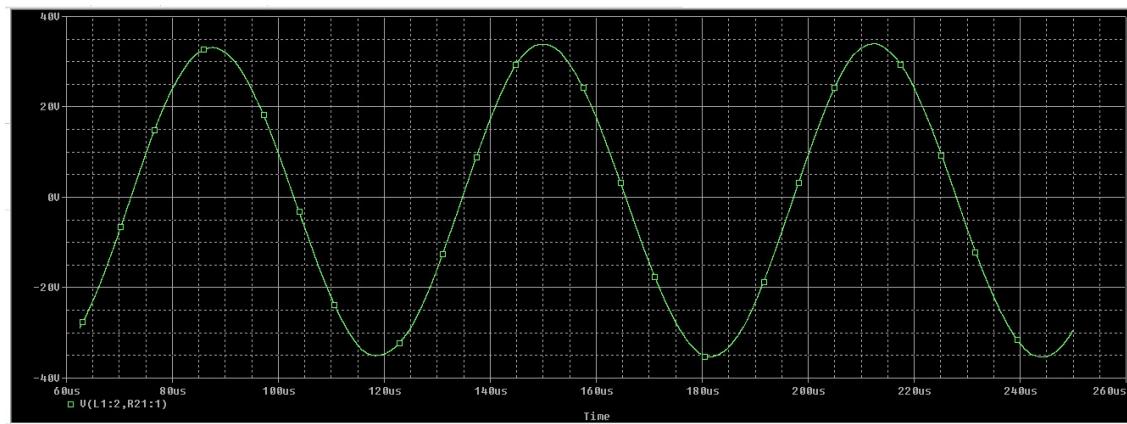


Figura 4.25 Salida de 16KHz en el dominio del tiempo

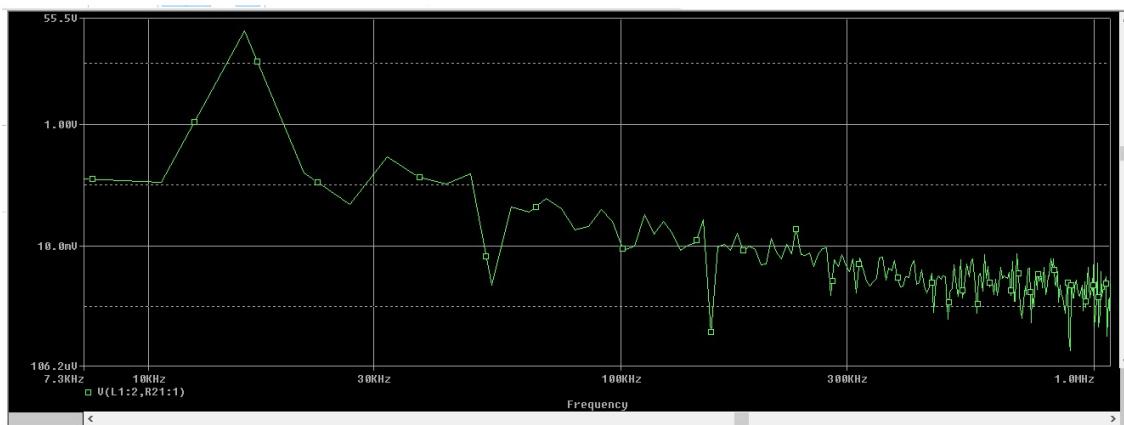


Figura 4.26 Salida de 16KHz en el dominio de la frecuencia

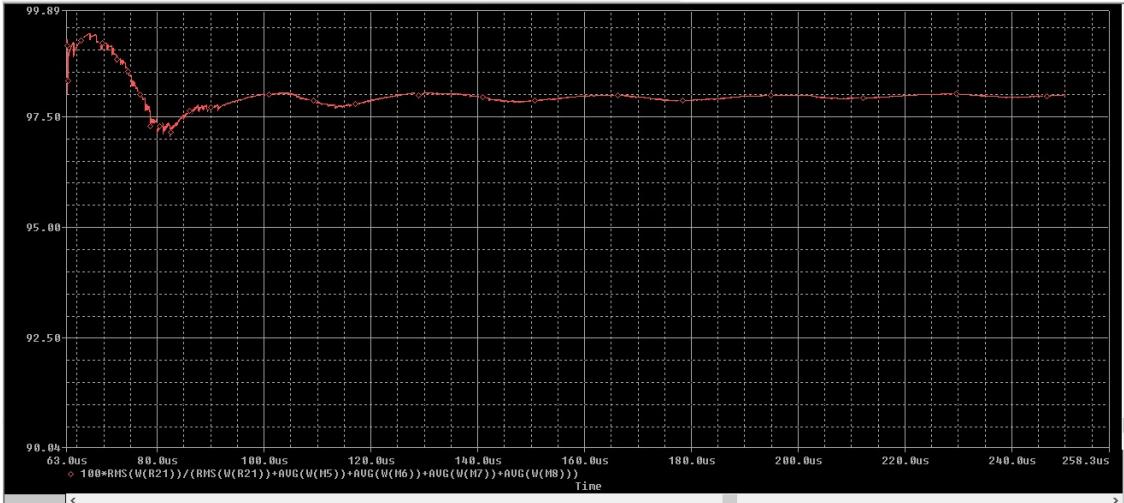
```
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056,N67772)

DC COMPONENT = -8.1360E-01

HARMONIC      FREQUENCY      FOURIER      NORMALIZED      PHASE      NORMALIZED
NO           (HZ)          COMPONENT     COMPONENT     (DEG)        PHASE (DEG)
1            1.6000E+04    3.4474E+01    1.0000E+00   -5.4656E+01  0.0000E+00
2            3.2000E+04    3.8080E-01    1.1046E-02   -1.2530E+02  -1.5987E+01
3            4.8000E+04    1.8015E-01    5.2258E-03   1.4558E+01   1.7853E+02
4            6.4000E+04    1.2903E-01    3.7430E-03   -2.8856E+01  1.8977E+02
5            8.0000E+04    1.8305E-02    5.3097E-04   -1.6268E+02  1.1060E+02
6            9.6000E+04    2.2959E-02    6.6599E-04   1.7758E+02   5.0552E+02
7            1.1200E+05    4.6314E-02    1.3435E-03   -6.1670E+01  3.2092E+02
8            1.2800E+05    6.2382E-03    1.8095E-04   5.8858E+01   4.9611E+02

TOTAL HARMONIC DISTORTION = 1.2880E+00 PERCENT
```

Figura 4.27 Perfil de armónicos para una onda de salida de 16KHz



Trace Color	Trace Name	Y1	Y2	Y1 - Y2	Y1(Cursor1) - Y2(Cursor2)	-143.132m
	X Values	178.559u	230.107u	-51.548u	Y1 - Y1(Cursor1)	Y2 - Y2(Cursor2)
CURSOR 1,2	100*RMS(W(R21))/(RMS(W(R21))+AVG(W(M5))+AVG(W(M6))+AVG(W(M7))+AVG(W(M8)))	97.863	98.006	-143.132m	0.000	0.000
		98.006	97.863	97.935		

Figura 4.28 Eficiencia para una onda de salida de 16KHz

### 4.1.8 Entrada de 20KHz

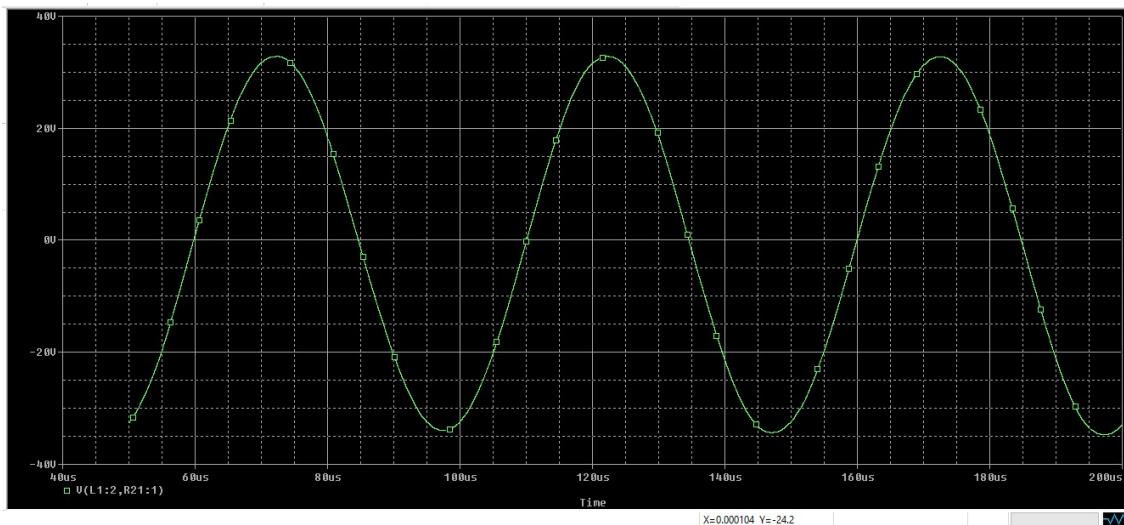


Figura 4.29 Salida de 20KHz en el dominio del tiempo

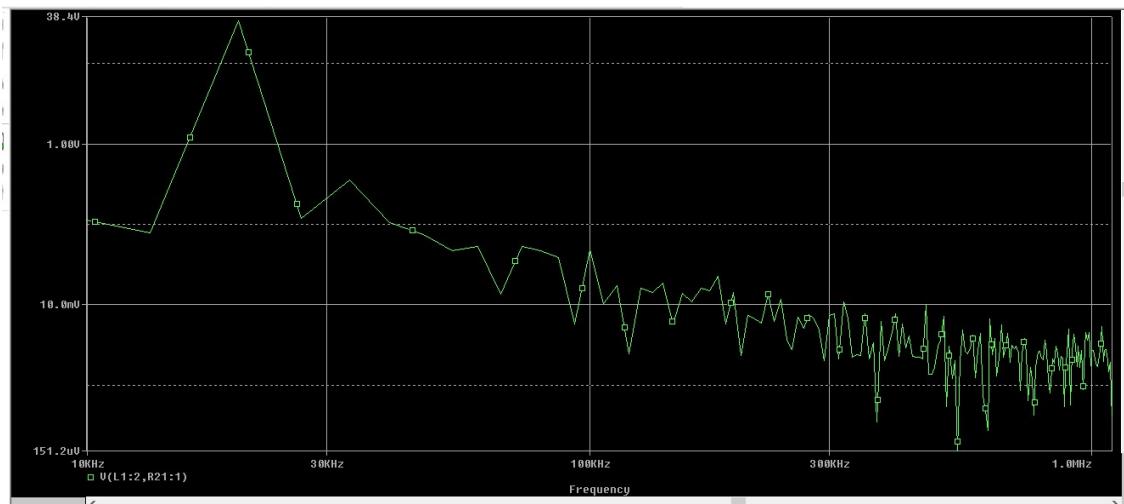


Figura 4.30 Salida de 20KHz en el dominio de la frecuencia

```
FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N68056,N67772)

DC COMPONENT = -7.0284E-01

HARMONIC      FREQUENCY      FOURIER      NORMALIZED      PHASE      NORMALIZED
NO.          (HZ)           COMPONENT    COMPONENT     (DEG)        PHASE (DEG)
1            2.0000E+04   3.3759E+01   1.0000E+00   -7.0834E+01   0.0000E+00
2            4.0000E+04   3.5029E-01   1.0376E-02   -1.9941E+01   1.2173E+02
3            6.0000E+04   3.0085E-02   8.9116E-04   3.2750E+01   2.4525E+02
4            8.0000E+04   8.9157E-02   2.6410E-03   8.3149E+01   3.6648E+02
5            1.0000E+05   8.1260E-03   2.4070E-04   -1.7448E+02   1.7968E+02
6            1.2000E+05   1.9772E-02   5.8569E-04   -1.8207E+01   4.0679E+02
7            1.4000E+05   1.0536E-02   3.1209E-04   -2.9966E+01   4.6587E+02
8            1.6000E+05   1.0502E-02   3.1110E-04   -1.2228E+02   4.4439E+02

TOTAL HARMONIC DISTORTION = 1.0772E+00 PERCENT
```

Figura 4.31 Perfil de armónicos para una onda de salida de 20KHz

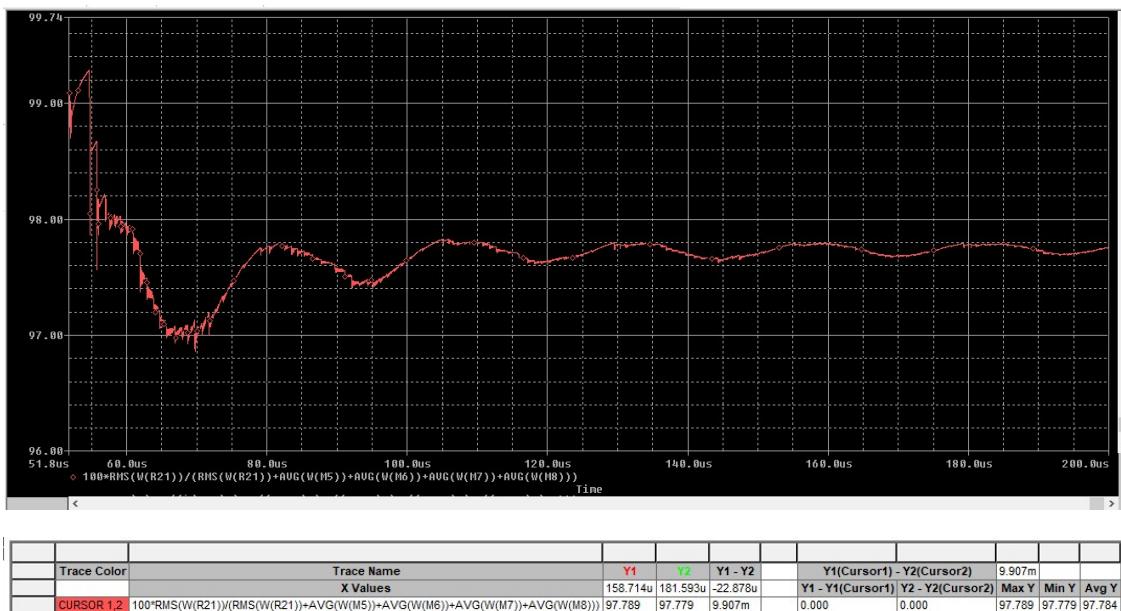


Figura 4.32 Eficiencia para una onda de salida de 20KHz

## 4.2 Tabla comparativa de salida

A fin de comparar las características de salida de las simulaciones para las diferentes frecuencias, se realiza un cuadro comparativo con las características mencionadas en la tabla 1.1.

Frecuencia de entrada	Potencia Fundamental	Eficiencia	THD
<b>1 KHz</b>	73,83 W	97,93%	2,12%
<b>2 KHz</b>	74,60 W	98,15%	1,70%
<b>5 KHz</b>	74,69 W	98,14%	2,08%
<b>8 KHz</b>	75,42 W	98,17%	1,92%
<b>10 KHz</b>	75,42 W	98,13%	0,94%
<b>12 KHz</b>	77,05 W	97,96%	1,16%
<b>16 KHz</b>	74,26 W	97,93%	1,28%
<b>20 KHz</b>	71,19 W	97,78%	1,07%

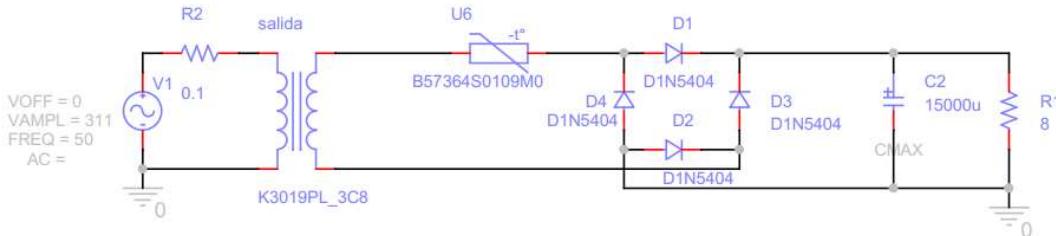
Tabla 3.1 Análisis comparativo de salida según la frecuencia de entrada

En base a los resultados obtenidos por las simulaciones, se puede concluir que la potencia de salida máxima se ve reducida a 75W, lo cual esta levemente por debajo de los 80W de potencia deseada de salida. La eficiencia de salida a máxima potencia ronda el 98% lo cual es una característica altamente deseable y superando los requisitos de ser del 90%.

El nivel de distorsión armónica es mayor, mientras menor es la frecuencia de la onda de entrada, debido a que una mayor cantidad de armónicas están presentes en la banda pasante del filtro. Aunque no se cumpla el requisito de una distorsión armónica del 1%, un nivel de THD del 2% representa una gran calidad de audio de salida cuya distorsión es difícil de percibir para el oído humano.

## 5-Diseño de la fuente de alimentación

Para la fuente de alimentación se utiliza un rectificador de onda completa con diodos utilizando la configuración en puente siguiendo el siguiente esquema:



**Figura 5.1** Esquemático de la fuente de alimentación

En primera instancia se ve la fuente de alimentación de 50Hz con una amplitud de 311v pico, seguido de un transformador reductor con una tensión pico de salida de 44v.

En el secundario del transformador se utiliza un termistor NTC a fin de disminuir la corriente pico no repetitiva de inicio ya que el capacitor de comporta como un cortocircuito cuando esta descargado.

El puente de diodos está formado por los semiconductores 1N5404 capaces de soportar una tensión pico inversa de 300v dando un amplio margen de funcionamiento capaces de soportar una corriente media de 3A. Previendo un funcionamiento sin el filtro de salida, la corriente media que circulará por cada diodo será:

$$V_{AVG} = \frac{1}{2\pi} \int_0^{\pi} \frac{40V}{8\Omega} * \sin(wt) dwt = 1,5A$$

Lo cual es el un diodo adecuado para este proyecto.

### 5.1 Termistor limitador de corriente

Durante el primer ciclo de funcionamiento, capacitor utilizado como filtro se comporta como un cortocircuito y la corriente pico por este único ciclo sería lo suficientemente elevada como para dañar los diodos rectificadores. En la siguiente figura con el trazo azul puede verse la corriente que circula por el puente rectificador en el primer ciclo, el trazo rojo es la tensión de salida del transformador y el trazo verde es la tensión filtrada sobre la carga.

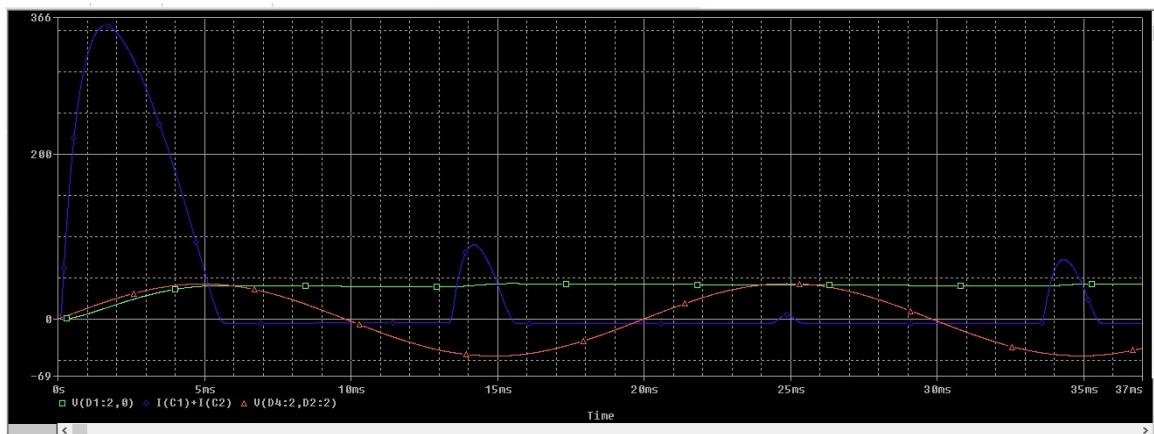


Figura 5.2 Corriente pico no repetitiva sin limitar por un NTC

Por esto, para limitar este valor de corriente se utiliza una resistencia variable con la temperatura de coeficiente negativo (NTC), de tal forma que en el primer ciclo la resistencia del NTC limita la corriente, en los ciclos posteriores la potencia disipada por el NTC hará que su temperatura aumente y por ende que su resistencia disminuya. Este proceso se repite hasta llegar a un valor estable con un valor de resistencia en el NTC para influir lo menos posible sobre la tensión desarrollada en la carga sobre la tensión de carga.

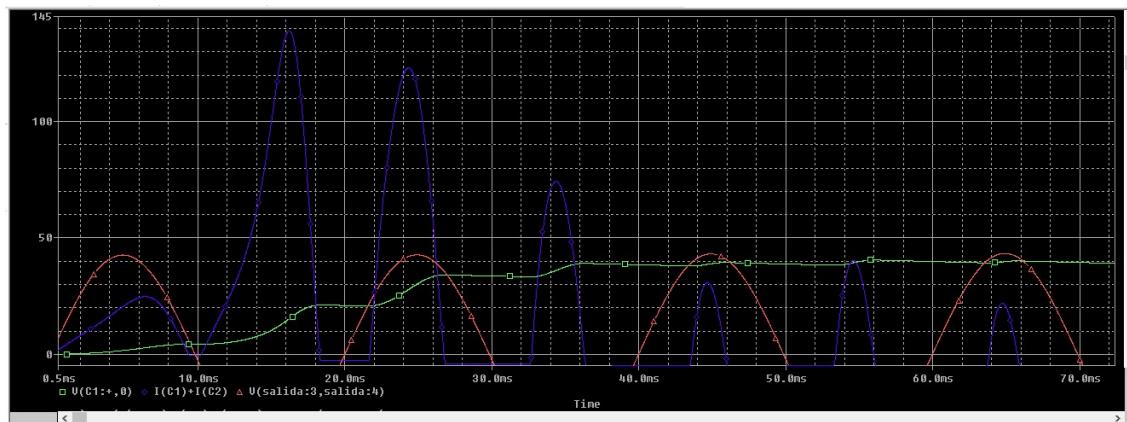


Figura 5.3 Corriente pico no repetitiva sin limitar por un NTC

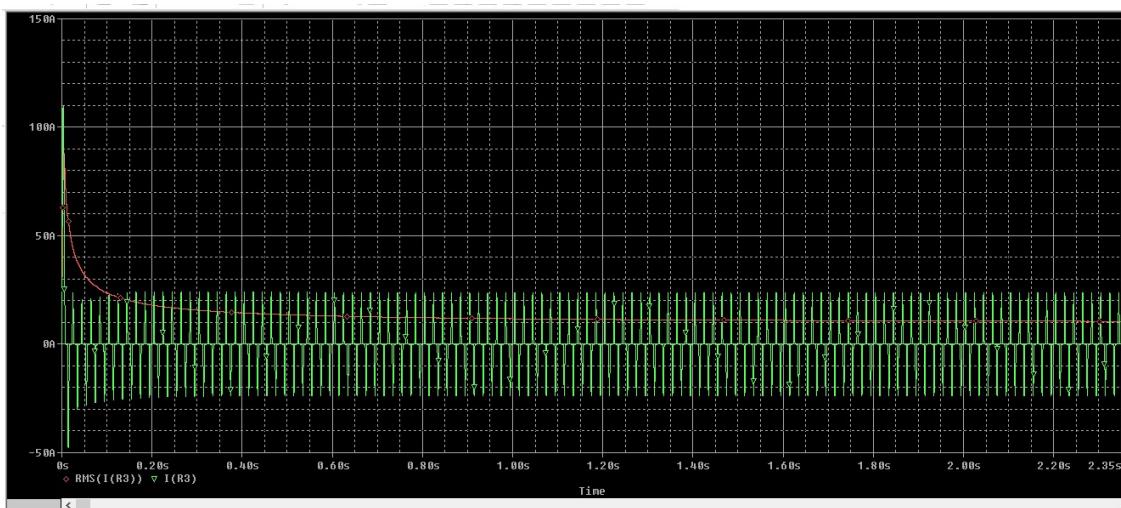
Se utilizará el termistor NTC B57364S0109M0 que posee las siguientes características:

#### Electrical specification and ordering codes

$R_{25}$ $\Omega$	$I_{max}$ (0...65 °C) A	$C_{test}^{1)}$ 230 V AC $\mu F$	$C_{test}^{1)}$ 110 V AC $\mu F$	$R_{min}$ (@ $I_{max}$ , 25 °C) $\Omega$	Ordering code
1	16	1000	4000	0.021	B57364S0109M0**
2	12	1000	4000	0.036	B57364S0209M0**
2.5	11	1000	4000	0.044	B57364S0259M0**
4	9.5	1000	4000	0.059	B57364S0409M0**
5	8.5	1000	4000	0.073	B57364S0509M0**
10	7.5	1000	4000	0.098	B57364S0100M0**

Figura 5.4 Características del NTC

El termistor es capaz de soportar la corriente eficaz que circulara a través de él ya que el límite es 16 y según la simulación el valor de corriente media que circula por el termistor es:



**Figura 5.5** Corriente a través del NTC

Siendo el trazo verde la corriente instantánea a través del NTC y el trazo rojo la corriente eficaz a través del NTC, la cual es 13 A. Según indica la hoja de datos, el valor RMS de corriente máxima del NTC es 16 A, por lo tanto, el NTC es capaz de soportar las características del circuito de corriente.

Un dato que se utilizará posteriormente en el diseño es el valor de la resistencia del NTC, este valor puede obtenerse de los gráficos de las hojas de datos.

Resistance versus current

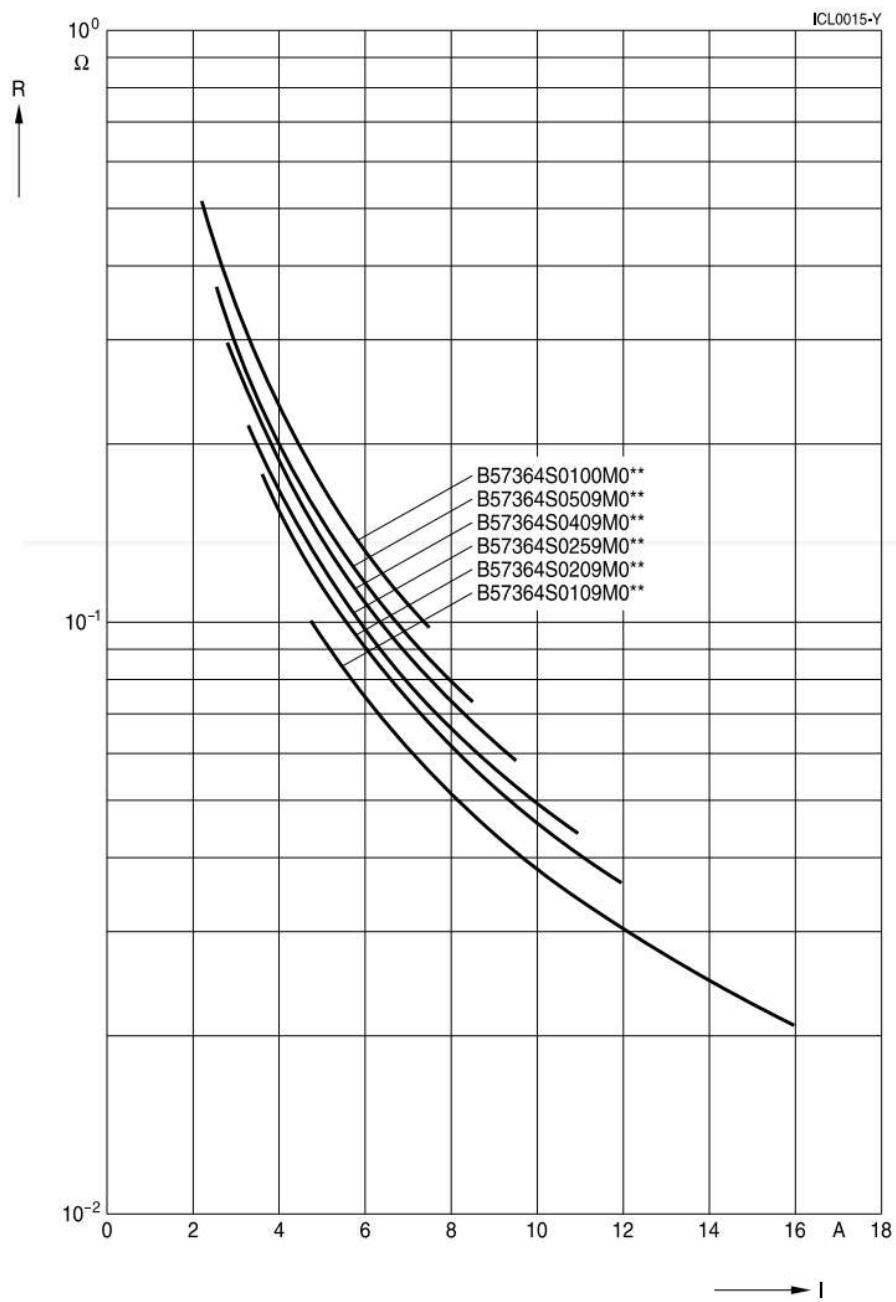


Figura 5.6 Resistencia del NTC para un valor de corriente eficaz

Como indica la figura 5.6, para el termistor B57364S0109M0 para un corriente eficaz, el valor de resistencia final es 25mΩ.

## 5.2 Determinación del filtro de salida

A fin de conocer el valor del capacitor de salida, se utilizan las curvas de Schade, las cuales requieren conocer ciertos parámetros del circuito y parámetros de salida deseados. Los datos de los cuales se valen las curvas de Schade para el cálculo son los siguientes:

- $R_s$ : Resistencia del secundario

- $V_{pico-pico}$ : Tension pico – pico de salida
- $V_{AVG}$ : Tension media de salida
- $I_{AVG}$ : Corriente media en la carga
- $R_L$ : Resistencia de carga

Estableceremos como condición un factor de riple menor o igual al 2%, para evitar que elizado de 100Hz (por se un rectificador de onda completa) este presente en la salida, o se vea fuertemente atenuado.

Tomamos como valor de la relación  $R_s/R_o = 2\%$ , esto es  $R_s=160m\Omega$ . Ya que se consta de un NTC cuya resistencia final es de  $25m\Omega$  y por lo tanto se deja  $135m\Omega$  disponible para la suma de la resistencia del bobinado secundario y la resistencia equivalente del diodo.

Con estos valores se puede determinar el valor del filtro con las curvas de Schade.

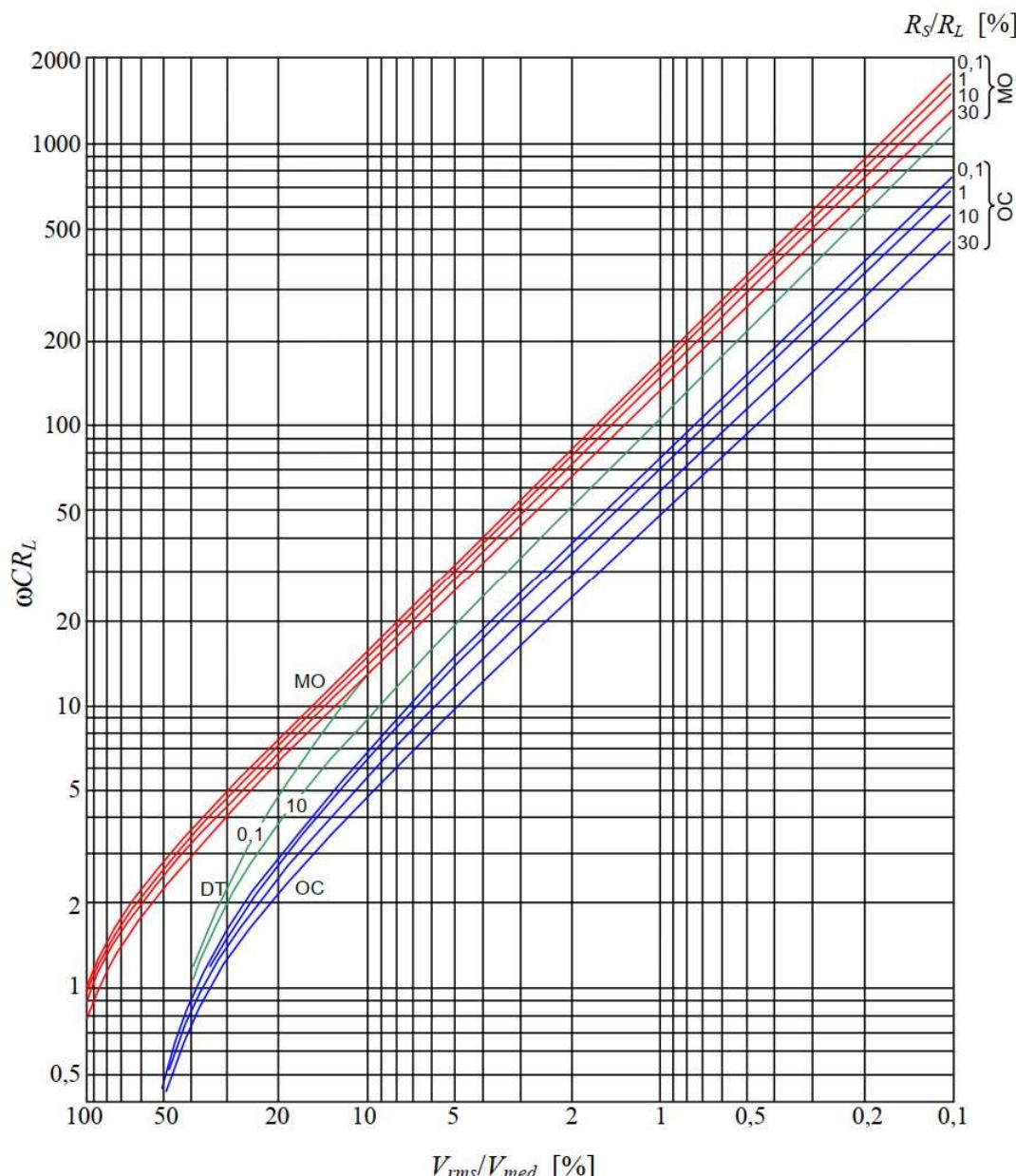


Figura 5.7 Curvas de Schade

Se obtiene que para:

- $\frac{V_{RMS}}{V_{med}} \% = 2\%$
- $\frac{R_s}{R_o} \% = 2\%$

De la curva de la figura 5.7 se obtiene que:

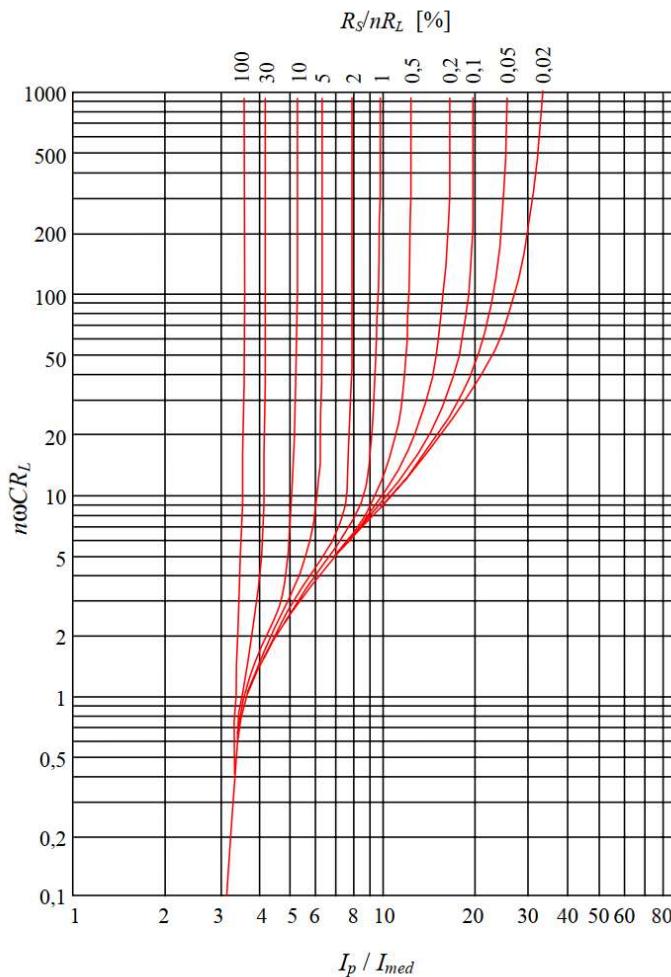
$$wCR_L \simeq 30$$

$$C = \frac{40}{2\pi * 50Hz * 8\Omega} = 15000\mu F$$

## 5.3 Determinación del diodo

Una de las características más importante para la determinación del diodo de salida es la corriente pico y la corriente media que circulara por este.

Para la corriente media, teniendo en cuenta que la tensión de 40V y la carga de  $8\Omega$ , la corriente media será de 5 A. Con las curvas de Schade se puede determinar el valor de la corriente pico que circulara por el diodo.



**Figura 5.8** Curvas de Schade para corriente, siendo  $n=2$  para rectificadores de onda completa

De la figura 5.8 puede determinarse que la relación corriente pico repetitiva y corriente media es de aproximadamente 8, y siendo la corriente media en la carga de 5 A, por lo tanto, la corriente media en cada diodo será de 2,5A. La corriente pico repetitiva sea de 20A. Este valor de corriente se puede verificar en la simulación:

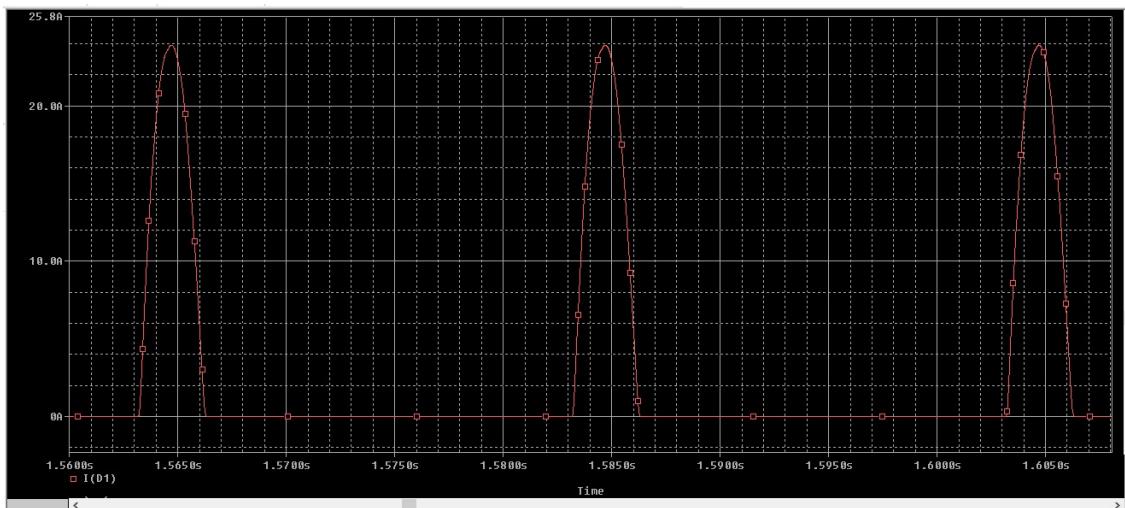


Figura 5.9 Corriente pico repetitiva en los diodos

Debe verificarse en la hoja de datos del diodo que dicho valor pueda ser soportado por diodo.

Max. average forward rectified current, R-load Dauergrenzstrom in Einwegschaltung mit R-Last	$T_A = 50^\circ\text{C}$	$I_{FAV}$	$3 \text{ A}^3)$
Repetitive peak forward current Periodischer Spitzstrom	$f > 15 \text{ Hz}$	$I_{FRM}$	$30 \text{ A}^3)$
Peak forward surge current, 50/60 Hz half sine-wave Stoßstrom für eine 50/60 Hz Sinus-Halbwelle	$T_A = 25^\circ\text{C}$	$I_{FSM}$	$180/200 \text{ A}$
Rating for fusing, Grenzlastintegral, $t < 10 \text{ ms}$	$T_A = 25^\circ\text{C}$	$i^2t$	$166 \text{ A}^2\text{s}$
Junction temperature – Sperrsichttemperatur Storage temperature – Lagerungstemperatur	$T_J$ $T_S$		$-50...+175^\circ\text{C}$ $-50...+175^\circ\text{C}$

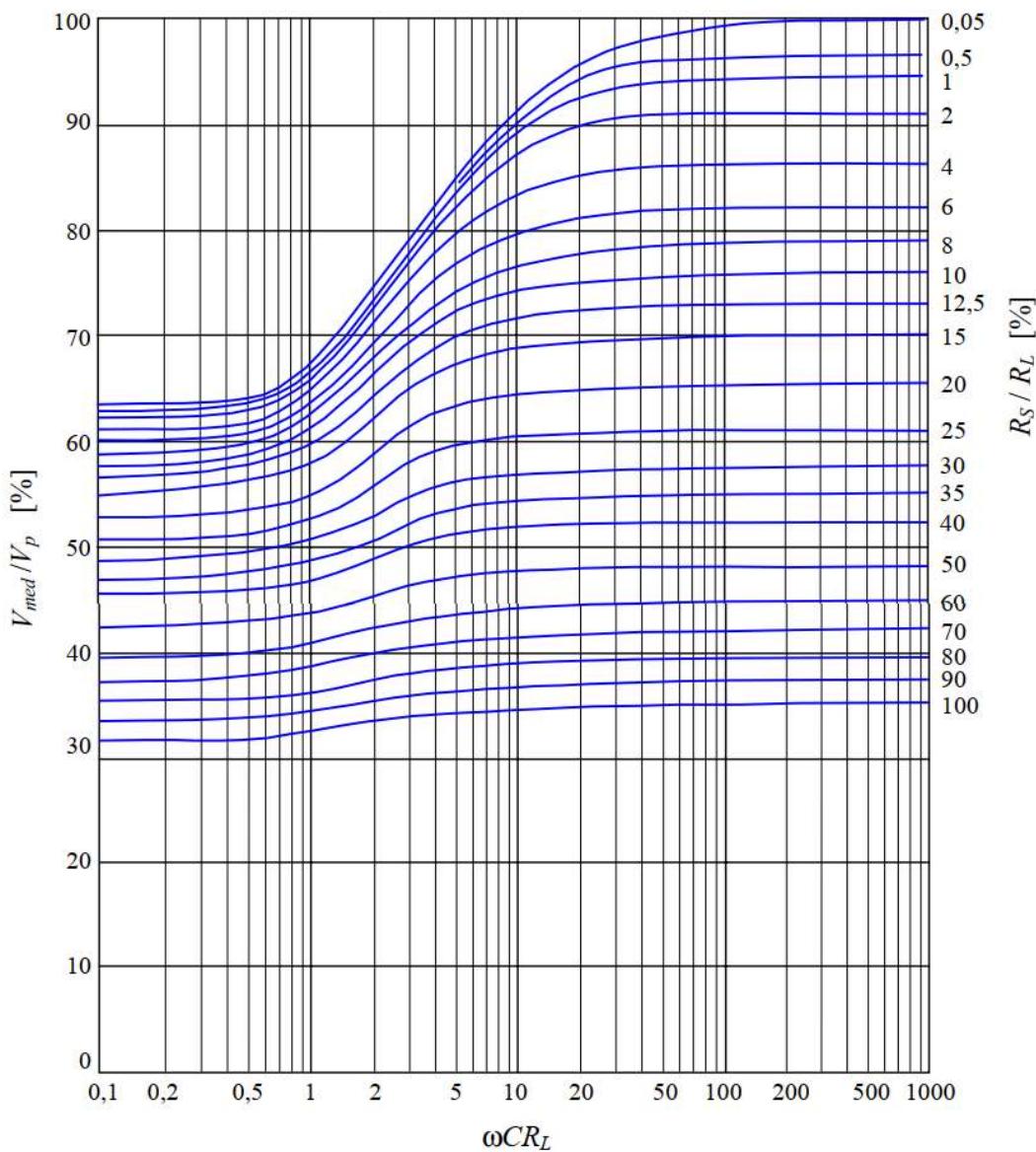
Figura 5.10 Característica de corriente en los diodos.

El diodo soporta tanto la corriente media, como la corriente pico repetitiva, por lo tanto, puede ser utilizado para este proyecto.

## 5.4 Análisis de salida

Con el circuito completo puede analizarse la onda de tensión de salida filtrada.

Con las curvas de Schade puede obtenerse el valor pico de la tensión de salida en relación con la tensión media.



**Figura 5.11** Curvas de Schade para la relación de tensión.

De aquí se obtiene que la relación tensión media, tensión pico de salida es 0.92. Esto puede verificarse con los resultados de la simulación, siendo el trazo verde la tensión instantánea de salida y el trazo rojo la tensión media de salida:

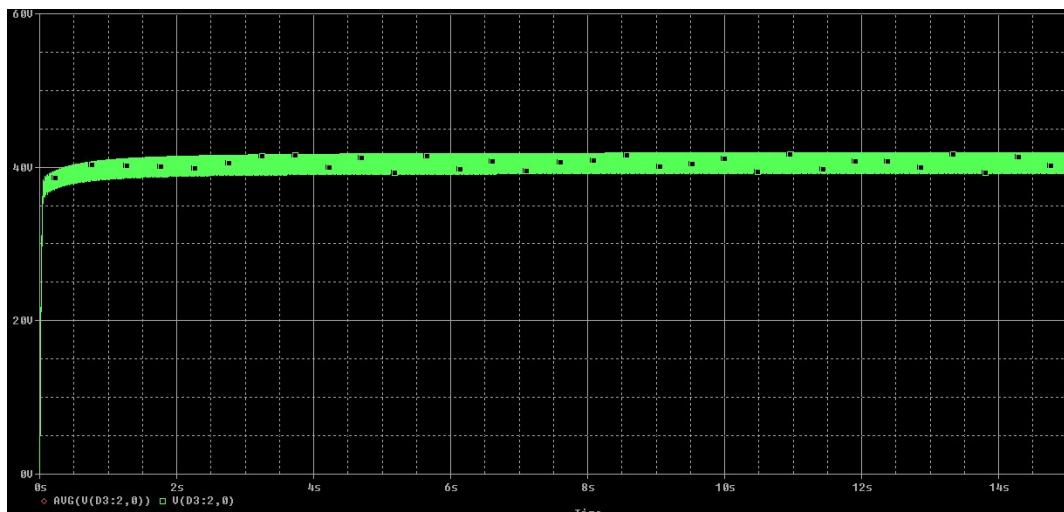


Figura 5.12 Tensión instantánea de salida filtrada.

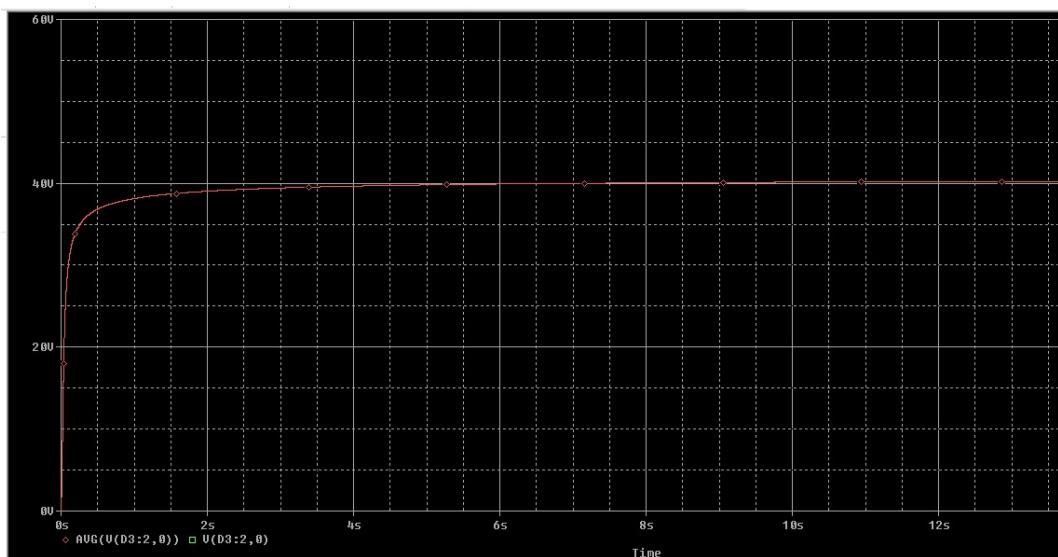
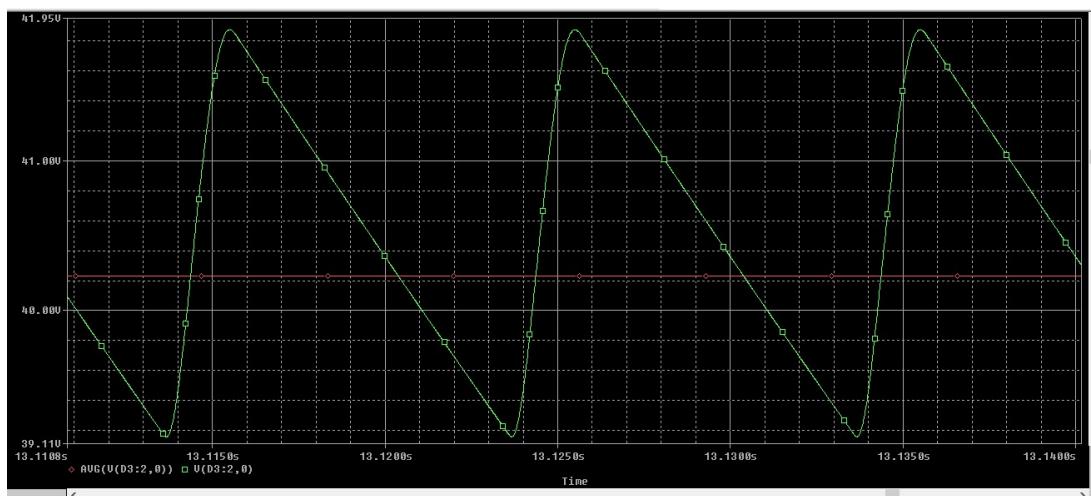


Figura 5.13 Tensión media de salida filtrada.

Midiendo tanto el valor medio como el valor máximo de tensión de la simulación se obtiene los siguiente:



Trace Color	Trace Name	Y1	Y2	Y1 - Y2	Y1(Cursor1) - Y2(Cursor2)	-235.208u		
	X Values	13.115	13.126	-10.079m	Y1 - Y1(Cursor1)	Y2 - Y2(Cursor2)	Max Y	Min Y
CURSOR 1,2	AVG(V(D3:2,0))	40.232	40.232	-235.208u	0.000	0.000	40.232	40.232
	V(D3:2,0)	41.867	41.871	-3.8426m	1.6353	1.6389	41.871	41.867

Figura 5.14 Comparación entre tensión media y tensión pico

$$\frac{V_{pico}}{V_{media}} = \frac{41.8V}{40.232V} = 0.96$$

Este valor es levemente superior al calculado, lo cual nos brinda aun mejores resultados que los que se calculó previamente. Esto puede deberse a las aproximaciones realizadas al tomar los valores de las curvas de Schade.

Para el cálculo del factor de riple de la onda de salida de tensión se hace uso de la herramienta provista por el software de medición de la amplitud de las diferentes armónicas, en este caso se tomo 10 armónicas de con una frecuencia central de 100Hz por tratarse de un rectificador de onda completa.

FOURIER COMPONENTS OF TRANSIENT RESPONSE V(N15296,0)					
DC COMPONENT	FREQUENCY	FOURIER	NORMALIZED	PHASE	NORMALIZED
NO	(HZ)	COMPONENT	COMPONENT	(DEG)	PHASE (DEG)
1	1.0000E+02	1.0345E+00	1.00000E+00	-1.6265E+02	0.00000E+00
2	2.0000E+02	4.5823E-01	4.4295E-01	3.3951E+01	3.5925E+02
3	3.0000E+02	2.4708E-01	2.3884E-01	-1.2882E+02	3.5913E+02
4	4.0000E+02	1.3484E-01	1.3035E-01	6.9684E+01	7.2028E+02
5	5.0000E+02	6.7695E-02	6.5439E-02	-8.8834E+01	7.2441E+02
6	6.0000E+02	2.8006E-02	2.7072E-02	1.2086E+02	1.0968E+03
7	7.0000E+02	1.0215E-02	9.8742E-03	5.8757E+00	1.1444E+03
8	8.0000E+02	1.0932E-02	1.0567E-02	-9.5515E+01	1.2057E+03
9	9.0000E+02	1.1801E-02	1.1407E-02	1.2065E+02	1.5845E+03
10	1.0000E+03	9.5210E-03	9.2035E-03	-3.3051E+01	1.5934E+03

TOTAL HARMONIC DISTORTION = 5.2506E+01 PERCENT

Figura 5.15 Perfil armónico de la onda de salida de tensión.

Con estos datos puede calcularse la tensión RMS de riple de la siguiente manera:

$$V_{rippleRM} = \sqrt{\sum_{i=1}^{10} V_{iRMS}^2} = 0,825 V_{RMS}$$

$$rf(\%) = \frac{V_{rippleRM}}{V_{media}} * 100\% = \frac{0,825 V_{RMS}}{40,53V} * 100\% = 2\%$$

Se verifica el valor el factor de riple del 2% que se impuso como condición al inicio del diseño de la fuente de alimentación por lo tanto se verifica un correcto diseño de esta.

# Apéndice A

## Código de MATLAB

Este apéndice contiene el código utilizado en MATLAB para generar las curvas de respuesta en frecuencia de la etapa de los integradores y el cuantizador

```

opts = bodeoptions('cstprefs');

opts.PhaseVisible = 'off';
opts.FreqUnits = 'Hz';

STF=tf([1],[6*10^-12 1.6*10^-6 0.531])
subplot(2,3,1);
W=logspace(1,10,2000);
bodeplot(STF,W,opts);
title('Signal Transfet Function (STF)');

NTF=tf([1 0 0],[1 2.67*10^5 8.64*10^10])
subplot(2,3,2);
bodeplot(NTF,W,opts);
title('Noise Transfet Function (NTF)');

%filter response
L=tf([22*10^-6 0.113],[1]);
C1=tf([1],[0.47*10^-6 0]);
C2=tf([1],[0.1*10^-6 0]);
R=tf([8],[1]);

RparallelC1=(R*C1) / (R+C1);
LparallelC2=(L*C2) / (L+C2);
Rama1=RparallelC1+LparallelC2;
Rama1ParallelC2=(Rama1*C2) / (Rama1+C2);

VRama1ParallelC2=Rama1ParallelC2/(Rama1ParallelC2+L);
VRparallelC1=VRama1ParallelC2*RparallelC1/(RparallelC1+LparallelC2);

subplot(2,3,3);
FTF=VRparallelC1
bodeplot(FTF,W,opts);
title('Filter Transfer Function (FTF)');

subplot(2,3,4);
NPO=NTF*FTF;
bodeplot(NPO,W,opts);
title('Noise Power Output(NPO)');

subplot(2,3,5);
SPO=STF*FTF;
bodeplot(SPO,W,opts);
title('Signal Power Output(SPO)');

```

# Apéndice B

## Hoja de datos 1N5403

Este apéndice contiene la hoja de datos del diodo 1N5403 utilizado para el puente rectificador de la fuente de alimentación



1N5400, 1N5401, 1N5402, 1N5403, 1N5404, 1N5405, 1N5406, 1N5407, 1N5408

[www.vishay.com](http://www.vishay.com)

Vishay General Semiconductor



DO-201AD

## FEATURES

- Low forward voltage drop
- Low leakage current
- High forward surge capability
- Solder dip 275 °C max. 10 s, per JESD 22-B106
- Material categorization: For definitions of COMPLIANT compliance please see [www.vishay.com/doc?99912](http://www.vishay.com/doc?99912)



RoHS

## TYPICAL APPLICATIONS

For use in general purpose rectification of power supplies, inverters, converters and freewheeling diodes application.

### Note

- These devices are not AEC-Q101 qualified.

## MECHANICAL DATA

**Case:** DO-201AD, molded epoxy body

Molding compound meets UL 94 V-0 flammability rating  
Base P/N-E3 - RoHS-compliant, commercial grade

**Terminals:** Matte tin plated leads, solderable per  
J-STD-002 and JESD 22-B102  
E3 suffix meets JESD 201 class 1A whisker test

**Polarity:** Color band denotes cathode end

PRIMARY CHARACTERISTICS	
I <sub>F(AV)</sub>	3.0 A
V <sub>RRM</sub>	50 V, 100 V, 200 V, 300 V, 500 V, 600 V, 800 V, 1000 V
I <sub>FSM</sub>	200 A
I <sub>R</sub>	5.0 µA
V <sub>F</sub>	1.2 V
T <sub>J</sub> max.	150 °C
Package	DO-201AD
Diode variations	Single die

MAXIMUM RATINGS (T <sub>A</sub> = 25 °C unless otherwise noted)											
PARAMETER	SYMBOL	1N5400	1N5401	1N5402	1N5403	1N5404	1N5405	1N5406	1N5407	1N5408	UNIT
Maximum repetitive peak reverse voltage	V <sub>RRM</sub>	50	100	200	300	400	500	600	800	1000	V
Maximum RMS voltage	V <sub>RMS</sub>	35	70	140	210	280	350	420	560	700	V
Maximum DC blocking voltage	V <sub>DC</sub>	50	100	200	300	400	500	600	800	1000	V
Maximum average forward rectified current 0.5" (12.5 mm) lead length at T <sub>L</sub> = 105 °C	I <sub>F(AV)</sub>	3.0								A	
Peak forward surge current 8.3 ms single half sine-wave superimposed on rated load	I <sub>FSM</sub>	200								A	
Maximum full load reverse current, full cycle average 0.5" (12.5 mm) lead length at T <sub>L</sub> = 105 °C	I <sub>R(AV)</sub>	500								µA	
Operating junction and storage temperature range	T <sub>J</sub> , T <sub>STG</sub>	- 50 to + 150								°C	

**1N5400, 1N5401, 1N5402, 1N5403, 1N5404, 1N5405, 1N5406, 1N5407, 1N5408**[www.vishay.com](http://www.vishay.com)

Vishay General Semiconductor

**ELECTRICAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)**

PARAMETER	TEST CONDITIONS	SYMBOL	1N5400	1N5401	1N5402	1N5403	1N5404	1N5405	1N5406	1N5407	1N5408	UNIT
Maximum instantaneous forward voltage	3.0 A	$V_F$										V
Maximum DC reverse current at rated DC blocking voltage	$T_A = 25^\circ\text{C}$	$I_R$										$\mu\text{A}$
	$T_A = 150^\circ\text{C}$											
Typical junction capacitance	4.0 V, 1 MHz	$C_J$										pF

**THERMAL CHARACTERISTICS ( $T_A = 25^\circ\text{C}$  unless otherwise noted)**

PARAMETER	SYMBOL	1N5400	1N5401	1N5402	1N5403	1N5404	1N5405	1N5406	1N5407	1N5408	UNIT
Typical thermal resistance	$R_{0JA}^{(1)}$										$^\circ\text{C/W}$

**Note**

(1) Thermal resistance from junction to ambient at 0.375" (9.5 mm) lead length, PCB mounted with 0.8" x 0.8" (20 mm x 20 mm) copper heatsinks

**ORDERING INFORMATION** (Example)

PREFERRED P/N	UNIT WEIGHT (g)	PREFERRED PACKAGE CODE	BASE QUANTITY	DELIVERY MODE
1N5404-E3/54	1.1	54	1400	13" diameter paper tape and reel
1N5404-E3/73	1.1	73	1000	Ammo pack packaging

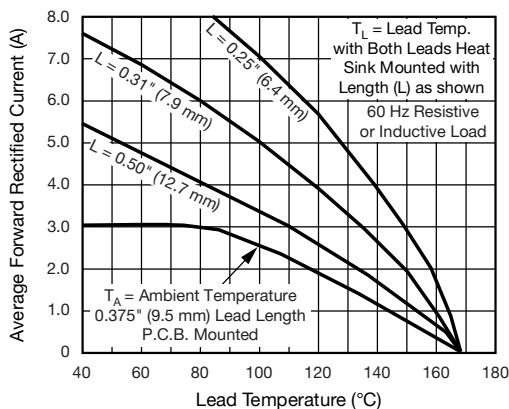
**RATINGS AND CHARACTERISTICS CURVES** ( $T_A = 25^\circ\text{C}$  unless otherwise noted)

Fig. 1 - Forward Current Derating Curve

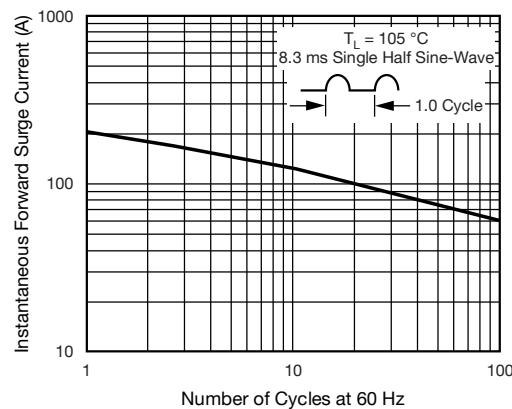


Fig. 2 - Maximum Non-Repetitive Peak Forward Surge Current

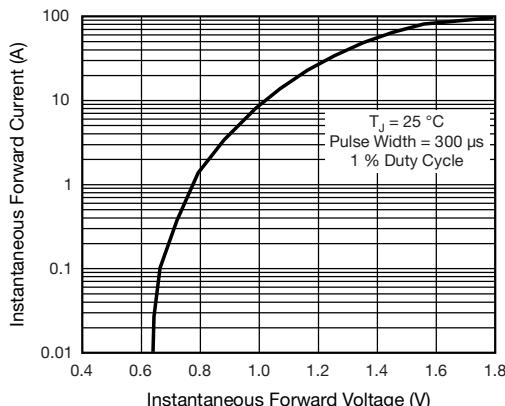


Fig. 3 - Typical Instantaneous Forward Characteristics

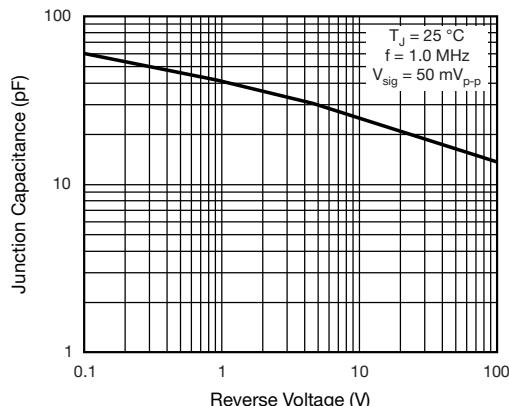


Fig. 5 - Typical Junction Capacitance

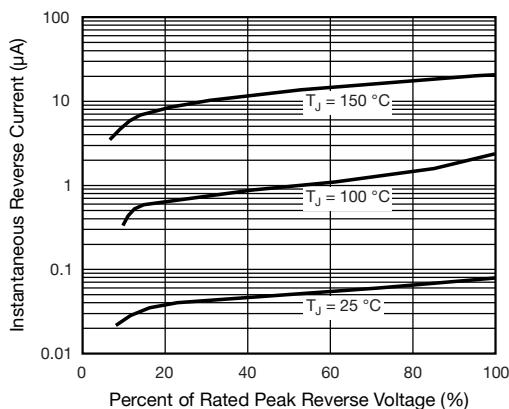


Fig. 4 - Typical Reverse Characteristics

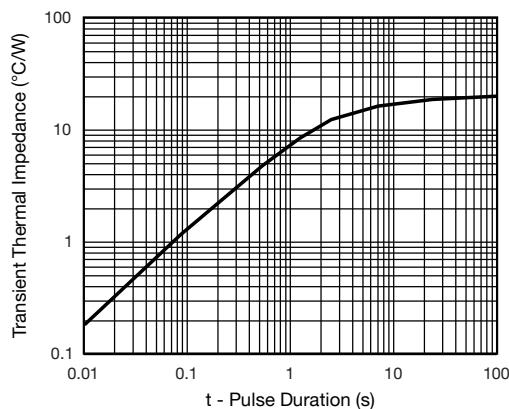
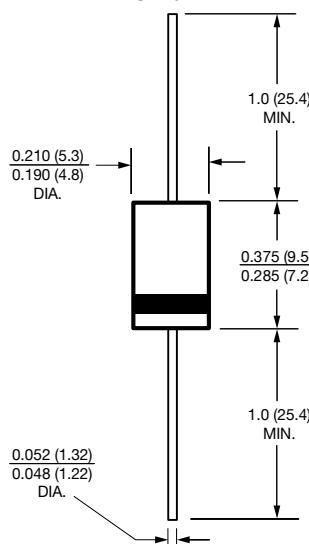


Fig. 6 - Typical Transient Thermal Impedance

### PACKAGE OUTLINE DIMENSIONS in inches (millimeters)

DO-201AD





### Disclaimer

ALL PRODUCT, PRODUCT SPECIFICATIONS AND DATA ARE SUBJECT TO CHANGE WITHOUT NOTICE TO IMPROVE RELIABILITY, FUNCTION OR DESIGN OR OTHERWISE.

Vishay Intertechnology, Inc., its affiliates, agents, and employees, and all persons acting on its or their behalf (collectively, "Vishay"), disclaim any and all liability for any errors, inaccuracies or incompleteness contained in any datasheet or in any other disclosure relating to any product.

Vishay makes no warranty, representation or guarantee regarding the suitability of the products for any particular purpose or the continuing production of any product. To the maximum extent permitted by applicable law, Vishay disclaims (i) any and all liability arising out of the application or use of any product, (ii) any and all liability, including without limitation special, consequential or incidental damages, and (iii) any and all implied warranties, including warranties of fitness for particular purpose, non-infringement and merchantability.

Statements regarding the suitability of products for certain types of applications are based on Vishay's knowledge of typical requirements that are often placed on Vishay products in generic applications. Such statements are not binding statements about the suitability of products for a particular application. It is the customer's responsibility to validate that a particular product with the properties described in the product specification is suitable for use in a particular application. Parameters provided in datasheets and / or specifications may vary in different applications and performance may vary over time. All operating parameters, including typical parameters, must be validated for each customer application by the customer's technical experts. Product specifications do not expand or otherwise modify Vishay's terms and conditions of purchase, including but not limited to the warranty expressed therein.

Except as expressly indicated in writing, Vishay products are not designed for use in medical, life-saving, or life-sustaining applications or for any other application in which the failure of the Vishay product could result in personal injury or death. Customers using or selling Vishay products not expressly indicated for use in such applications do so at their own risk. Please contact authorized Vishay personnel to obtain written terms and conditions regarding products designed for such applications.

No license, express or implied, by estoppel or otherwise, to any intellectual property rights is granted by this document or by any conduct of Vishay. Product names and markings noted herein may be trademarks of their respective owners.

# Apéndice C

## Hoja de datos NTC B57364S0109M0

Este apéndice contiene la hoja de datos del termistor NTC B57364S0109M0 utilizado en la fuente de alimentación



# **NTC thermistors for inrush current limiting**

Leaded and coated disks

**Series/Type:**      **B57364S0\*\*\*M0\*\***

**Date:**                November 2015

© EPCOS AG 2015. Reproduction, publication and dissemination of this publication, enclosures hereto and the information contained therein without EPCOS' prior express consent is prohibited.

EPCOS AG is a TDK Group Company.

**Applications**

- Inrush current limiting, e.g. in switch-mode power supplies, soft-start motors

**Features**

- Leaded and coated NTCthermistors
- Tinned copper wire, kinked
- Coating material flame retardant to UL 94 V-0
- Component marking includes the manufacturer's logo, resistance value and date code
- Highly stable electrical characteristics

**Approvals**

- UL 1434 (file number E69802)
- IEC(certificate number 101QA12)  
 $R_{25} = 2$  up to  $10 \Omega$
- VDE (certificate number 40038223)  
 $R_{25} = 2$  up to  $10 \Omega$
- CQC(0900104539)

**Options**

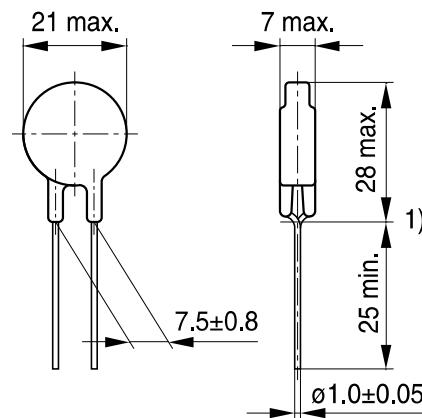
Resistance tolerance <20% and alternative lead configurations available on request

**Delivery mode**

Bulk (standard), cardboard tape on reel or Ammo pack

**General technical data**

Climatic category	(IEC60068-1)	$P_{max}$	55/170/21	
Max. power	(at 25 °C)	$\Delta R_R/R_R$	5.1	W
Resistance tolerance		$T_R$	±20	%
Rated temperature		$\delta_{th}$	25	°C
Dissipation factor	(in air)	$\tau_c$	approx. 24	mW/K
Thermal cooling time constant	(in air)	$C_{th}$	approx. 100	s
Heat capacity			approx. 2400	mJ/K

**Dimensional drawing**

1) Seating plane to IEC 60717

ICL0041-F-E

Dimensions in mm

Approx. weight 4 g

**Electrical specification and ordering codes**

$R_{25}$ $\Omega$	$I_{max}$ (0...65 °C) A	$C_{test}^{1)}$ 230 V AC $\mu F$	$C_{test}^{1)}$ 110 V AC $\mu F$	$R_{min}$ (@ $I_{max}$ , 25 °C) $\Omega$	Ordering code
1	16	1000	4000	0.021	B57364S0109M0**
2	12	1000	4000	0.036	B57364S0209M0**
2.5	11	1000	4000	0.044	B57364S0259M0**
4	9.5	1000	4000	0.059	B57364S0409M0**
5	8.5	1000	4000	0.073	B57364S0509M0**
10	7.5	1000	4000	0.098	B57364S0100M0**

\*\* = Delivery mode

00 = Bulk

51 = Reel packing

54 = Ammo packing

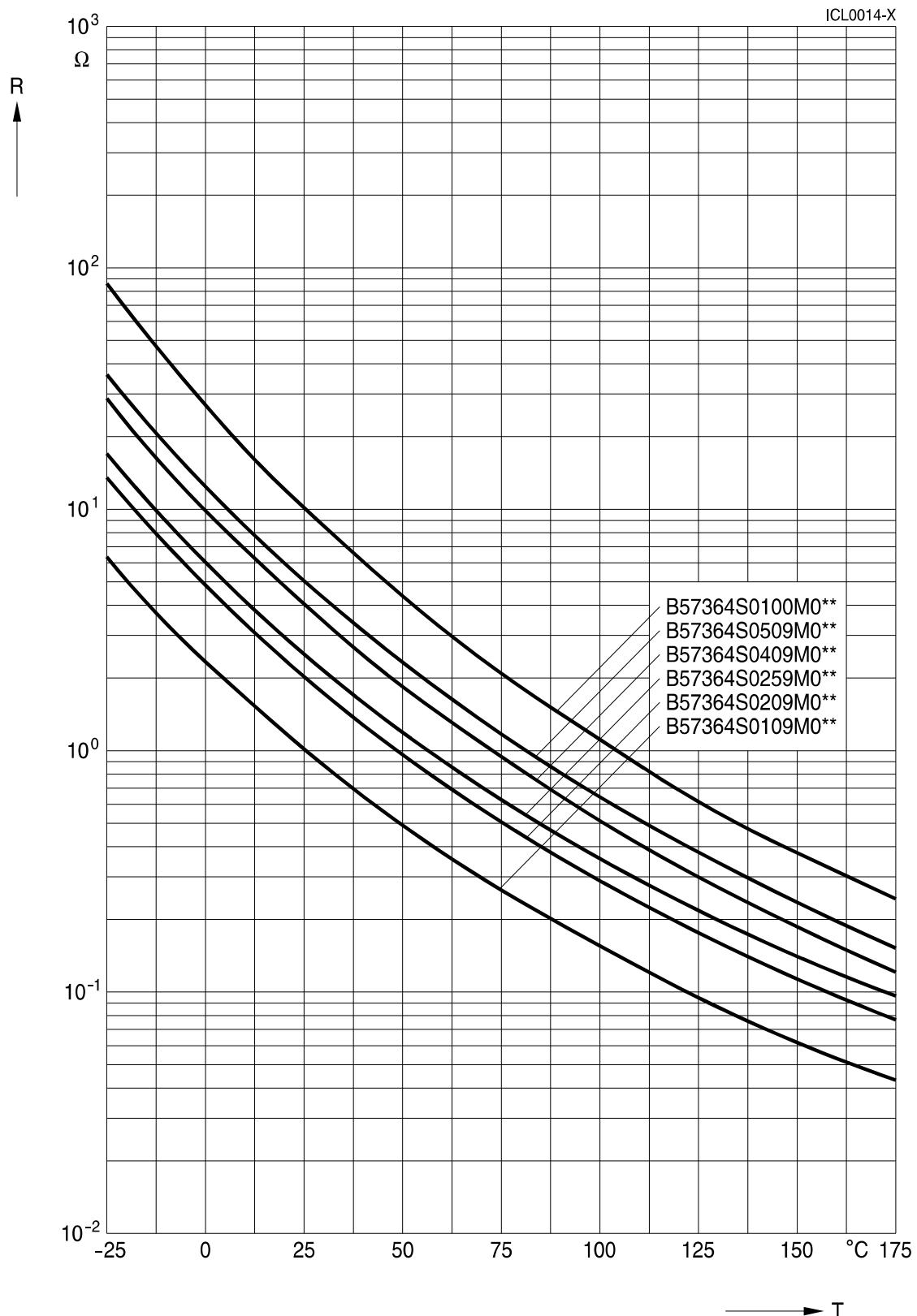
1) For details on the capacitance  $C_{test}$  please refer to "Application notes", chapter 1.6.

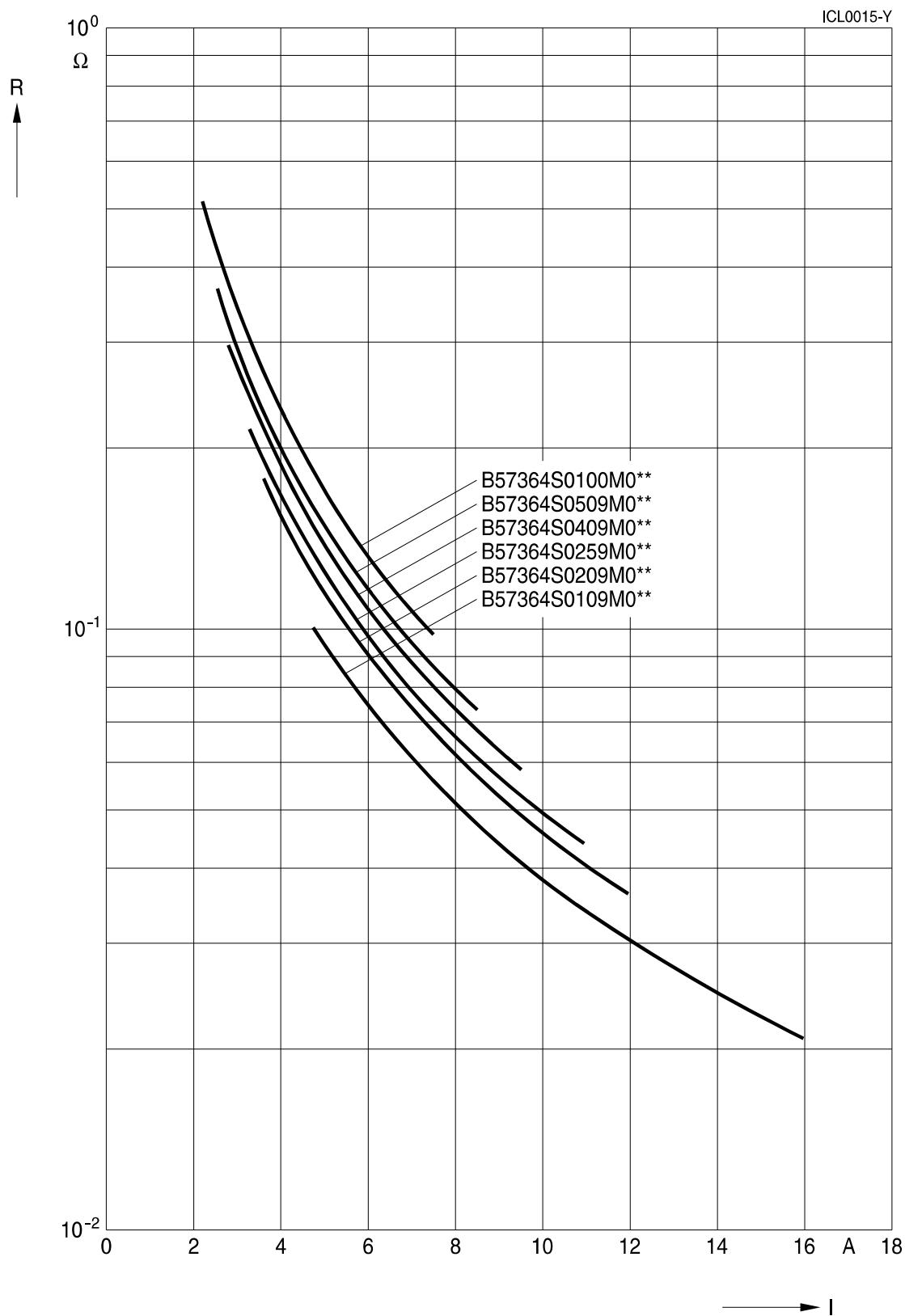
## Reliability data

Test	Standard	Test conditions	$\Delta R_{25}/R_{25}$ (typical)	Remarks
Storage in dry heat	IEC 60068-2-2	Storage at upper category temperature T: 170 °C t: 1000 h	< 20%	No visible damage
Storage in damp heat, steady state	IEC 60068-2-78	Temperature of air: 40 °C Relative humidity of air: 93% Duration: 21 days	< 20%	No visible damage
Thermal schock	IEC 60068-2-14	Lower test temperature: -55 °C t: 30 min Upper test temperature: 170 °C t: 30 min Time to change from lower to upper temperature: < 30 s Number of cycles: 10	< 20%	No visible damage
Endurance	IEC 60539-1	Ambient temperature: 25 ±5 °C $I = I_{max}$ t: 1000 h	< 20%	No visible damage
Cyclic endurance	IEC 60539-1	Ambient temperature: 25 ±5 °C $I = I_{max}$ On-time = 1 min Cooling time = 5 min Number of cycles: 1000	< 20%	No visible damage
Maximum permissible capacitance test	IEC 60539-1	Ambient temperature: 25 ±5 °C Capacitance = $C_{test}$ Number of cycles: 1000	< 20%	No visible damage

## Note

- The self-heating of a thermistor during operation depends on the load applied and the applicable dissipation factor.
- When loaded with maximum allowable current/power and the specified dissipation factor is taken as a basis, the NTCthermistor may reach a mean temperature of up to 250 °C.
- The heat developed during operation will also be dissipated through the lead wires. So the contact areas, too, may become quite hot at maximum load.
- When mounting NTCthermistors you have to ensure that there is an adequate distance between the thermistor and all parts which are sensitive to heat or combustible.

**Resistance versus temperature****S364 series**

**Resistance versus current****S364 series**

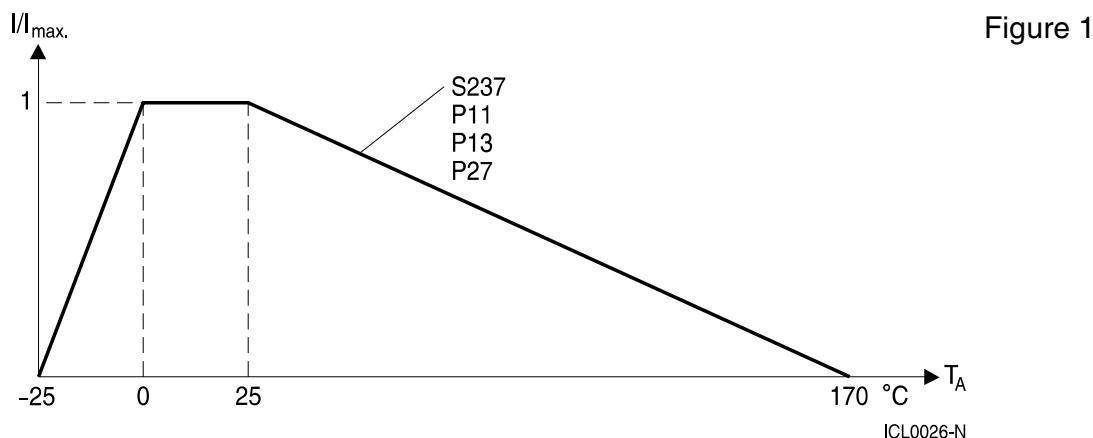
## Application notes

The following two important aspects for determining the right NTCinrush current limiter are excerpted from the chapter "Application notes" in the "NTCInrush Current Limiters, Data book 2012". The complete application note can be downloaded from [www.epcos.com/ntcicl\\_appnotes](http://www.epcos.com/ntcicl_appnotes).

### 1.4 Load derating

The power handling capability of an NTCthermistor cannot be fully utilized over the entire temperature range. For circuit dimensioning the derating curve given below provides information on the extent to which the current must be reduced at a certain ambient temperature ( $T_A$ ).

#### Derating curve for types S237, P11 and P13

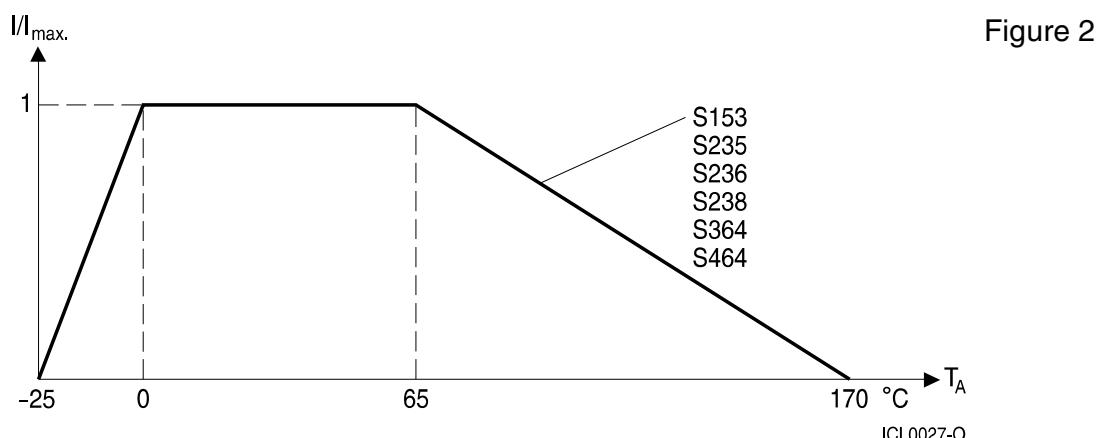


$$\text{Percent of } I_{\max} = 100 \left[ 1 - \frac{T_A - 25 \text{ } ^\circ\text{C}}{T_{\max} - 25 \text{ } ^\circ\text{C}} \right]$$

$T_A$  = Ambient temperature > 25 °C

$T_{\max}$  = 170 °C

#### Derating curve for types S153, S235, S236, S238, S364 and S464



$$\text{Percent of } I_{\max} = 100 \left[ 1 - \frac{T_A - 65 \text{ } ^\circ\text{C}}{T_{\max} - 65 \text{ } ^\circ\text{C}} \right]$$

$T_A$  = Ambient temperature  $> 65 \text{ } ^\circ\text{C}$

$T_{\max} = 170 \text{ } ^\circ\text{C}$

The  $I_{\max}$  values specified in the data sheets denote the maximum permissible continuous current (DC or RMS values for sine-shaped AC) in the temperature range  $0 \text{ } ^\circ\text{C}$  to  $65 \text{ } ^\circ\text{C}$ .

## 1.6 Maximum permissible capacitance

The currents during turn-on are much higher than the rated currents during continuous operation. To test the effects of these current surges EPCOS uses the following standard procedure according to IEC60539-1:

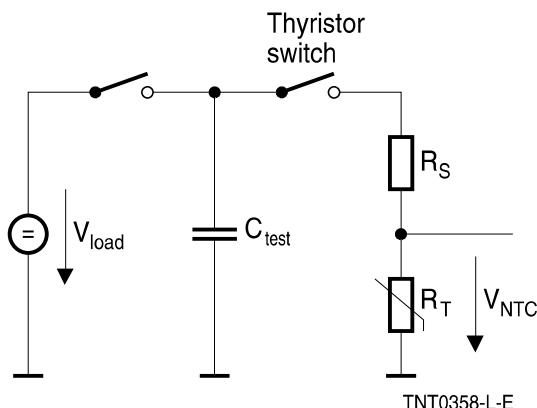


Figure 3

Test circuit for evaluating the maximum permissible capacitance of an NTC thermistor

$V_{\text{load}}$  Load voltage [V]

$C_{\text{test}}$  Test capacitance [ $\mu\text{F}$ ]

$R_S$  Series resistance [ $R_S = 1 \Omega$ ]

$V_{\text{NTC}}$  Voltage drop across the NTC under test [V]

The capacitor  $C_{\text{test}}$  is discharged via the series resistor  $R_S$  and the NTC inrush current limiter. The load voltage is chosen such that the voltage applied to the thermistor at the start of discharge is  $V_{\text{NTC}} = 375 \text{ V}$  (corresponds to  $(230 \text{ V} + \Delta V) \cdot \sqrt{2}$ ).

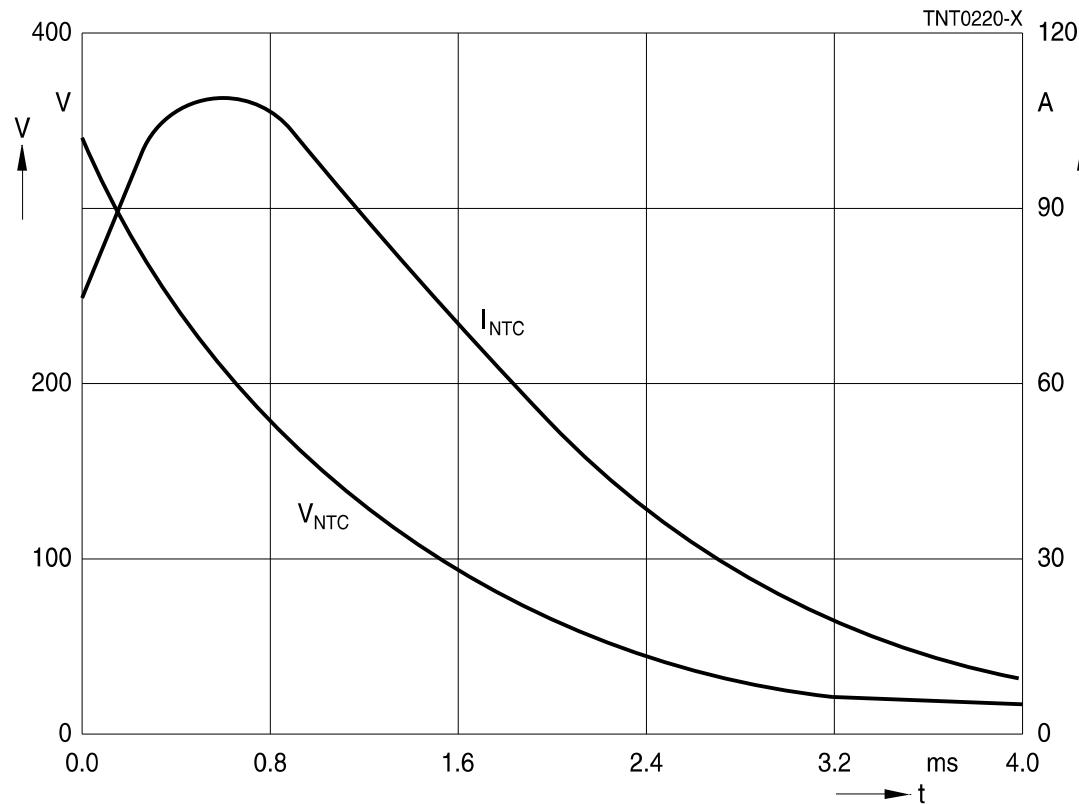


Figure 4

Maximum permissible capacitance discharging test: typical curves

The maximum capacitances that can be switched depend on the individual thermistor type and are given in the data sheets.

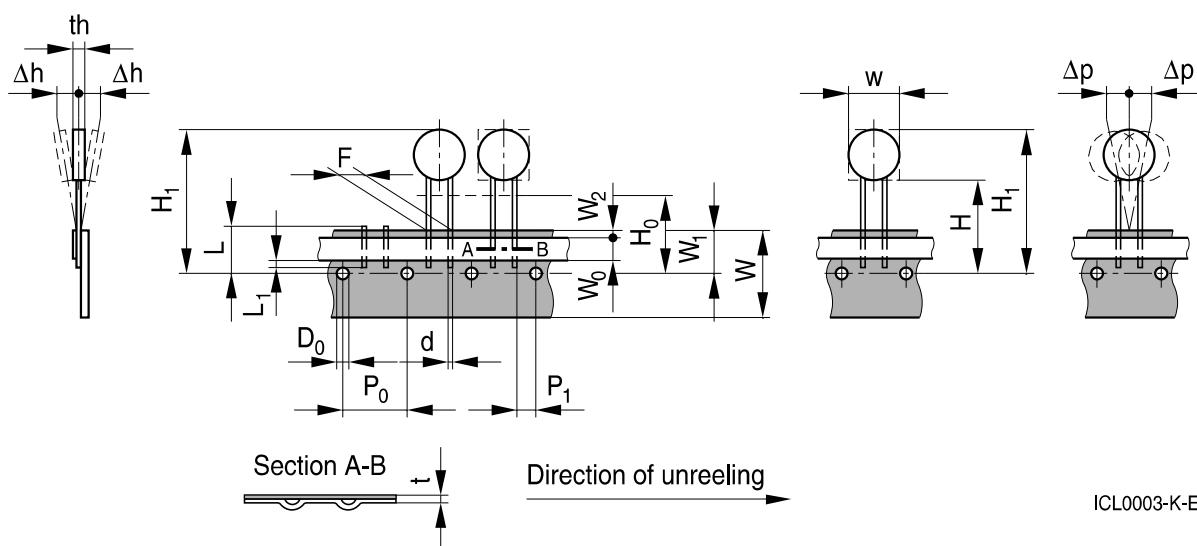
## Taping and packing

### 1 Taping of radial leaded ICL NTCthermistors according to the specified lead spacing

#### Dimensions and tolerances

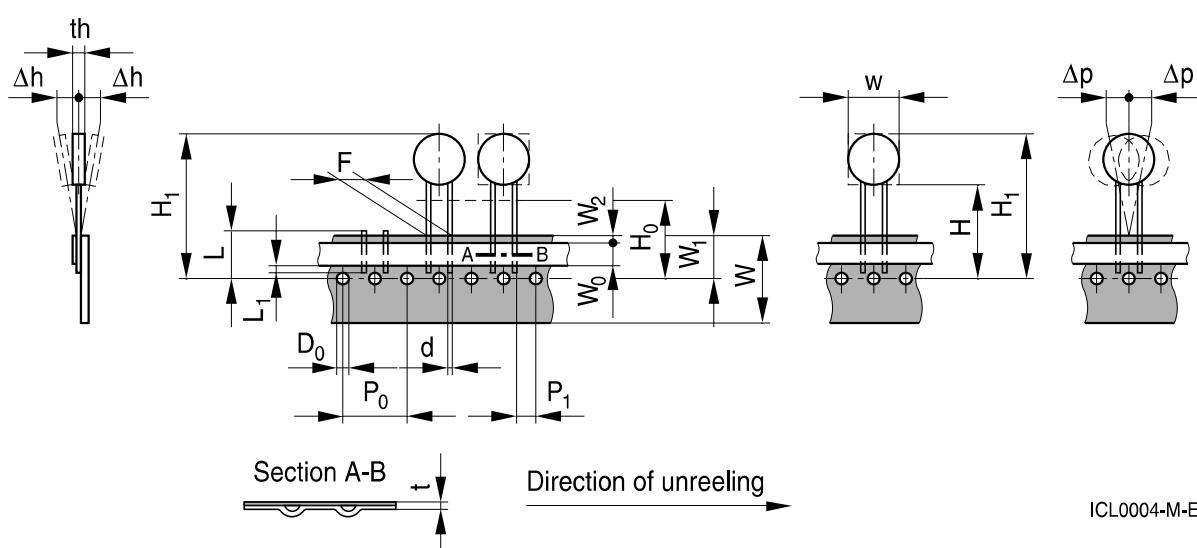
**Lead spacing F = 5.0 mm** (taping to IEC60286-2)

for the following types: S153, S235 and S236



**Lead spacing F = 7.5 mm** (taping based on IEC60286-2)

for the following types: P11, P13, S237, S238 and S364

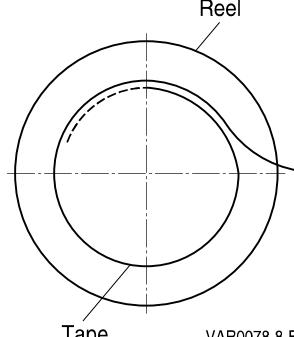
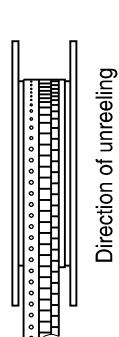
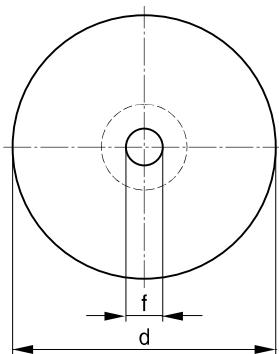
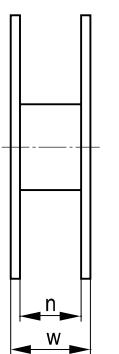


**Dimensions (mm)**

	Lead spacing 5 mm	Tolerance of lead spacing 5 mm	Lead spacing 7.5 mm	Tolerance of lead spacing 7.5 mm	Remarks
w	$\leq 12.0$		$\geq 12.0$		please refer to dimensional drawings
th	6.0	max.	7	max.	please refer to dimensional drawings
d	0.5/0.6	$\pm 0.05$	0.8/1.0	$\pm 0.05$	please refer to dimensional drawings
P <sub>0</sub>	12.7	$\pm 0.3$	12.7	$\pm 0.3$	$\pm 1$ mm / 20 sprocket holes
P <sub>1</sub>	3.85	$\pm 0.7$	8.95	$\pm 0.8$	
F	5.0	$+0.6/-0.1$	7.5	$\pm 0.8$	
$\Delta h$	0	$\pm 2.0$	0	Depends on th	measured at top of component body
$\Delta p$	0	$\pm 1.3$	0	$\pm 2.0$	
W	18.0	$\pm 0.5$	18.0	$\pm 0.5$	
W <sub>0</sub>	5.5	min.	11.0	min.	peel-off force $\geq 5$ N
W <sub>1</sub>	9.0	$+0.75/-0.5$	9.0	$+0.75/-0.5$	
W <sub>2</sub>	3.0	max.	3.0	max.	
H	18.0	$+2.0/-0$	18.0	$+2.0/-0$	applies only to uncrimped types
H <sub>0</sub>	16.0	$\pm 0.5$	16.0	$\pm 0.5$	applies only to crimped types
H <sub>1</sub>	32.2	max.	45.0	max.	
D <sub>0</sub>	4.0	$\pm 0.2$	4.0	$\pm 0.2$	
t	0.9	max.	0.9	max.	without wires
L	11.0	max.	11.0	max.	
L <sub>1</sub>	4.0	max.	4.0	max.	

## Types of packing

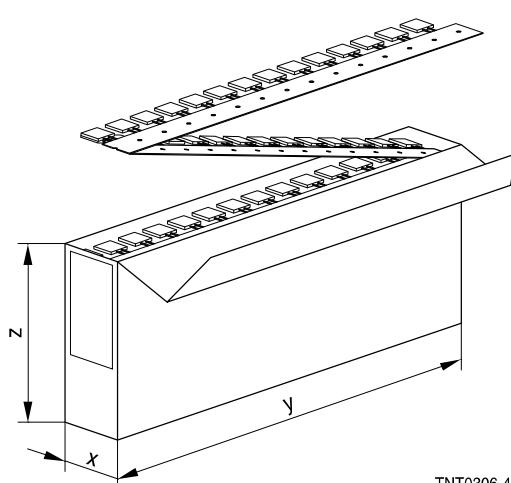
### Reel packing



### Reel dimensions (in mm)

Reel type	Series	pcs. per reel	d	f	n	w
I	S153, S235	1500	360 max.	31 ±1	approx. 45	54 max.
I	S236	1000	360 max.	31 ±1	approx. 45	54 max.
II	P11, P13	1500	500 max.	23 ±1	approx. 59	72 max.
II	S237, S238, S364	1000	500 max.	23 ±1	approx. 59	72 max.

### Ammo packing



Ammo type	Series	pcs. per package	x	y	z
I	S153, S235, S236	1000	45	335	272
II	P11, P13, S237, S238, S364	750	55	340	340

### Ammo packing dimensions (in mm)

### Bulk packing

The components are packed in cardboard boxes, the size of which depends on the order quantity. Series S464 and P27 is only available as bulk.

## Mounting instructions

### 1 Soldering

#### 1.1 Leaded NTCthermistors

Leaded thermistors comply with the solderability requirements specified by CECC.

When soldering, care must be taken that the NTC thermistors are not damaged by excessive heat. The following maximum temperatures, maximum time spans and minimum distances have to be observed:

	<i>Dip soldering</i>	<i>Iron soldering</i>
Bath temperature	max. 260 °C	max. 360 °C
Soldering time	max. 4 s	max. 2 s
Distance from thermistor	min. 6 mm	min. 6 mm

Under more severe soldering conditions the resistance may change.

#### Solderability (test to IEC60068-2-20)

Preconditioning: Immersion into flux F-SW 32.

Evaluation criterion: Wetting of soldering areas ≥95%.

Solder	Bath temperature (°C)	Dwell time (s)
SnAg (3.0 ... 4.0), Cu (0.5 ... 0.9)	245 ±3	3

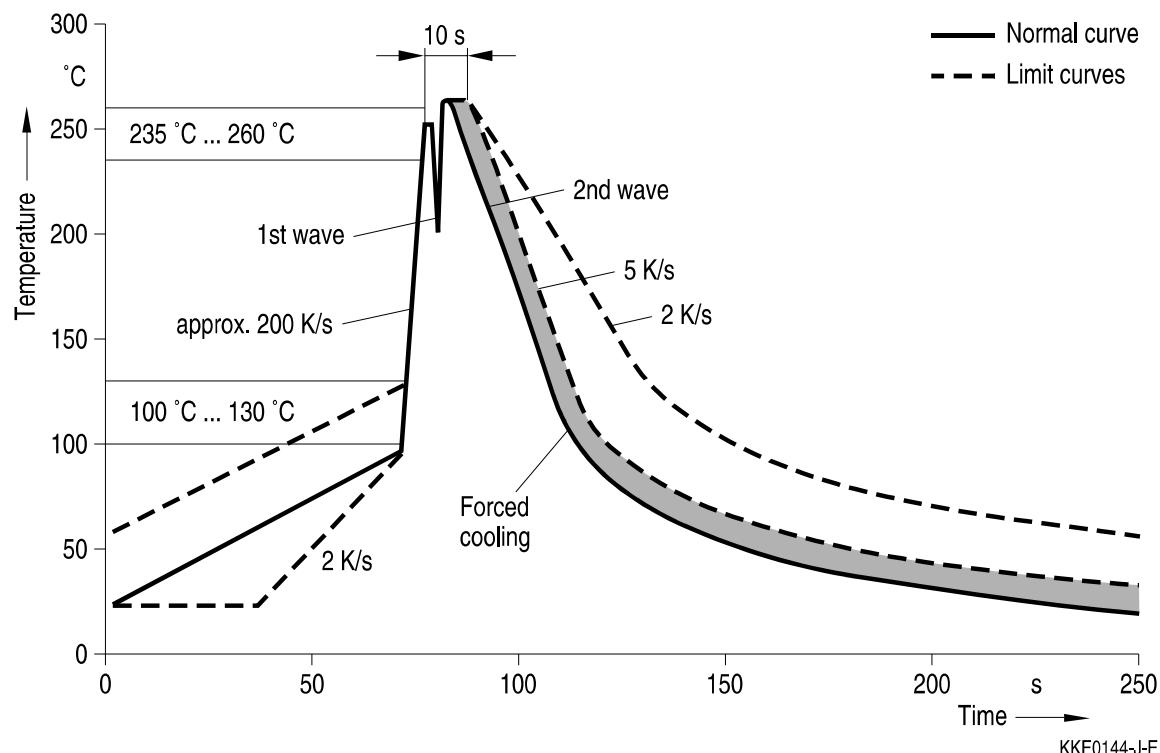
#### 1.1.1 Resistance to soldering heat (test to IEC60068-2-20)

Preconditioning: Immersion into flux F-SW 32.

Solder	Bath temperature (°C)	Dwell time (s)
SnAg (3.0 ... 4.0), Cu (0.5 ... 0.9)	260 –5	10

### 1.1.2 Wave soldering

Temperature characteristic at component terminal with dual wave soldering



## 2 Robustness of terminations

The leads meet the requirements of IEC 60068-2-21. They may not be bent closer than 4 mm from the solder joint on the thermistor body or from the point at which they leave the feed-throughs. During bending, any mechanical stress at the outlet of the leads must be removed. The bending radius should be at least 0.75 mm.

Tensile strength: Test Ua1:

$$\begin{aligned} \text{Leads } 0.50 < \varnothing \leq 0.80 \text{ mm} &= 10.0 \text{ N} \\ 0.80 < \varnothing \leq 1.25 \text{ mm} &= 20.0 \text{ N} \end{aligned}$$

Bending strength: Test Ub:

Two 90°-bends in opposite directions at a weight of 0.25 kg.

Torsional strength: Test Uc: severity 2

The lead is bent by 90° at a distance of 6 to 6.5 mm from the thermistor body.

The bending radius of the leads should be approx. 0.75 mm. Two torsions of 180° each (severity 2).

When subjecting leads to mechanical stress, the following should be observed:

#### *Tensile stress on leads*

During mounting and operation tensile forces on the leads are to be avoided.

#### *Bending of leads*

Bending of the leads directly on the thermistor body is not permissible.

A lead may be bent at a minimum distance of twice the wire's diameter +2 mm from the solder joint on the thermistor body. During bending the wire must be mechanically relieved at its outlet. The bending radius should be at least 0.75 mm.

#### *Twisting of leads*

The twisting (torsion) by 180° of a lead bent by 90° is permissible at 6 mm from the bottom of the thermistor body.

### **3 Sealing and potting**

When thermistors are sealed, potted or overmolded, there must be no mechanical stress caused by thermal expansion during the production process (curing / overmolding process) and during later operation. The upper category temperature of the thermistor must not be exceeded. Ensure that the materials used (sealing / potting compound and plastic material) are chemically neutral.

### **4 Cleaning**

If cleaning is necessary, mild cleaning agents such as ethyl alcohol and cleaning gasoline are recommended. Cleaning agents based on water are not allowed. Ultrasonic cleaning methods are permissible.

### **5 Storage**

In order to maintain their solderability, thermistors must be stored in a non-corrosive atmosphere. Humidity, temperature and container materials are critical factors.

The components should be left in the original packing. Touching the metallization of unsoldered thermistors may change their soldering properties.

Storage temperature: -25 °C up to 45 °C

Max. relative humidity (without condensation):

<95%, maximum 30 days per annum

Solder the thermistors listed in this data book after shipment from EPCOS within the time specified:

Leaded components: 24 months

## Cautions and warnings

### General

See "Important notes" on page 2.

### Storage

- Store thermistors only in original packaging. Do not open the package before storage.
- Storage conditions in original packaging: storage temperature  $-25^{\circ}\text{C}$ ...  $+45^{\circ}\text{C}$ , relative humidity  $\leq 75\%$  annual mean, maximum 95%, dewprecipitation is inadmissible.
- Avoid contamination of thermistors surface during storage, handling and processing.
- Avoid storage of thermistor in harmful environments like corrosive gases ( $\text{SO}_x$ ,  $\text{Cl}$  etc).
- Solder thermistors after shipment from EPCOS within the time specified:
  - Leaded components: 24 months

### Handling

- NTCinrush current limiters must not be dropped. Chip-offs must not be caused during handling of NTCinrush current limiters.
- Components must not be touched with bare hands. Gloves are recommended.
- Avoid contamination of thermistor surface during handling.
- In case of exposure of the NTCinrush current limiters to water, electrolytes or other aggressive media, these media can penetrate the coating and reach the surface of the ceramic. Low-ohmic or high-ohmic behavior may occur due to the formation of an electrolyte with metals (silver/lead/tin from metallization or solder). Low-ohmic behavior is caused by electrochemical migration, high-ohmic behavior by dissolving of the electrode. In either case, the functionality of the NTCinrush current limiters can not be assured.
- Washing processes may damage the product due to the possible static or cyclic mechanical loads (e.g. ultrasonic cleaning). They may cause cracks to develop on the product and its parts, which might lead to reduced reliability or lifetime.

### Bending / twisting leads

- A lead (wire) may be bent at a minimum distance of twice the wire's diameter plus 4 mm from the component head or housing. When bending ensure the wire is mechanically relieved at the component head or housing. The bending radius should be at least 0.75 mm.
- Twisting (torsion) by  $180^{\circ}$  of a lead bent by  $90^{\circ}$  is permissible at 6 mm from the bottom of the thermistor body.

### Soldering

- Use resin-type flux or non-activated flux.
- Insufficient preheating may cause ceramic cracks.
- Rapid cooling by dipping in solvent is not recommended.
- Complete removal of flux is recommended.

## Mounting

- When NTCinrush current limiters are encapsulated with sealing material or overmolded with plastic material, the precautions given in chapter "Mounting instructions", "Sealing and potting" must be observed.
- Electrode must not be scratched before/during/after the mounting process.
- Contacts and housings used for assembly with thermistor have to be clean before mounting.
- During operation, the inrush current limiters surface temperature can be very high. Ensure that adjacent components are placed at a sufficient distance from the thermistor to allow for proper cooling of the NTCinrush current limiters.
- Ensure that adjacent materials are designed for operation at temperatures comparable to the surface temperature of the thermistor. Be sure that surrounding parts and materials can withstand this temperature.
- Make sure that inrush current limiters are adequately ventilated to avoid overheating.
- Avoid contamination of thermistor surface during processing.

## Operation

- Use NTCinrush current limiters only within the specified operating temperature range.
- Use NTCinrush current limiters only within the specified voltage and current ranges.
- Environmental conditions must not harm the NTCinrush current limiters. Use NTCinrush current limiters only in normal atmospheric conditions.
- Contact of NTCinrush current limiters with any liquids and solvents should be prevented. It must be ensured that no water enters the NTCinrush current limiters (e.g. through plug terminals). For measurement purposes (checking the specified resistance vs. temperature), the component must not be immersed in water but in suitable liquids (e.g. Galden).
- In case of exposure of the NTCinrush current limiters to water, electrolytes or other aggressive media, these media can penetrate the coating and reach the surface of the ceramic. Low-ohmic or high-ohmic behavior may occur due to the formation of an electrolyte with metals (silver/lead/tin from metallization or solder). Low-ohmic behavior is caused by electrochemical migration, high-ohmic behavior by dissolving of the electrode. In either case, the functionality of the NTCinrush current limiters can not be assured.
- Be sure to provide an appropriate fail-safe function to prevent secondary product damage caused by malfunction (e.g. use a metal oxide varistor for limitation of overvoltage condition).

This listing does not claim to be complete, but merely reflects the experience of EPCOS AG.

## Display of ordering codes for EPCOS products

The ordering code for one and the same EPCOS product can be represented differently in data sheets, data books, other publications, on the EPCOS website, or in order-related documents such as shipping notes, order confirmations and product labels. **The varying representations of the ordering codes are due to different processes employed and do not affect the specifications of the respective products.** Detailed information can be found on the Internet under [www.epcos.com/orderingcodes](http://www.epcos.com/orderingcodes)

## Symbols and terms

Symbol	English
B	B value
$C_{\text{test}}$	Test capacitance
$C_{\text{th}}$	Heat capacitance
I	Current
$I_{\max}$	Maximum current within stated temperature range
$I_{\text{NTC}}$	NTCcurrent
$I_{\text{test}}$	High test current for additional endurance tests
$P_{\max}$	Maximum power within stated temperature range
$R_{\min}$	Minimum resistance
$R_R$	Rated resistance
$\Delta R_R/R_R$	Resistance tolerance
$R_S$	Series resistance
$R_T$	Resistance at temperature T (e.g. $R_{25}$ = resistance at 25 °C)
T	Temperature
t	Time
$T_A$	Ambient temperature
$t_a$	Thermal threshold time
$T_{\max}$	Upper category temperature
$T_{\min}$	Lower category temperature
$T_R$	Rated temperature
V	Voltage
$V_{\text{load}}$	Load voltage
$V_{\text{NTC}}$	Voltage drop across an NTCthermistor
$\alpha$	Temperature coefficient
$\Delta$	Tolerance, change
$\delta_{\text{th}}$	Dissipation factor
$\tau_c$	Thermal cooling time constant

## Abbreviations / Notes

Symbol	English
*	To be replaced by a number in ordering codes, type designations etc.
+	To be replaced by a letter. All dimensions are given in mm. The commas used in numerical values denote decimal points.

## Important notes

The following applies to all products named in this publication:

1. Some parts of this publication contain **statements about the suitability of our products for certain areas of application**. These statements are based on our knowledge of typical requirements that are often placed on our products in the areas of application concerned. We nevertheless expressly point out that **such statements cannot be regarded as binding statements about the suitability of our products for a particular customer application**. As a rule we are either unfamiliar with individual customer applications or less familiar with them than the customers themselves. For these reasons, it is always ultimately incumbent on the customer to check and decide whether a product with the properties described in the product specification is suitable for use in a particular customer application.
2. We also point out that **in individual cases, a malfunction of electronic components or failure before the end of their usual service life cannot be completely ruled out in the current state of the art, even if they are operated as specified**. In customer applications requiring a very high level of operational safety and especially in customer applications in which the malfunction or failure of an electronic component could endanger human life or health (e.g. in accident prevention or life-saving systems), it must therefore be ensured by means of suitable design of the customer application or other action taken by the customer (e.g. installation of protective circuitry or redundancy) that no injury or damage is sustained by third parties in the event of malfunction or failure of an electronic component.
3. **The warnings, cautions and product-specific notes must be observed.**
4. In order to satisfy certain technical requirements, **some of the products described in this publication may contain substances subject to restrictions in certain jurisdictions (e.g. because they are classed as hazardous)**. Useful information on this will be found in our Material Data Sheets on the Internet ([www.tdk-electronics.tdk.com/material](http://www.tdk-electronics.tdk.com/material)). Should you have any more detailed questions, please contact our sales offices.
5. We constantly strive to improve our products. Consequently, **the products described in this publication may change from time to time**. The same is true of the corresponding product specifications. Please check therefore to what extent product descriptions and specifications contained in this publication are still applicable before or when you place an order.

We also **reserve the right to discontinue production and delivery of products**. Consequently, we cannot guarantee that all products named in this publication will always be available. The aforementioned does not apply in the case of individual agreements deviating from the foregoing for customer-specific products.

6. Unless otherwise agreed in individual contracts, **all orders are subject to our General Terms and Conditions of Supply**.
7. **Our manufacturing sites serving the automotive business apply the IATF 16949 standard**. The IATF certifications confirm our compliance with requirements regarding the quality management system in the automotive industry. Referring to customer requirements and customer specific requirements ("CSR") TDK always has and will continue to have the policy of respecting individual agreements. Even if IATF 16949 may appear to support the acceptance of unilateral requirements, we hereby like to emphasize that **only requirements mutually agreed upon can and will be implemented in our Quality Management System**. For clarification purposes we like to point out that obligations from IATF 16949 shall only become legally binding if individually agreed upon.

## Important notes

8. The trade names EPCOS, CeraCharge, CeraDiode, CeraLink, CeraPad, CeraPlas, CSMP, CTVS, DeltaCap, DigiSiMic, ExoCore, FilterCap, FormFit, LeaXield, MiniBlue, MiniCell, MKD, MKK, MotorCap, PCC, PhaseCap, PhaseCube, PhaseMod, PhiCap, PowerHap, PQSine, PQvar, SIFERRIT, SIFI, SIKOREL, SilverCap, SIMDAD, SiMic, SIMID, SineFormer, SIOV, ThermoFuse, WindCap are **trademarks registered or pending** in Europe and in other countries. Further information will be found on the Internet at [www.tdk-electronics.tdk.com/trademarks](http://www.tdk-electronics.tdk.com/trademarks).

Release 2018-10

# Apéndice D

## Hoja de datos IR2110

Este apéndice contiene la hoja de datos del controlador de puerta de flotante de MOSFET utilizado para encender la puerta del dispositivo superior en cada pierna del puente H.

## IR2110(S)PbF/IR2113(S)PbF

### HIGH AND LOW SIDE DRIVER

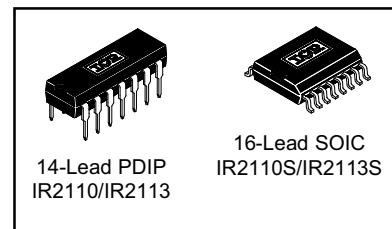
#### Features

- Floating channel designed for bootstrap operation
- Fully operational to +500V or +600V
- Tolerant to negative transient voltage
- dV/dt immune
- Gate drive supply range from 10 to 20V
- Undervoltage lockout for both channels
- 3.3V logic compatible
- Separate logic supply range from 3.3V to 20V
- Logic and power ground  $\pm 5V$  offset
- CMOS Schmitt-triggered inputs with pull-down
- Cycle by cycle edge-triggered shutdown logic
- Matched propagation delay for both channels
- Outputs in phase with inputs

#### Product Summary

V <sub>OFFSET</sub> (IR2110)	500V max.
(IR2113)	600V max.
I <sub>O</sub> +-	2A / 2A
V <sub>OUT</sub>	10 - 20V
t <sub>on/off</sub> (typ.)	120 & 94 ns
Delay Matching (IR2110)	10 ns max.
(IR2113)	20ns max.

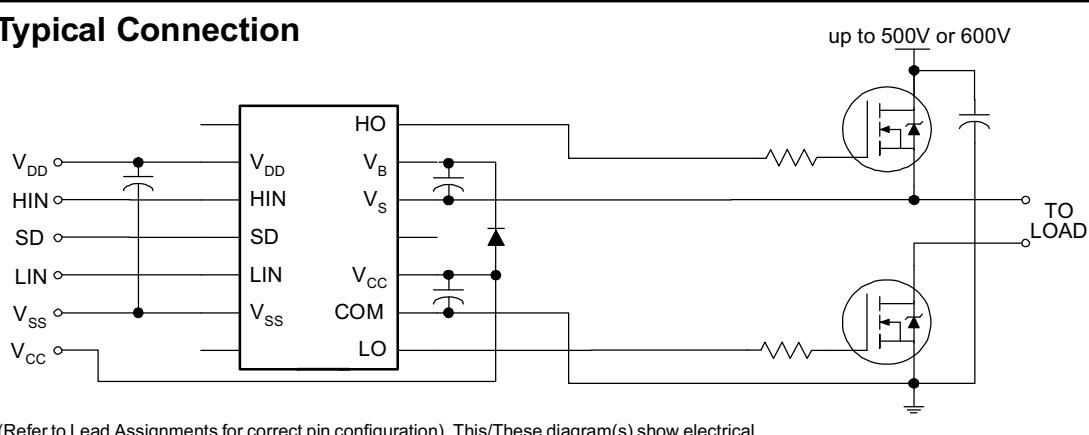
#### Packages



#### Description

The IR2110/IR2113 are high voltage, high speed power MOSFET and IGBT drivers with independent high and low side referenced output channels. Proprietary HVIC and latch immune CMOS technologies enable ruggedized monolithic construction. Logic inputs are compatible with standard CMOS or LSTTL output, down to 3.3V logic. The output drivers feature a high pulse current buffer stage designed for minimum driver cross-conduction. Propagation delays are matched to simplify use in high frequency applications. The floating channel can be used to drive an N-channel power MOSFET or IGBT in the high side configuration which operates up to 500 or 600 volts.

#### Typical Connection



# IR2110(S)PbF/IR2113(S)PbF

International  
Rectifier

## Absolute Maximum Ratings

Absolute maximum ratings indicate sustained limits beyond which damage to the device may occur. All voltage parameters are absolute voltages referenced to COM. The thermal resistance and power dissipation ratings are measured under board mounted and still air conditions. Additional information is shown in Figures 28 through 35.

Symbol	Definition	Min.	Max.	Units
V <sub>B</sub>	High side floating supply voltage (IR2110) (IR2113)	-0.3	525	V
V <sub>S</sub>	High side floating supply offset voltage	V <sub>B</sub> - 25	V <sub>B</sub> + 0.3	
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub> - 0.3	V <sub>B</sub> + 0.3	
V <sub>CC</sub>	Low side fixed supply voltage	-0.3	25	
V <sub>LO</sub>	Low side output voltage	-0.3	V <sub>CC</sub> + 0.3	
V <sub>DD</sub>	Logic supply voltage	-0.3	V <sub>SS</sub> + 25	
V <sub>SS</sub>	Logic supply offset voltage	V <sub>CC</sub> - 25	V <sub>CC</sub> + 0.3	
V <sub>IN</sub>	Logic input voltage (HIN, LIN & SD)	V <sub>SS</sub> - 0.3	V <sub>DD</sub> + 0.3	
dV <sub>S</sub> /dt	Allowable offset supply voltage transient (figure 2)	—	50	V/ns
P <sub>D</sub>	Package power dissipation @ T <sub>A</sub> ≤ +25°C (14 lead DIP) (16 lead SOIC)	—	1.6 1.25	W
R <sub>THJA</sub>	Thermal resistance, junction to ambient (14 lead DIP) (16 lead SOIC)	—	75 100	
T <sub>J</sub>	Junction temperature	—	150	°C
T <sub>S</sub>	Storage temperature	-55	150	
T <sub>L</sub>	Lead temperature (soldering, 10 seconds)	—	300	

## Recommended Operating Conditions

The input/output logic timing diagram is shown in figure 1. For proper operation the device should be used within the recommended conditions. The V<sub>S</sub> and V<sub>SS</sub> offset ratings are tested with all supplies biased at 15V differential. Typical ratings at other bias conditions are shown in figures 36 and 37.

Symbol	Definition	Min.	Max.	Units
V <sub>B</sub>	High side floating supply absolute voltage	V <sub>S</sub> + 10	V <sub>S</sub> + 20	V
V <sub>S</sub>	High side floating supply offset voltage (IR2110) (IR2113)	Note 1	500	
		Note 1	600	
V <sub>HO</sub>	High side floating output voltage	V <sub>S</sub>	V <sub>B</sub>	
V <sub>CC</sub>	Low side fixed supply voltage	10	20	
V <sub>LO</sub>	Low side output voltage	0	V <sub>CC</sub>	
V <sub>DD</sub>	Logic supply voltage	V <sub>SS</sub> + 3	V <sub>SS</sub> + 20	
V <sub>SS</sub>	Logic supply offset voltage	-5 (Note 2)	5	
V <sub>IN</sub>	Logic input voltage (HIN, LIN & SD)	V <sub>SS</sub>	V <sub>DD</sub>	
T <sub>A</sub>	Ambient temperature	-40	125	°C

Note 1: Logic operational for V<sub>S</sub> of -4 to +500V. Logic state held for V<sub>S</sub> of -4V to -V<sub>BS</sub>. (Please refer to the Design Tip DT97-3 for more details).

Note 2: When V<sub>DD</sub> < 5V, the minimum V<sub>SS</sub> offset is limited to -V<sub>DD</sub>.

## Dynamic Electrical Characteristics

$V_{BIAS}$  ( $V_{CC}$ ,  $V_{BS}$ ,  $V_{DD}$ ) = 15V,  $C_L$  = 1000 pF,  $T_A$  = 25°C and  $V_{SS}$  = COM unless otherwise specified. The dynamic electrical characteristics are measured using the test circuit shown in Figure 3.

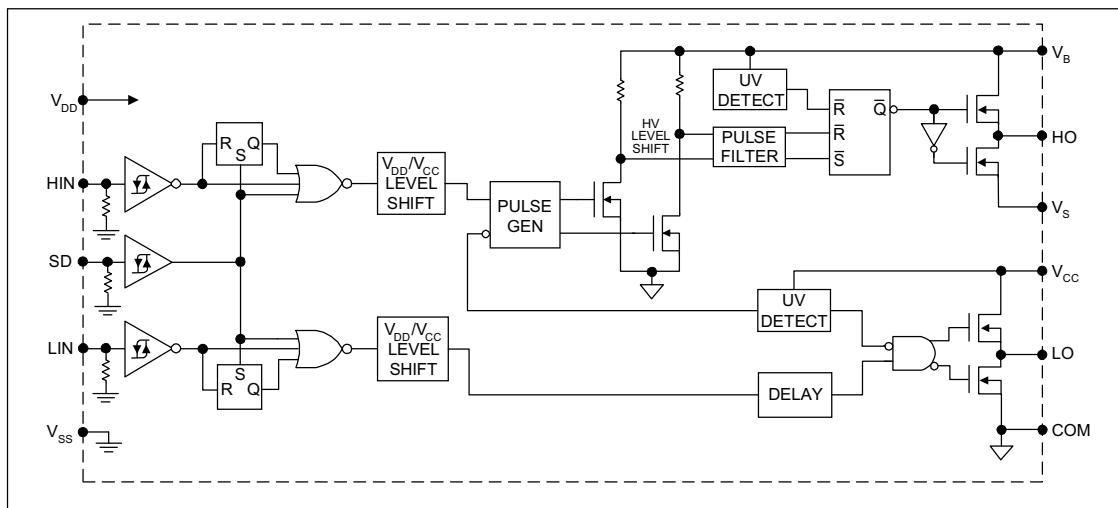
Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
$t_{on}$	Turn-on propagation delay	7	—	120	150	ns	$V_S = 0V$
$t_{off}$	Turn-off propagation delay	8	—	94	125		$V_S = 500V/600V$
$t_{sd}$	Shutdown propagation delay	9	—	110	140		$V_S = 500V/600V$
$t_r$	Turn-on rise time	10	—	25	35		
$t_f$	Turn-off fall time	11	—	17	25		
MT	Delay matching, HS & LS turn-on/off (IR2110) (IR2113)	—	—	—	10		
		—	—	—	20		

## Static Electrical Characteristics

$V_{BIAS}$  ( $V_{CC}$ ,  $V_{BS}$ ,  $V_{DD}$ ) = 15V,  $T_A$  = 25°C and  $V_{SS}$  = COM unless otherwise specified. The  $V_{IN}$ ,  $V_{TH}$  and  $I_{IN}$  parameters are referenced to  $V_{SS}$  and are applicable to all three logic input leads: HIN, LIN and SD. The  $V_O$  and  $I_O$  parameters are referenced to COM and are applicable to the respective output leads: HO or LO.

Symbol	Definition	Figure	Min.	Typ.	Max.	Units	Test Conditions
$V_{IH}$	Logic "1" input voltage	12	9.5	—	—	V	
$V_{IL}$	Logic "0" input voltage	13	—	—	6.0		
$V_{OH}$	High level output voltage, $V_{BIAS} - V_O$	14	—	—	1.2		$I_O = 0A$
$V_{OL}$	Low level output voltage, $V_O$	15	—	—	0.1		$I_O = 0A$
$I_{LK}$	Offset supply leakage current	16	—	—	50	$\mu A$	$V_B=V_S = 500V/600V$
$I_{QBS}$	Quiescent $V_{BS}$ supply current	17	—	125	230		$V_{IN} = 0V$ or $V_{DD}$
$I_{QCC}$	Quiescent $V_{CC}$ supply current	18	—	180	340		$V_{IN} = 0V$ or $V_{DD}$
$I_{QDD}$	Quiescent $V_{DD}$ supply current	19	—	15	30		$V_{IN} = 0V$ or $V_{DD}$
$I_{IN+}$	Logic "1" input bias current	20	—	20	40		$V_{IN} = V_{DD}$
$I_{IN-}$	Logic "0" input bias current	21	—	—	1.0		$V_{IN} = 0V$
$V_{BSUV+}$	$V_{BS}$ supply undervoltage positive going threshold	22	7.5	8.6	9.7	V	
$V_{BSUV-}$	$V_{BS}$ supply undervoltage negative going threshold	23	7.0	8.2	9.4		
$V_{CCUV+}$	$V_{CC}$ supply undervoltage positive going threshold	24	7.4	8.5	9.6		
$V_{CCUV-}$	$V_{CC}$ supply undervoltage negative going threshold	25	7.0	8.2	9.4		
$I_{O+}$	Output high short circuit pulsed current	26	2.0	2.5	—	A	$V_O = 0V$ , $V_{IN} = V_{DD}$ $PW \leq 10 \mu s$
$I_{O-}$	Output low short circuit pulsed current	27	2.0	2.5	—		$V_O = 15V$ , $V_{IN} = 0V$ $PW \leq 10 \mu s$

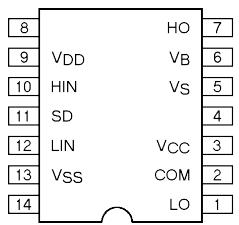
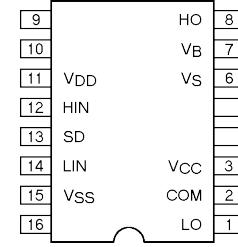
## Functional Block Diagram



## Lead Definitions

Symbol	Description
$V_{DD}$	Logic supply
HIN	Logic input for high side gate driver output (HO), in phase
SD	Logic input for shutdown
LIN	Logic input for low side gate driver output (LO), in phase
$V_{SS}$	Logic ground
$V_B$	High side floating supply
HO	High side gate drive output
$V_S$	High side floating supply return
$V_{CC}$	Low side supply
LO	Low side gate drive output
COM	Low side return

### Lead Assignments

 <p>14 Lead PDIP <b>IR2110/IR2113</b></p>	 <p>16 Lead SOIC (Wide Body) <b>IR2110S/IR2113S</b></p>
<b>Part Number</b>	

# IR2110(S)PbF/IR2113(S)PbF

International  
**IR** Rectifier

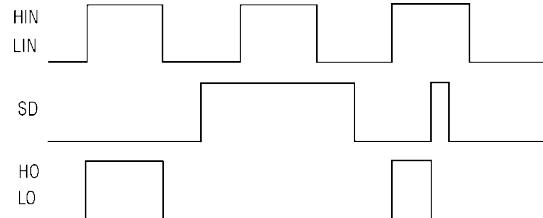


Figure 1. Input/Output Timing Diagram

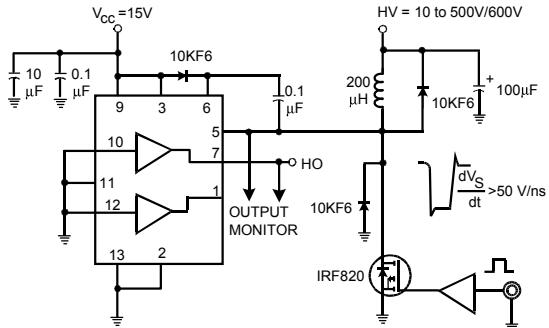


Figure 2. Floating Supply Voltage Transient Test Circuit

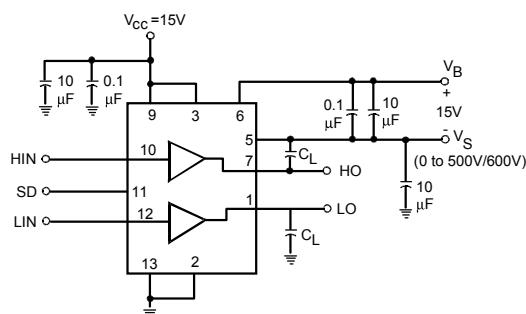


Figure 3. Switching Time Test Circuit

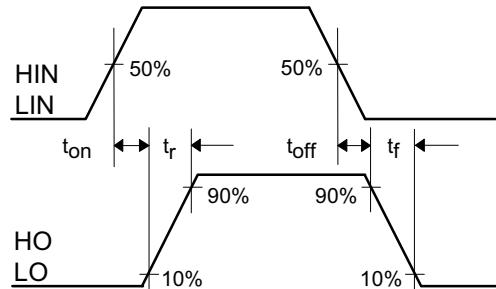


Figure 4. Switching Time Waveform Definition

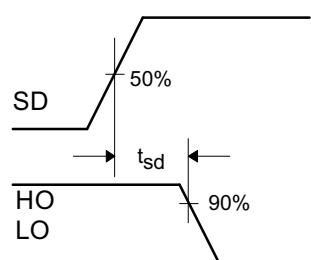


Figure 5. Shutdown Waveform Definitions

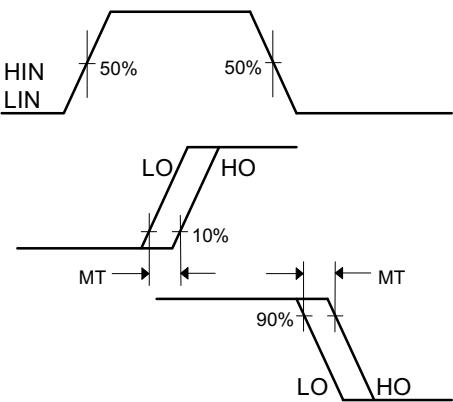
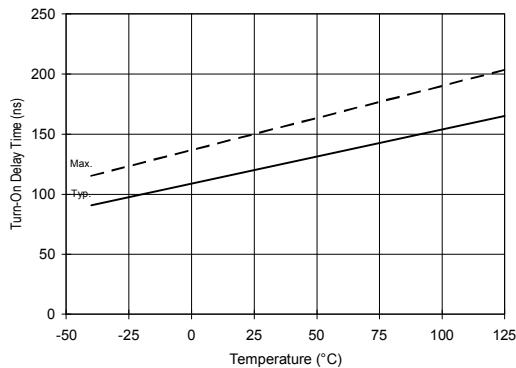
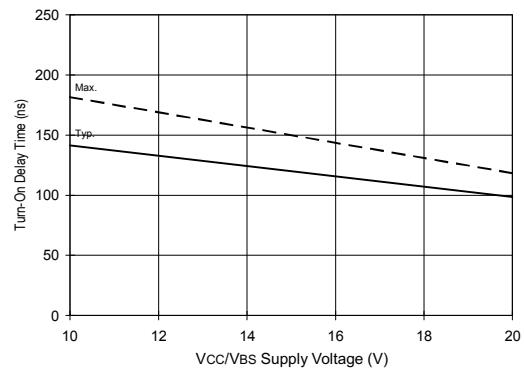


Figure 6. Delay Matching Waveform Definitions

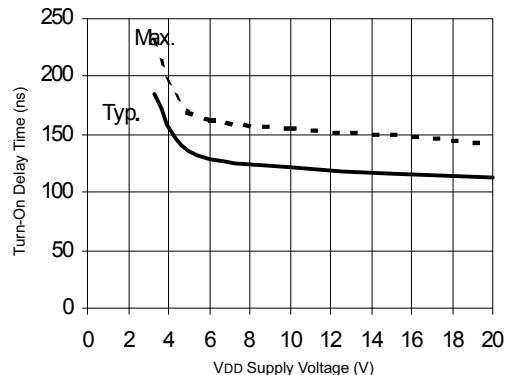
## **IR2110(S)PbF/IR2113(S)PbF**



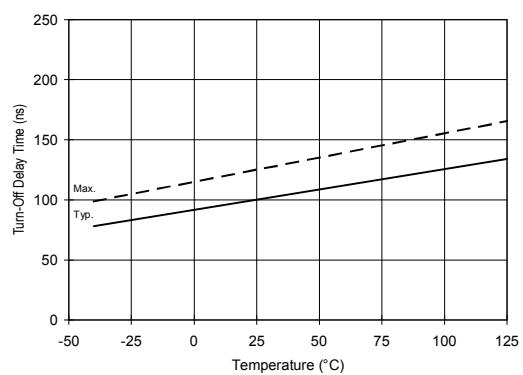
**Figure 7A. Turn-On Time vs. Temperature**



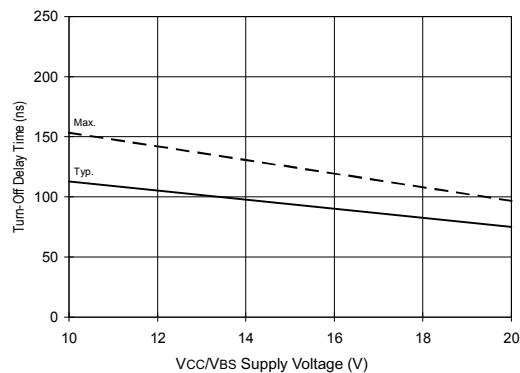
**Figure 7B. Turn-On Time vs. Vcc/Vbs Supply Voltage**



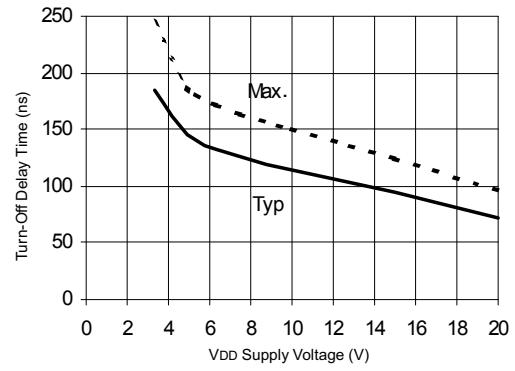
**Figure 7C. Turn-On Time vs. Vdd Supply Voltage**



**Figure 8A. Turn-Off Time vs. Temperature**



**Figure 8B. Turn-Off Time vs. Vcc/Vbs Supply Voltage**



**Figure 8C. Turn-Off Time vs. Vdd Supply Voltage**

# IR2110(S)PbF/IR2113(S)PbF

International  
**IR** Rectifier

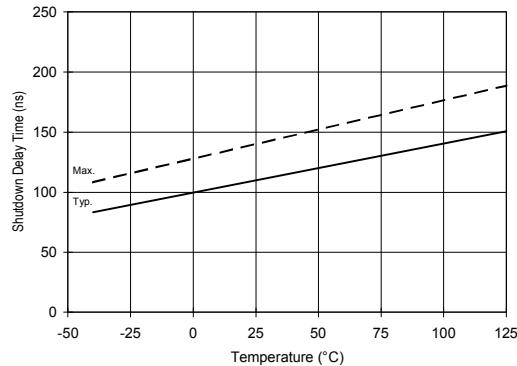


Figure 9A. Shutdown Time vs. Temperature

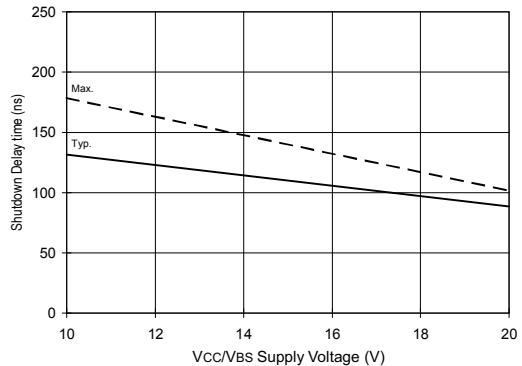


Figure 9B. Shutdown Time vs. Vcc/Vbs Supply Voltage

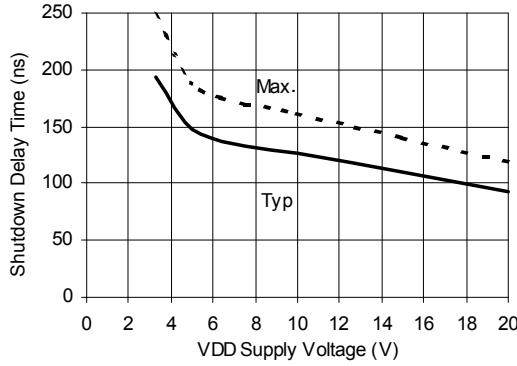


Figure 9C. Shutdown Time vs. Vdd Supply Voltage

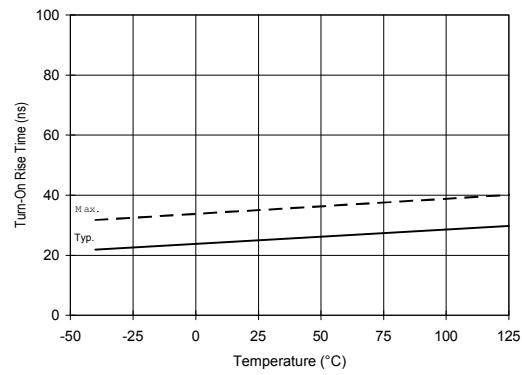


Figure 10A. Turn-On Rise Time vs. Temperature

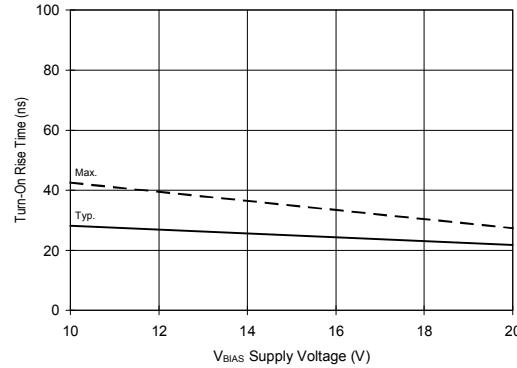


Figure 10B. Turn-On Rise Time vs. Voltage

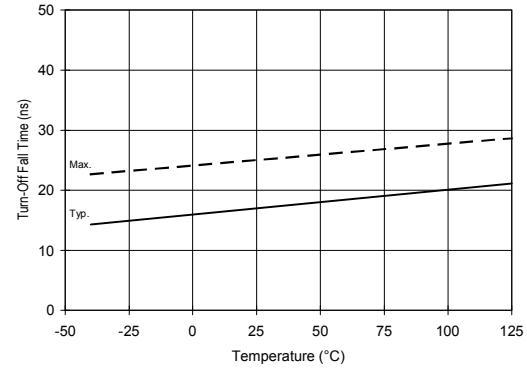


Figure 11A. Turn-Off Fall Time vs. Temperature

## IR2110(S)PbF/IR2113(S)PbF

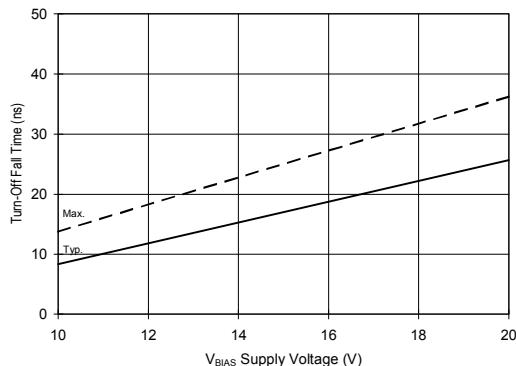


Figure 11B. Turn-Off Fall Time vs. Voltage

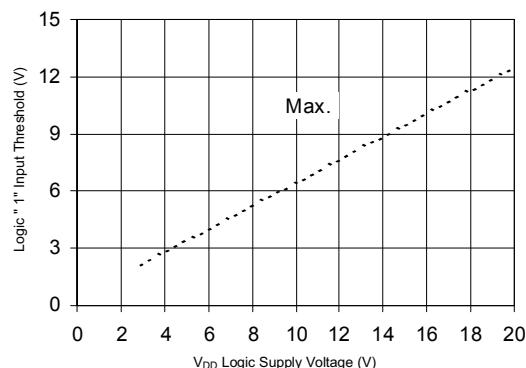


Figure 12B. Logic "1" Input Threshold vs. Voltage

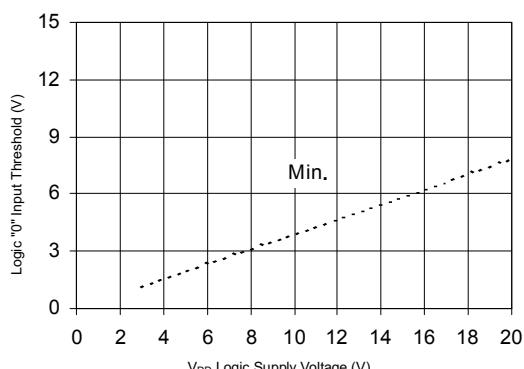


Figure 13B. Logic "0" Input Threshold vs. Voltage

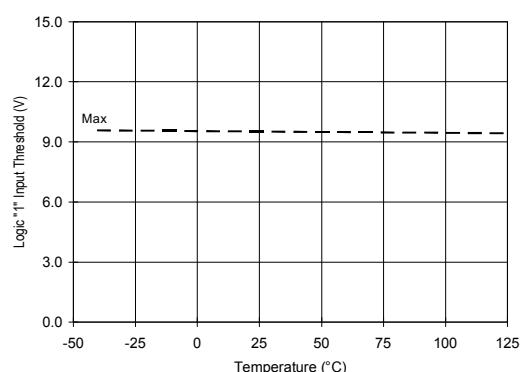


Figure 12A. Logic "1" Input Threshold vs. Temperature

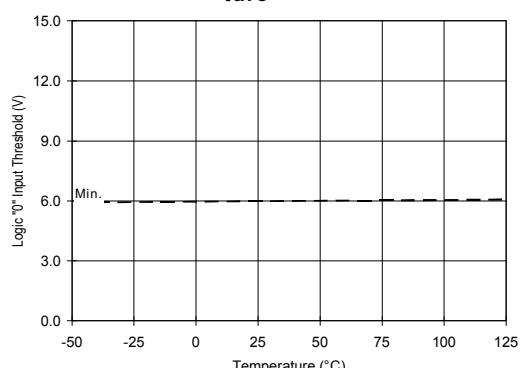


Figure 13A. Logic "0" Input Threshold vs. Temperature

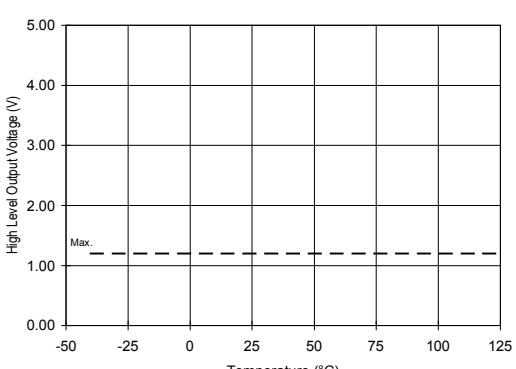


Figure 14A. High Level Output vs. Temperature

## IR2110(S)PbF/IR2113(S)PbF

International  
**IR** Rectifier

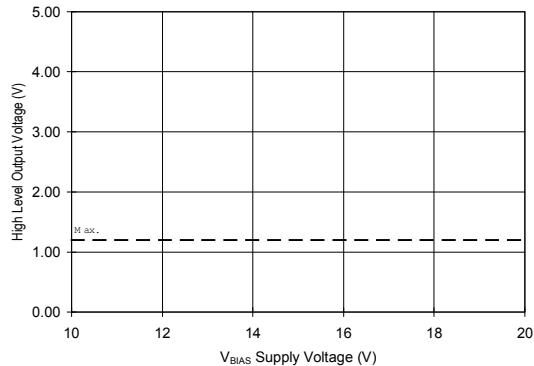


Figure 14B. High Level Output vs. Voltage

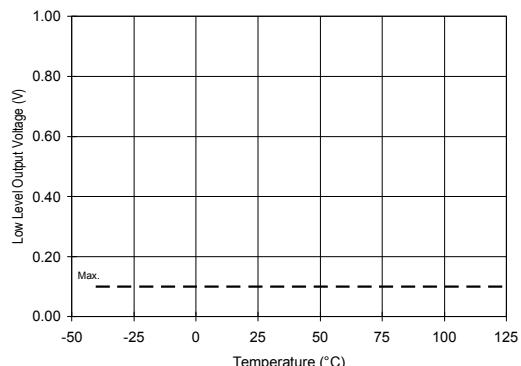


Figure 15A. Low Level Output vs. Temperature

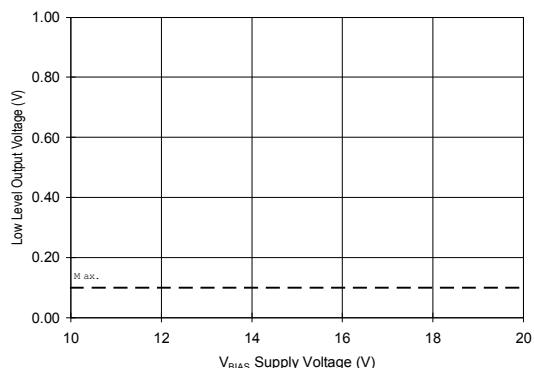


Figure 15B. Low Level Output vs. Voltage

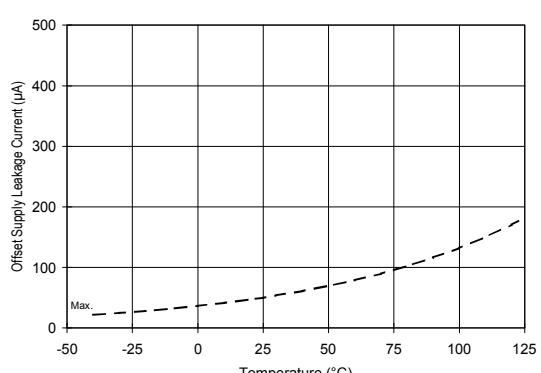


Figure 16A. Offset Supply Current vs. Temperature

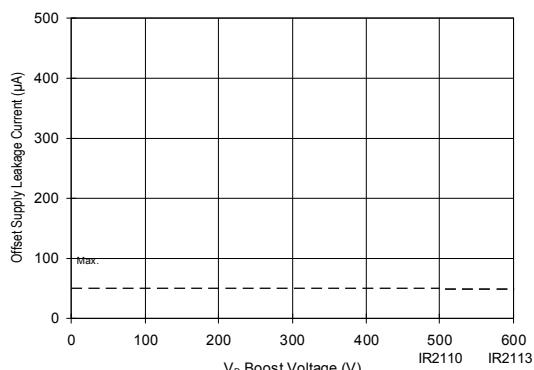


Figure 16B. Offset Supply Current vs. Voltage

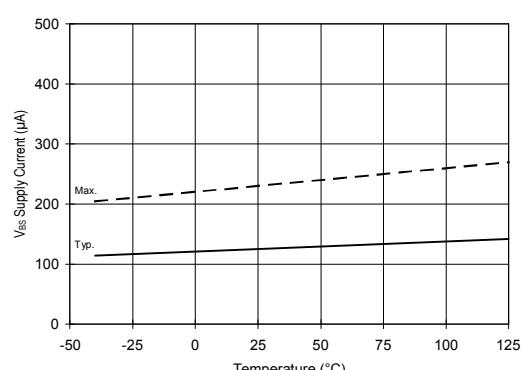
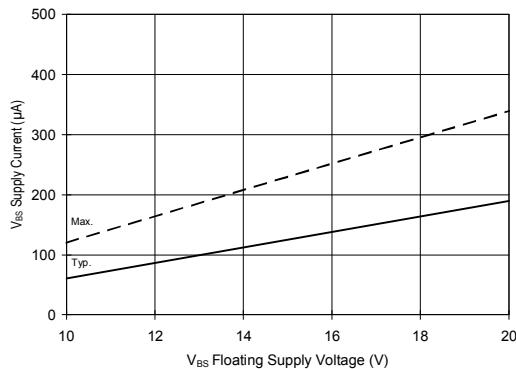
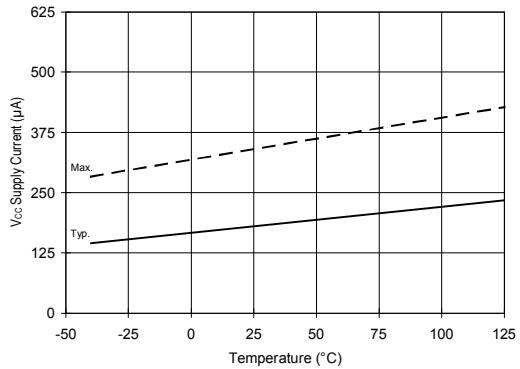


Figure 17A. V<sub>BS</sub> Supply Current vs. Temperature

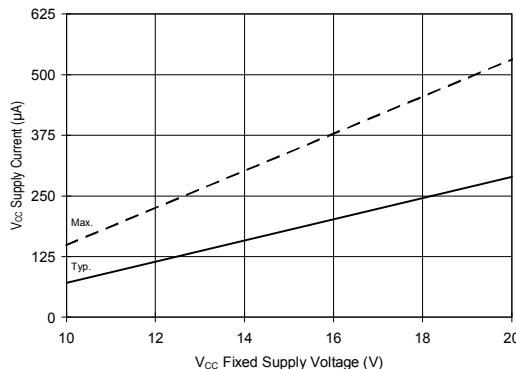
## **IR2110(S)PbF/IR2113(S)PbF**



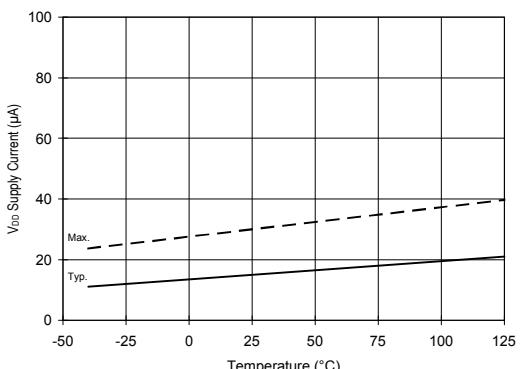
**Figure 17B.  $V_{BS}$  Supply Current vs. Voltage**



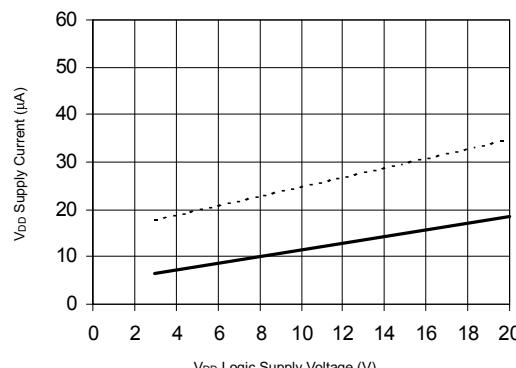
**Figure 18A.  $V_{CC}$  Supply Current vs. Temperature**



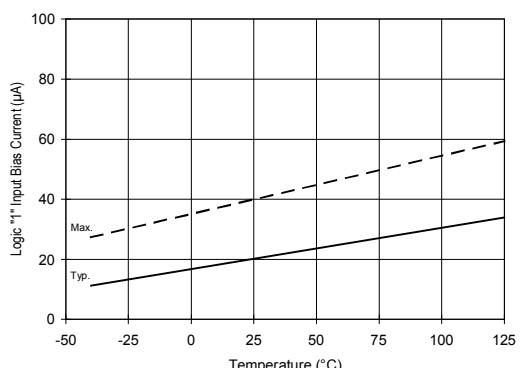
**Figure 18B.  $V_{CC}$  Supply Current vs. Voltage**



**Figure 19A.  $V_{DD}$  Supply Current vs. Temperature**



**Figure 19B.  $V_{DD}$  Supply Current vs.  $V_{DD}$  Voltage**



**Figure 20A. Logic "1" Input Current vs. Temperature**

# IR2110(S)PbF/IR2113(S)PbF

International  
**IR** Rectifier

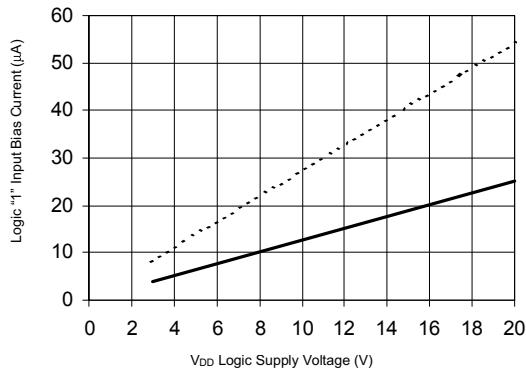


Figure 20B. Logic "1" Input Current vs.  $V_{DD}$  Voltage

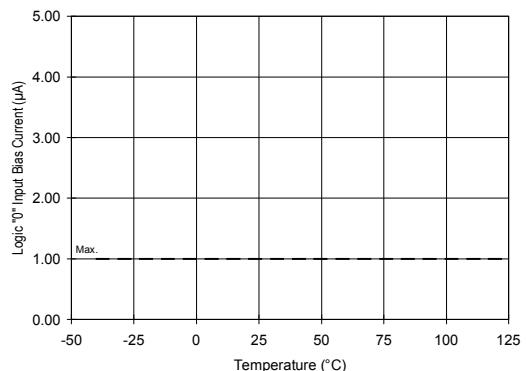


Figure 21A. Logic "0" Input Current vs. Temperature

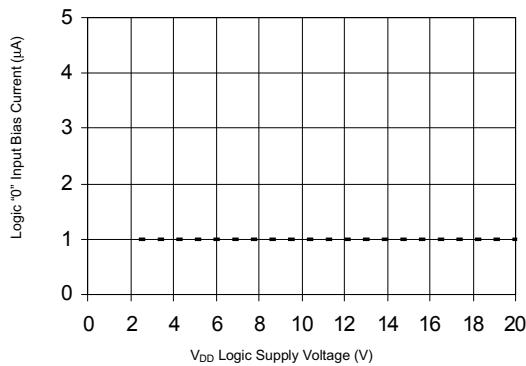


Figure 21B. Logic "0" Input Current vs.  $V_{DD}$  Voltage

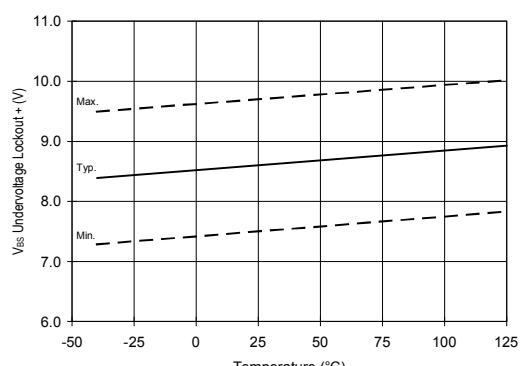


Figure 22.  $V_{BS}$  Undervoltage Lockout + vs. Temperature

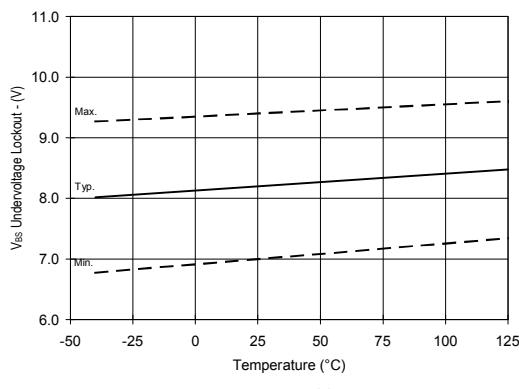


Figure 23.  $V_{BS}$  Undervoltage Lockout - vs. Temperature

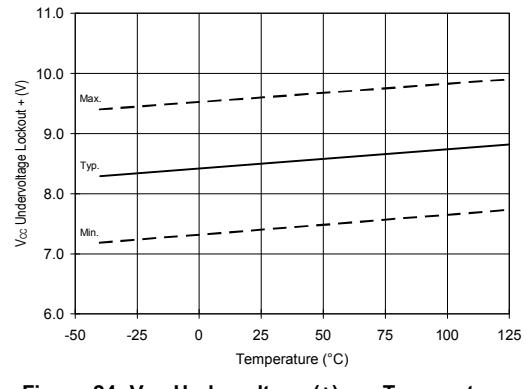
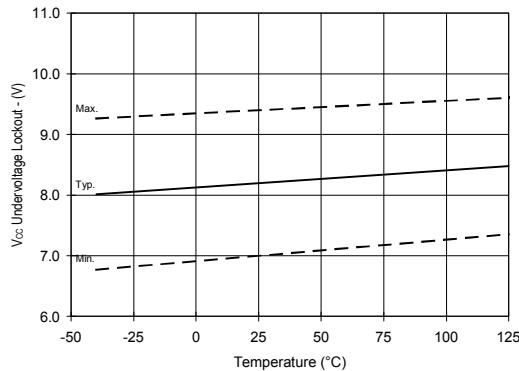
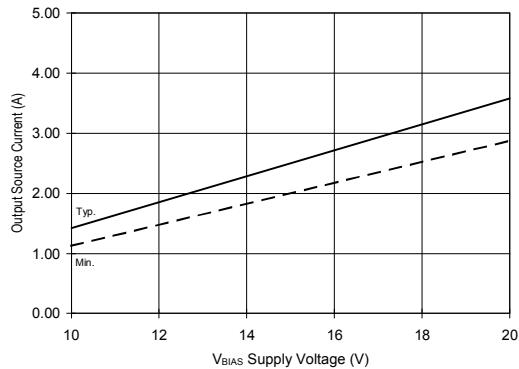


Figure 24.  $V_{CC}$  Undervoltage Lockout + vs. Temperature

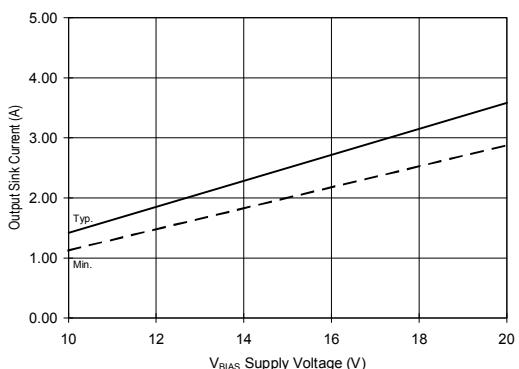
## **IR2110(S)PbF/IR2113(S)PbF**



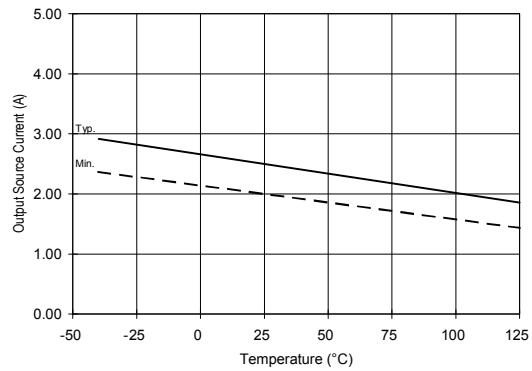
**Figure 25. V<sub>CC</sub> Undervoltage (-) vs. Temperature**



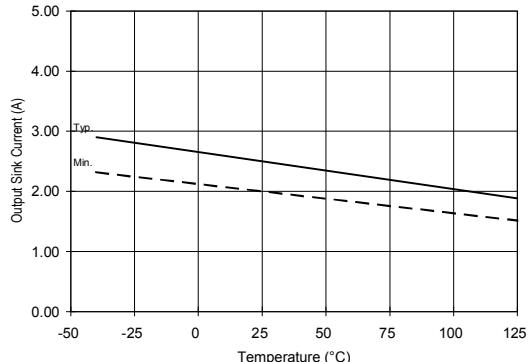
**Figure 26B. Output Source Current vs. Voltage**



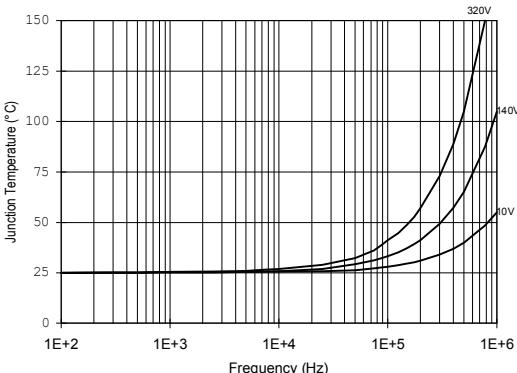
**Figure 27B. Output Sink Current vs. Voltage**



**Figure 26A. Output Source Current vs. Temperature**



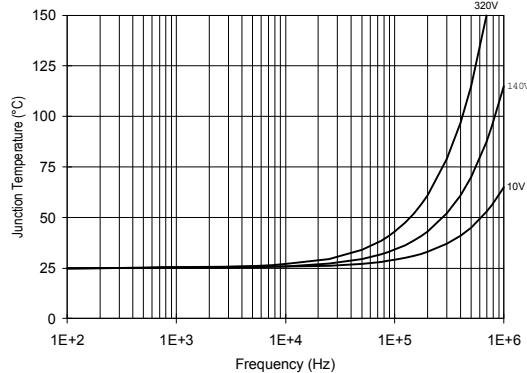
**Figure 27A. Output Sink Current vs. Temperature**



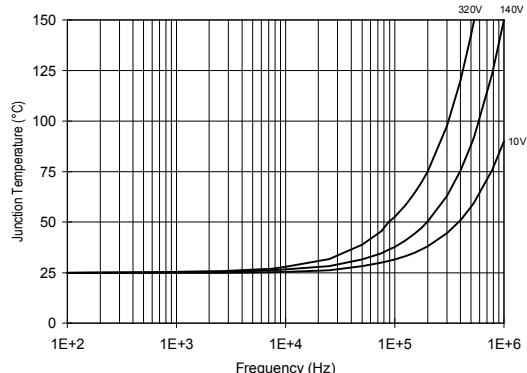
**Figure 28. IR2110/IR2113 T<sub>J</sub> vs. Frequency  
(IRFBC20) R<sub>GATE</sub> = 33Ω, V<sub>CC</sub> = 15V**

# IR2110(S)PbF/IR2113(S)PbF

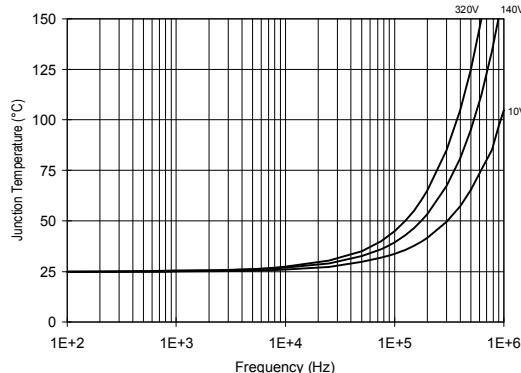
International  
 Rectifier



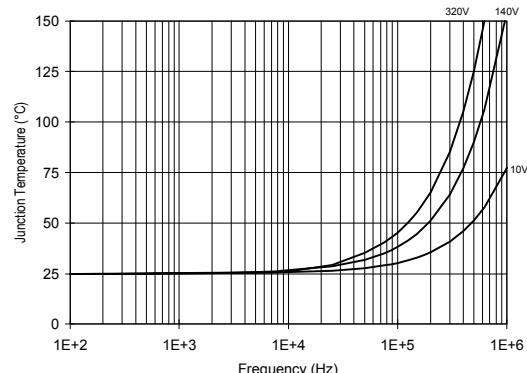
**Figure 29. IR2110/IR2113  $T_J$  vs. Frequency  
 (IRFBC30)  $R_{GATE} = 22\Omega$ ,  $V_{CC} = 15\text{V}$**



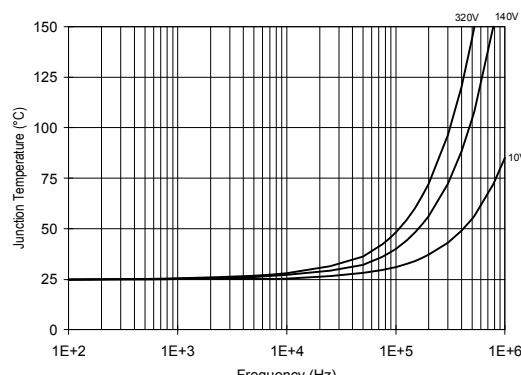
**Figure 30. IR2110/IR2113  $T_J$  vs. Frequency  
 (IRFBC40)  $R_{GATE} = 15\Omega$ ,  $V_{CC} = 15\text{V}$**



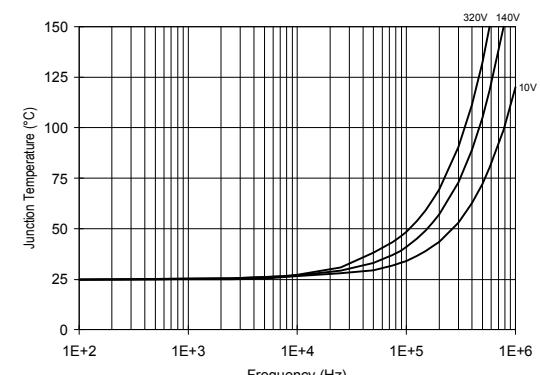
**Figure 31. IR2110/IR2113  $T_J$  vs. Frequency  
 (IRFPE50)  $R_{GATE} = 10\Omega$ ,  $V_{CC} = 15\text{V}$**



**Figure 32. IR2110S/IR2113S  $T_J$  vs. Frequency  
 (IRFBC20)  $R_{GATE} = 33\Omega$ ,  $V_{CC} = 15\text{V}$**

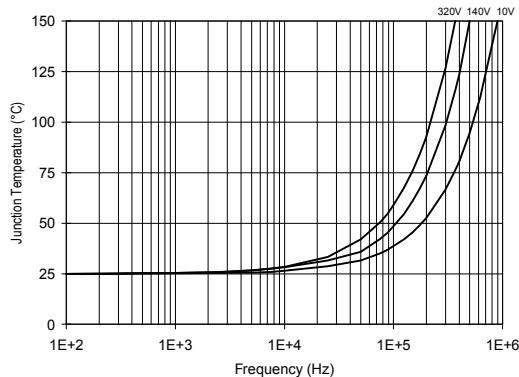


**Figure 33. IR2110S/IR2113S  $T_J$  vs. Frequency  
 (IRFBC30)  $R_{GATE} = 22\Omega$ ,  $V_{CC} = 15\text{V}$**

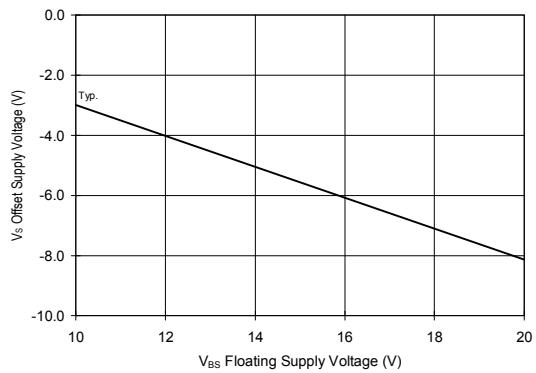


**Figure 34. IR2110S/IR2113S  $T_J$  vs. Frequency  
 (IRFBC40)  $R_{GATE} = 15\Omega$ ,  $V_{CC} = 15\text{V}$**

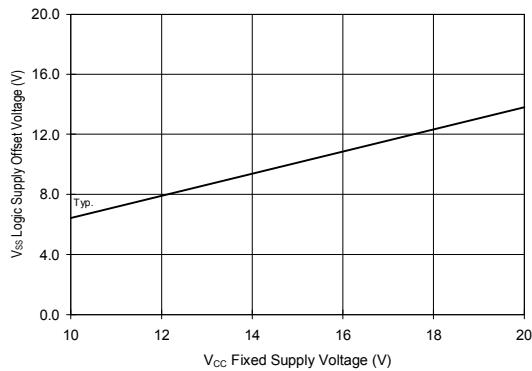
## **IR2110(S)PbF/IR2113(S)PbF**



**Figure 35. IR2110S/IR2113S  $T_J$  vs. Frequency  
 (IRFPE50)  $R_{GATE} = 10\Omega$ ,  $V_{CC} = 15V$**



**Figure 36. Maximum Vs Negative Offset vs.  
 V<sub>BS</sub> Supply Voltage**

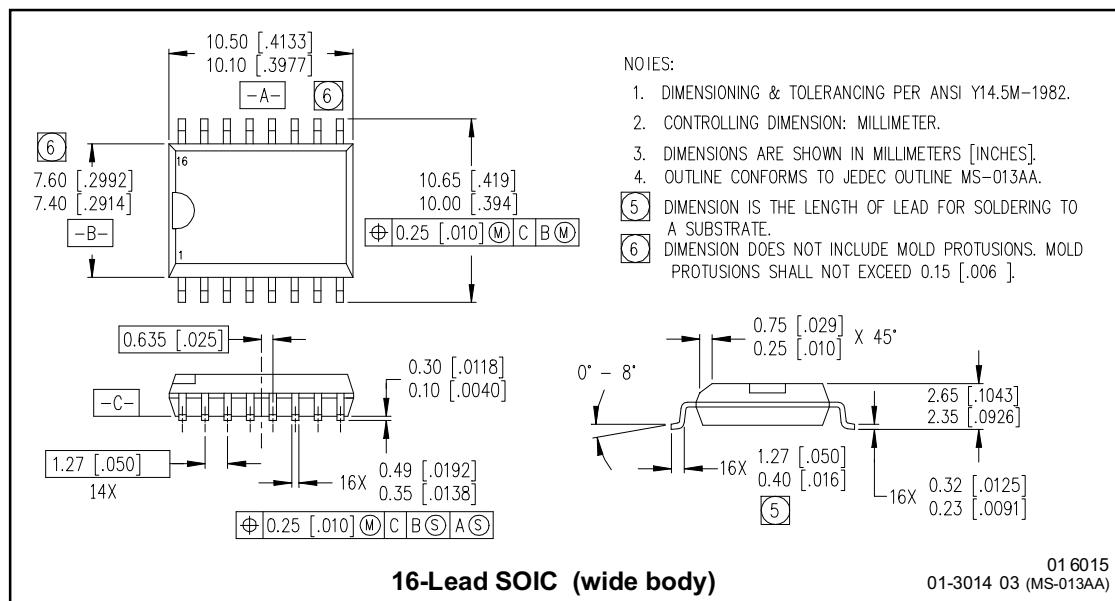
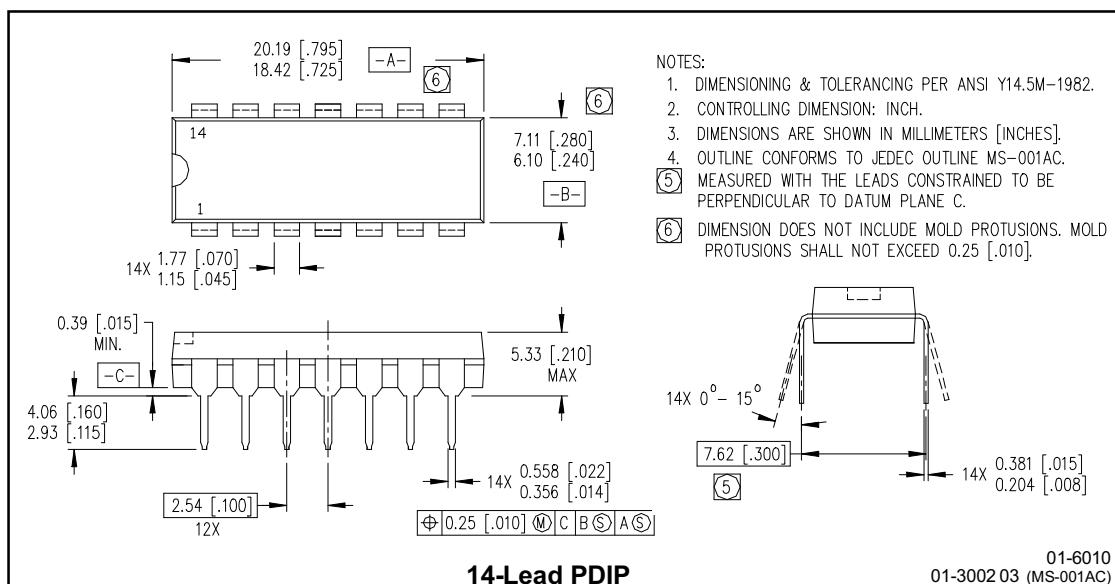


**Figure 37. Maximum V<sub>ss</sub> Positive Offset vs.  
 V<sub>cc</sub> Supply Voltage**

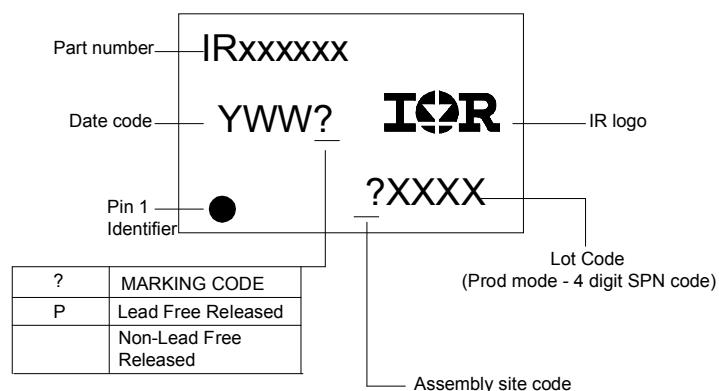
# IR2110(S)PbF/IR2113(S)PbF

International  
**IR** Rectifier

## Case Outlines



## LEADFREE PART MARKING INFORMATION



## ORDER INFORMATION

Part only available Lead Free

14-Lead PDIP **IR2110** order IR2110PbF  
14-Lead PDIP **IR2113** order IR2113PbF  
16-Lead SOIC **IR2110S** order IR2110SPbF  
16-Lead SOIC **IR2113S** order IR2113SPbF

International  
**IR** Rectifier

IR WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245 Tel: (310) 252-7105  
This product has been qualified per industrial level  
Data and specifications subject to change without notice 6/3/2019

# Apéndice E

## Hoja de datos IRF6665

Este apéndice contiene la hoja de datos MOSFTET utilizado en la etapa de potencia de salida del puente H.

International  
**IR** Rectifier

DIGITAL AUDIO MOSFET

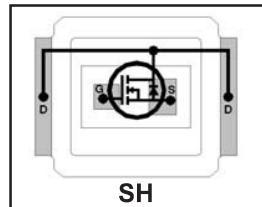
# IRF6665PbF

## IRF6665TRPbF

**Features**

- Latest MOSFET Silicon technology
- Key parameters optimized for Class-D audio amplifier applications
- Low  $R_{DS(on)}$  for improved efficiency
- Low  $Q_g$  for better THD and improved efficiency
- Low  $Q_{rr}$  for better THD and lower EMI
- Low package stray inductance for reduced ringing and lower EMI
- Can deliver up to 100W per channel into 8Ω with no heatsink ⑩
- Dual sided cooling compatible
- Compatible with existing surface mount technologies
- RoHS compliant containing no lead or bromide
- Lead-Free (Qualified up to 260°C Reflow)

Key Parameters		
$V_{DS}$	100	V
$R_{DS(on)}$ typ. @ $V_{GS} = 10V$	53	$m\Omega$
$Q_g$ typ.	8.7	nC
$R_{G(int)}$ typ.	1.9	$\Omega$



Applicable DirectFET Outline and Substrate Outline (see p. 6, 7 for details)

SQ	SX	ST	<b>SH</b>	MQ	MX	MT	MN		
----	----	----	-----------	----	----	----	----	--	--

**Description**

This Digital Audio MOSFET is specifically designed for Class-D audio amplifier applications. This MOSFET utilizes the latest processing techniques to achieve low on-resistance per silicon area. Furthermore, gate charge, body-diode reverse recovery and internal gate resistance are optimized to improve key Class-D audio amplifier performance factors such as efficiency, THD, and EMI.

The IRF6665PbF device utilizes DirectFET™ packaging technology. DirectFET™ packaging technology offers lower parasitic inductance and resistance when compared to conventional wirebonded SOIC packaging. Lower inductance improves EMI performance by reducing the voltage ringing that accompanies fast current transients. The DirectFET™ package is compatible with existing layout geometries used in power applications, PCB assembly equipment and vapor phase, infra-red or convection soldering techniques, when application note AN-1035 is followed regarding the manufacturing method and processes. The DirectFET™ package also allows dual sided cooling to maximize thermal transfer in power systems, improving thermal resistance and power dissipation. These features combine to make this MOSFET a highly efficient, robust and reliable device for Class-D audio amplifier applications.

**Absolute Maximum Ratings**

	Parameter	Max.	Units
$V_{DS}$	Drain-to-Source Voltage	100	V
$V_{GS}$	Gate-to-Source Voltage	$\pm 20$	
$I_D @ T_C = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	19	A
$I_D @ T_A = 25^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	4.2	
$I_D @ T_A = 70^\circ C$	Continuous Drain Current, $V_{GS} @ 10V$	3.4	
$I_{DM}$	Pulsed Drain Current ①	34	
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	42	W
$P_D @ T_A = 25^\circ C$	Power Dissipation ③	2.2	
$P_D @ T_A = 70^\circ C$	Power Dissipation ③	1.4	
	Linear Derating Factor	0.017	W/°C
$T_J$	Operating Junction and	-40 to +150	°C
$T_{STG}$	Storage Temperature Range		

**Thermal Resistance**

	Parameter	Typ.	Max.	Units
$R_{\theta JA}$	Junction-to-Ambient ④⑨	—	58	°C/W
$R_{\theta JA}$	Junction-to-Ambient ⑥⑨	12.5	—	
$R_{\theta JA}$	Junction-to-Ambient ⑦⑨	20	—	
$R_{\theta JC}$	Junction-to-Case ⑧⑨	—	3.0	
$R_{\theta J-PCB}$	Junction-to-PCB Mounted	1.4	—	

Notes ① through ⑩ are on page 2

[www.irf.com](http://www.irf.com)

1

**Static @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)**

Parameter	Min.	Typ.	Max.	Units	Conditions
$V_{(\text{BR})\text{DSS}}$	Drain-to-Source Breakdown Voltage	100	—	—	V
$\Delta V_{(\text{BR})\text{DSS}/\Delta T_J}$	Breakdown Voltage Temp. Coefficient	—	0.12	—	V/ $^\circ\text{C}$
$R_{\text{DS}(\text{on})}$	Static Drain-to-Source On-Resistance	—	53	62	$\text{m}\Omega$
$V_{\text{GS}(\text{th})}$	Gate Threshold Voltage	3.0	—	5.0	V
DSS" data-rs="2"> $I_{\text{DSS}}$	Drain-to-Source Leakage Current	—	—	20	$\mu\text{A}$
		—	—	250	$V_{\text{DS}} = 100\text{V}, V_{\text{GS}} = 0\text{V}$
GSS" data-rs="2"> $I_{\text{GSS}}$	Gate-to-Source Forward Leakage	—	—	100	$V_{\text{DS}} = 80\text{V}, V_{\text{GS}} = 0\text{V}, T_J = 125^\circ\text{C}$
	Gate-to-Source Reverse Leakage	—	—	-100	$V_{\text{GS}} = 20\text{V}$
$R_{\text{G}(\text{int})}$	Internal Gate Resistance	—	1.9	2.9	$\Omega$

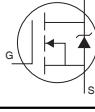
**Dynamic @  $T_J = 25^\circ\text{C}$  (unless otherwise specified)**

Parameter	Min.	Typ.	Max.	Units	Conditions
$g_{fs}$	Forward Transconductance	6.6	—	—	S
$Q_g$	Total Gate Charge	—	8.4	13	
$Q_{gs1}$	Pre-Vth Gate-to-Source Charge	—	2.2	—	
$Q_{gs2}$	Post-Vth Gate-to-Source Charge	—	0.64	—	
$Q_{gd}$	Gate-to-Drain Charge	—	2.8	—	
$Q_{godr}$	Gate Charge Overdrive	—	2.8	—	
$Q_{sw}$	Switch Charge ( $Q_{gs2} + Q_{gd}$ )	—	3.4	—	
$t_{d(on)}$	Turn-On Delay Time	—	7.4	—	ns
$t_r$	Rise Time	—	2.8	—	
$t_{d(off)}$	Turn-Off Delay Time	—	14	—	
$t_f$	Fall Time	—	4.3	—	
$C_{iss}$	Input Capacitance	—	530	—	pF
$C_{oss}$	Output Capacitance	—	110	—	
$C_{rss}$	Reverse Transfer Capacitance	—	29	—	
$C_{oss}$	Output Capacitance	—	510	—	
$C_{oss}$	Output Capacitance	—	67	—	
$C_{oss \text{ eff.}}$	Effective Output Capacitance	—	130	—	$V_{\text{GS}} = 0\text{V}, V_{\text{DS}} = 0\text{V to } 80\text{V}$ ⑤

**Avalanche Characteristics**

Parameter	Typ.	Max.	Units
$E_{AS}$	Single Pulse Avalanche Energy ②	—	mJ
$I_{AR}$	Avalanche Current ①	—	A

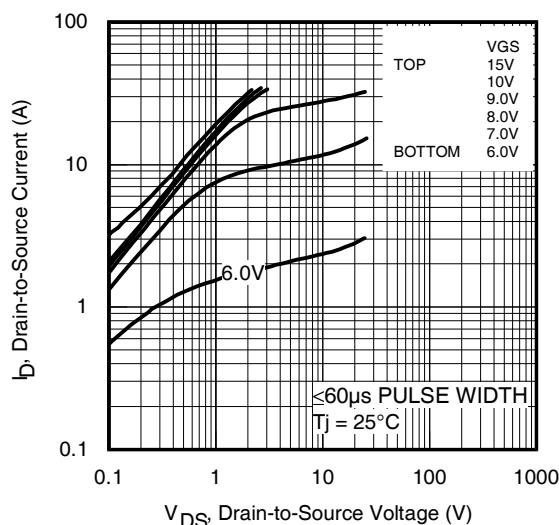
**Diode Characteristics**

Parameter	Min.	Typ.	Max.	Units	Conditions
$I_S$	Continuous Source Current (Body Diode)	—	38	A	MOSFET symbol showing the integral reverse p-n junction diode.
$I_{SM}$	Pulsed Source Current (Body Diode) ①	—	34		
$V_{SD}$	Diode Forward Voltage	—	1.3	V	$T_J = 25^\circ\text{C}, I_S = 5.0\text{A}, V_{\text{GS}} = 0\text{V}$ ④
$t_{rr}$	Reverse Recovery Time	31	—	ns	$T_J = 25^\circ\text{C}, I_F = 5.0\text{A}, V_{DD} = 25\text{V}$
$Q_{rr}$	Reverse Recovery Charge	37	—	nC	$dI/dt = 100\text{A}/\mu\text{s}$ ④

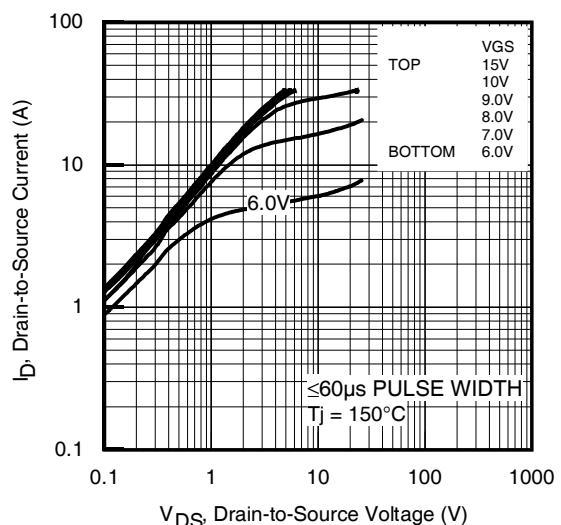
**Notes:**

- ① Repetitive rating; pulse width limited by max. junction temperature.
- ② Starting  $T_J = 25^\circ\text{C}$ ,  $L = 0.89\text{mH}$ ,  $R_G = 25\Omega$ ,  $I_{AS} = 5.0\text{A}$ .
- ③ Surface mounted on 1 in. square Cu board.
- ④ Pulse width  $\leq 400\mu\text{s}$ ; duty cycle  $\leq 2\%$ .
- ⑤  $C_{oss \text{ eff.}}$  is a fixed capacitance that gives the same charging time as  $C_{oss}$  while  $V_{\text{DS}}$  is rising from 0 to 80%  $V_{\text{DSS}}$ .

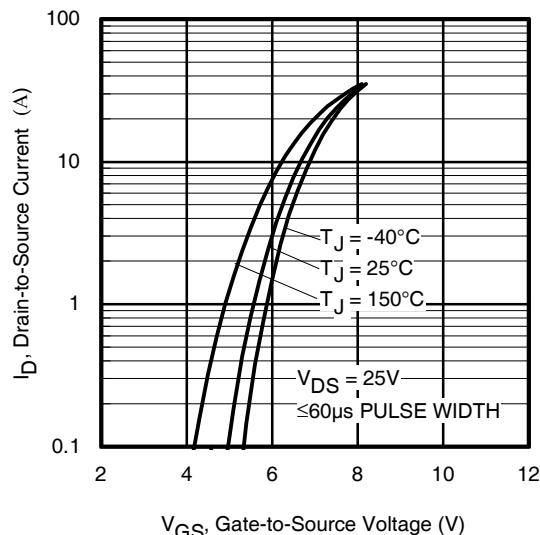
- ⑥ Used double sided cooling , mounting pad.
- ⑦ Mounted on minimum footprint full size board with metalized back and with small clip heatsink.
- ⑧  $T_C$  measured with thermal couple mounted to top (Drain) of part.
- ⑨  $R_\theta$  is measured at  $T_J$  of approximately  $90^\circ\text{C}$ .
- ⑩ Based on testing done using a typical device & evaluation board at  $V_{\text{bus}}=\pm 45\text{V}$ ,  $f_{\text{SW}}=400\text{KHz}$ , and  $T_A=25^\circ\text{C}$ . The delta case temperature  $\Delta T_C$  is  $55^\circ\text{C}$ .



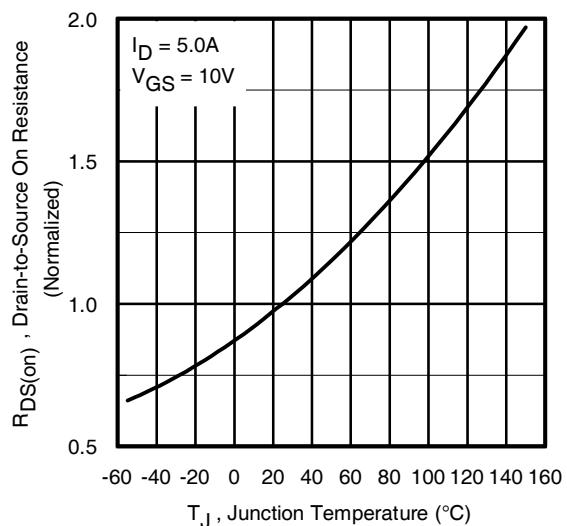
**Fig 1.** Typical Output Characteristics



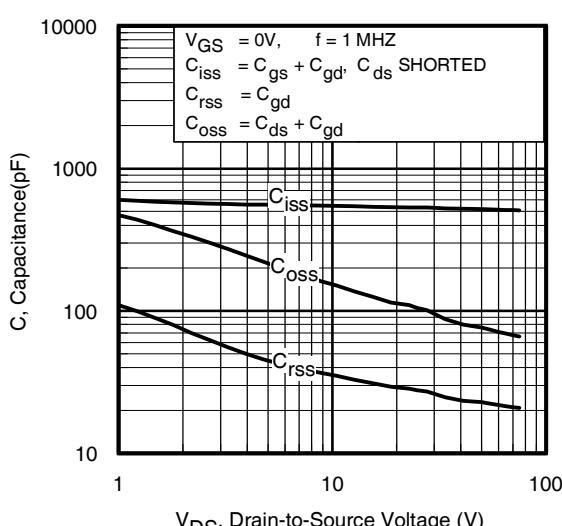
**Fig 2.** Typical Output Characteristics



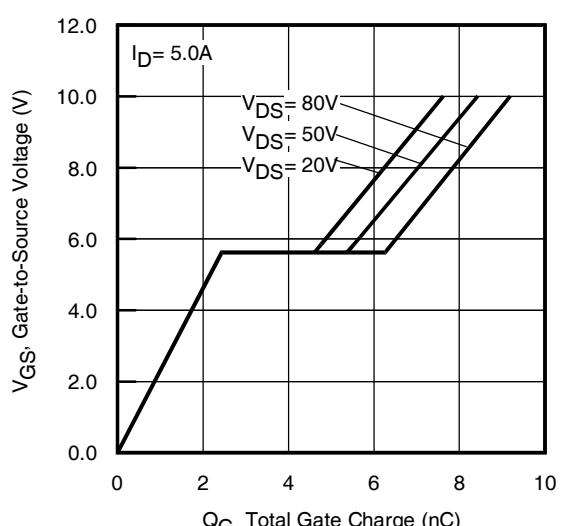
**Fig 3.** Typical Transfer Characteristics



**Fig 4.** Normalized On-Resistance vs. Temperature



**Fig 5.** Typical Capacitance vs. Drain-to-Source Voltage  
[www.irf.com](http://www.irf.com)



**Fig 6.** Typical Gate Charge vs. Gate-to-Source Voltage

# IRF6665PbF

International  
I<sup>2</sup>R Rectifier

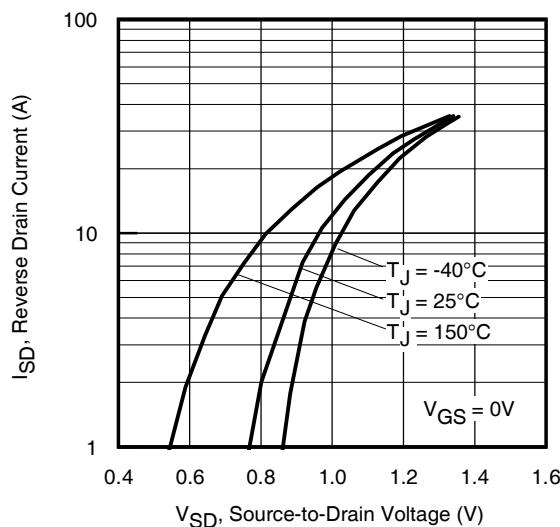


Fig 7. Typical Source-Drain Diode Forward Voltage

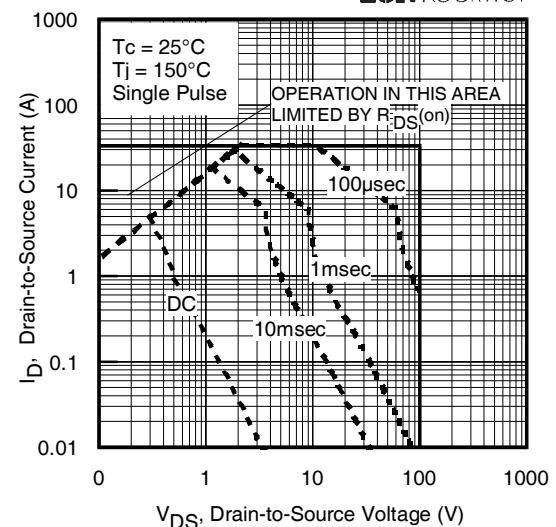


Fig 8. Maximum Safe Operating Area

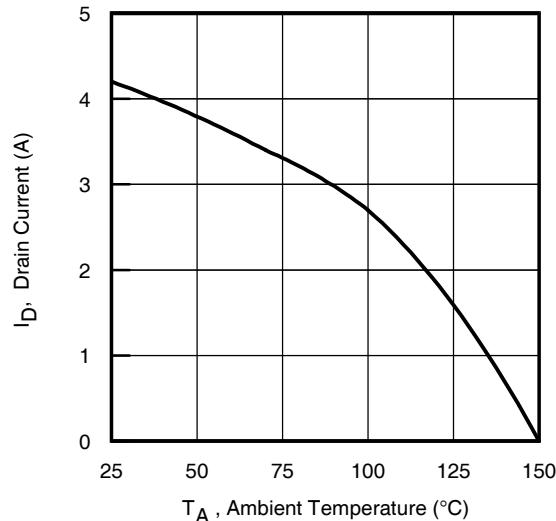


Fig 9. Maximum Drain Current vs. Ambient Temperature

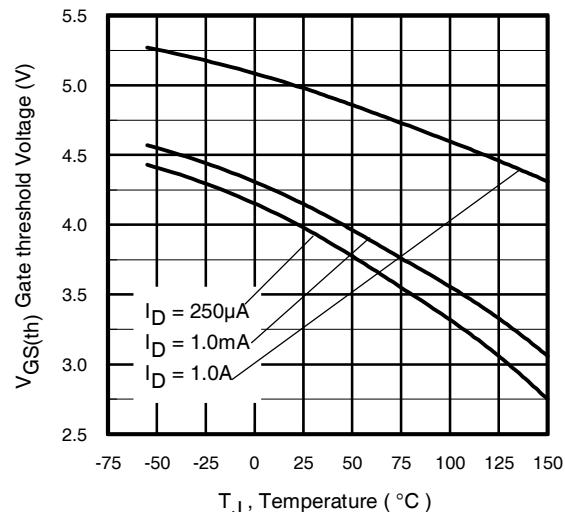


Fig 10. Threshold Voltage vs. Temperature

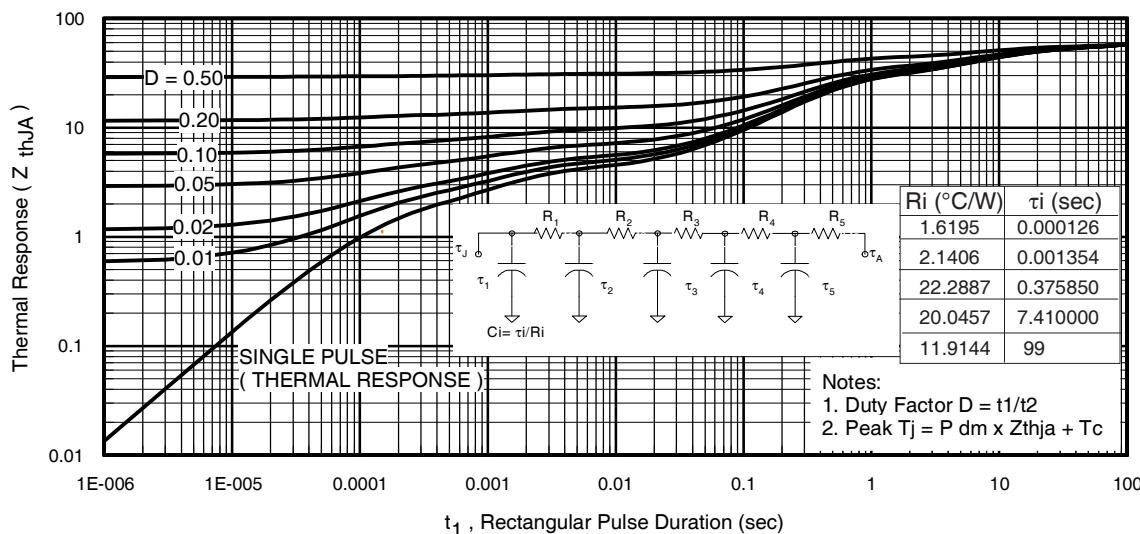


Fig 11. Maximum Effective Transient Thermal Impedance, Junction-to-Ambient ③

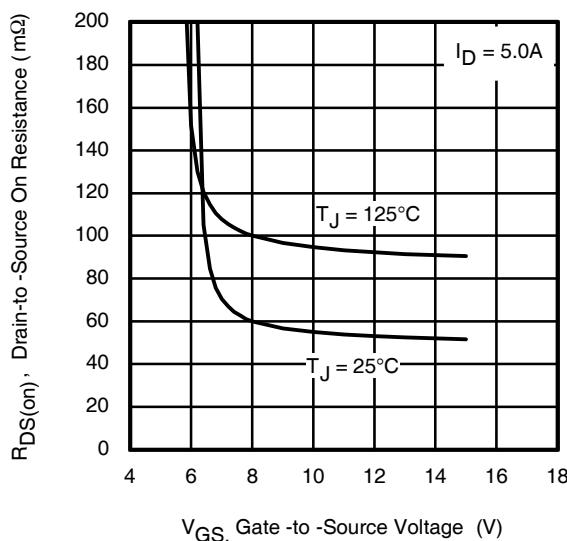


Fig 12. On-Resistance vs. Gate Voltage

## IRF6665PbF

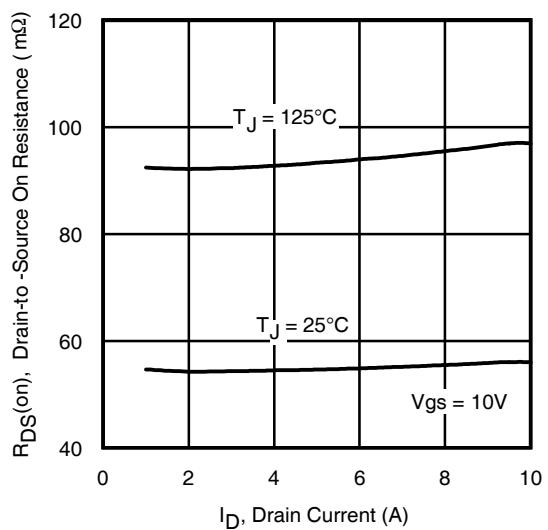


Fig 13. On-Resistance vs. Drain Current

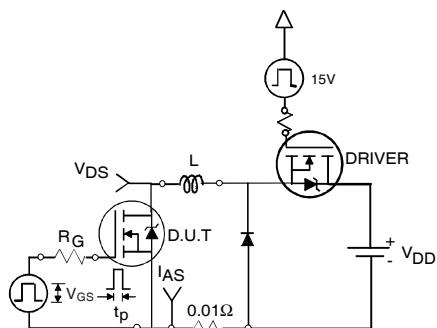


Fig 15a. Unclamped Inductive Test Circuit

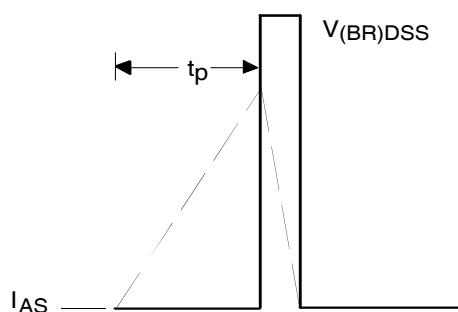


Fig 15b. Unclamped Inductive Waveforms

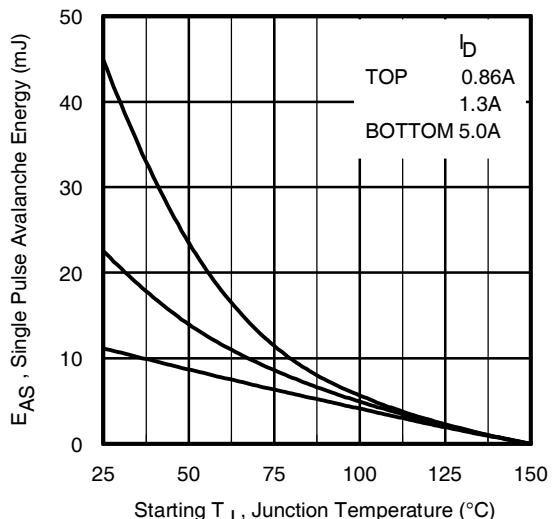


Fig 14. Maximum Avalanche Energy vs. Drain Current

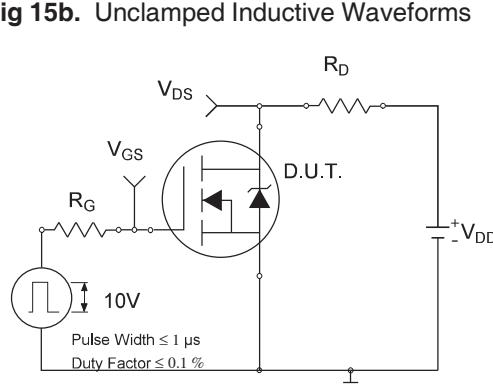


Fig 16a. Switching Time Test Circuit  
www.irf.com

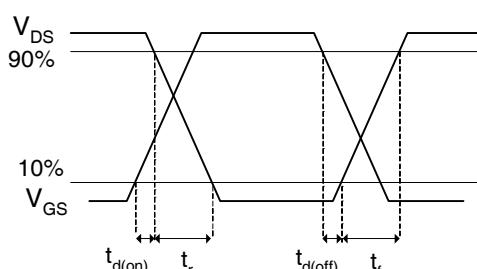
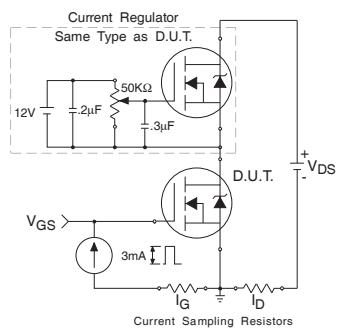


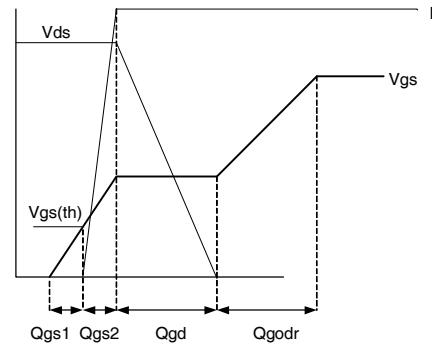
Fig 16b. Switching Time Waveforms

# IRF6665PbF

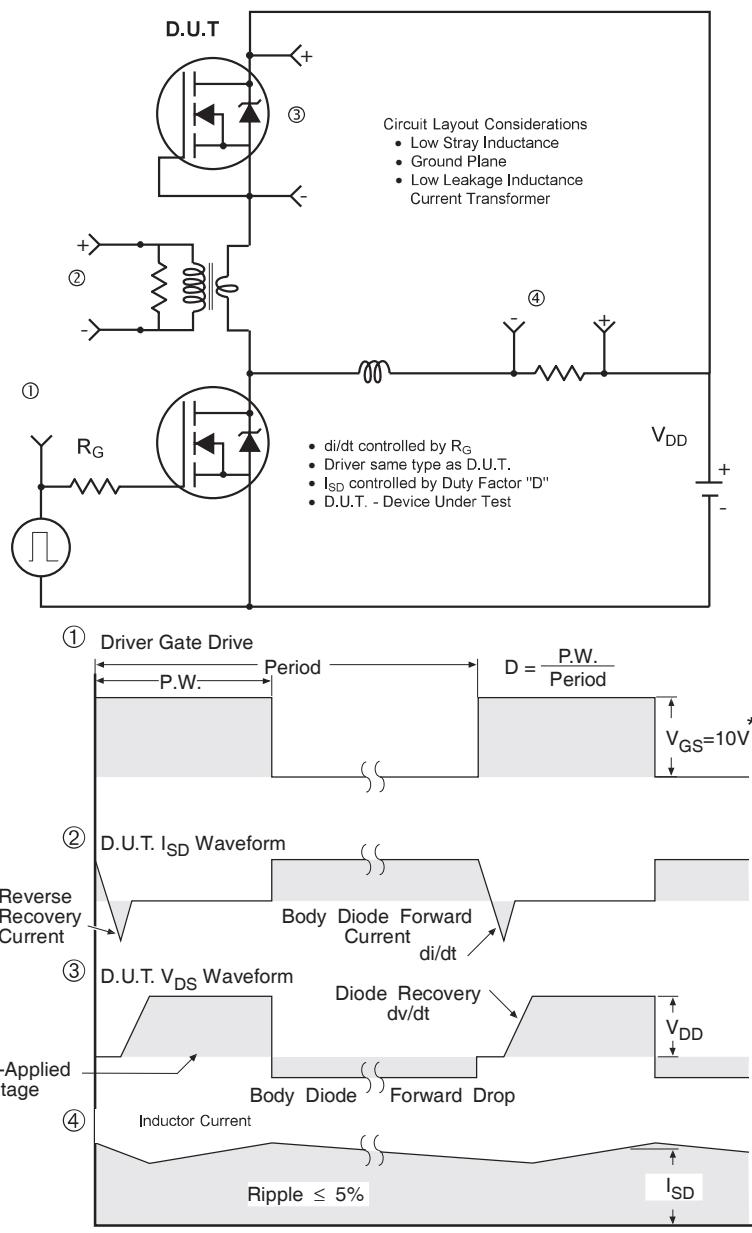
International  
Rectifier



**Fig 17a.** Gate Charge Test Circuit



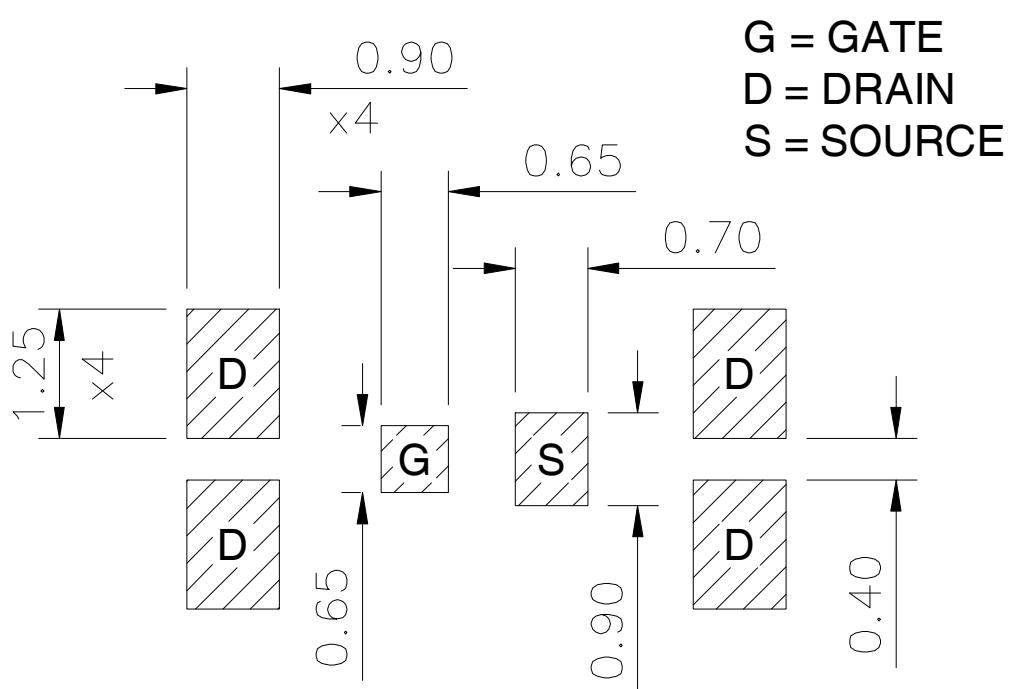
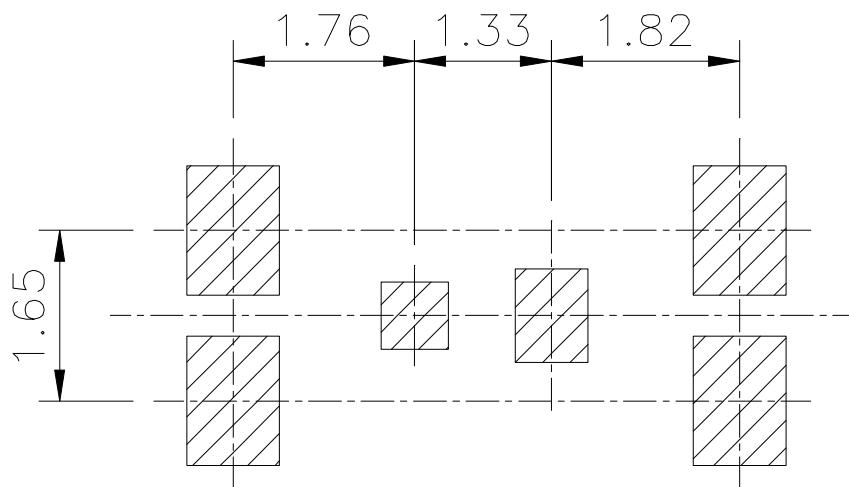
**Fig 17b.** Gate Charge Waveform



**Fig 18.** Diode Reverse Recovery Test Circuit for N-Channel HEXFET® Power MOSFETs

**DirectFET™ Substrate and PCB Layout, SH Outline  
(Small Size Can, H-Designation).**

Please see DirectFET application note AN-1035 for all details regarding PCB assembly using DirectFET. This includes all recommendations for stencil and substrate designs.

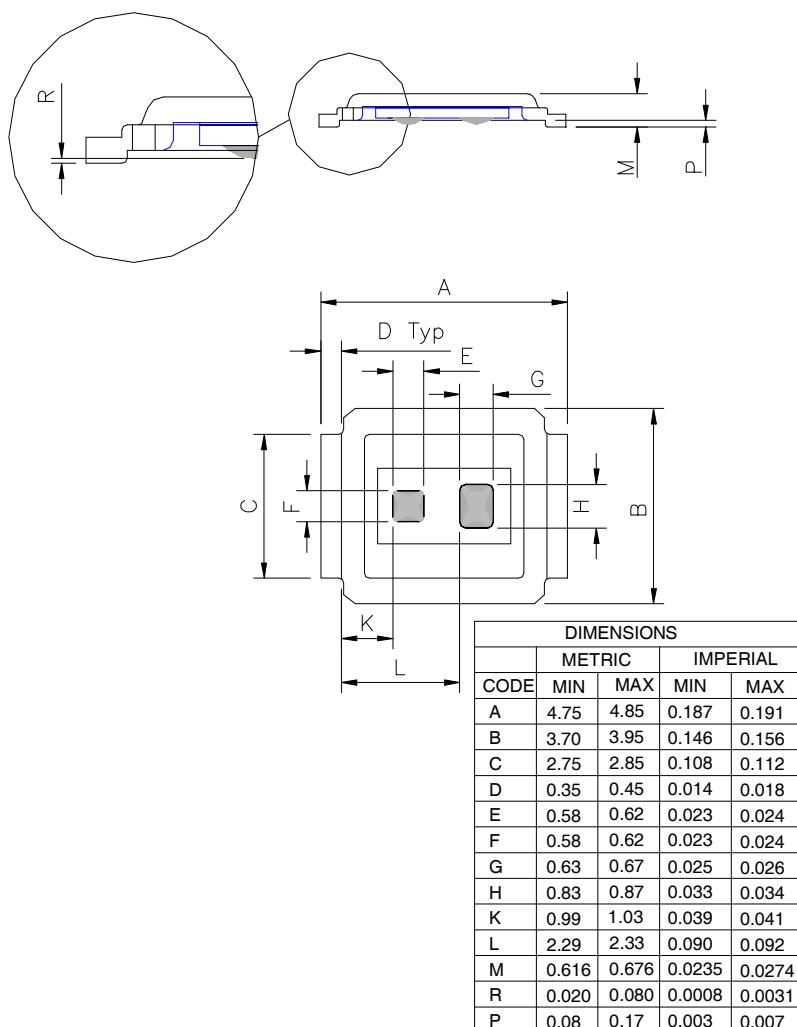


# IRF6665PbF

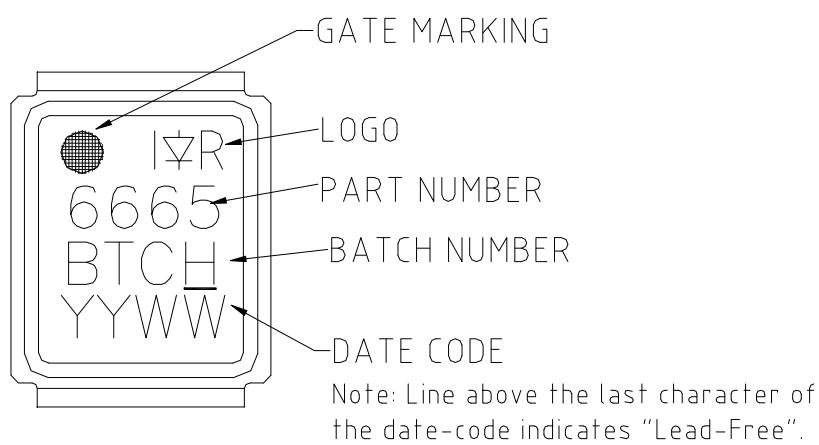
International  
**IR** Rectifier

## DirectFET™ Outline Dimension, SH Outline (Small Size Can, H-Designation).

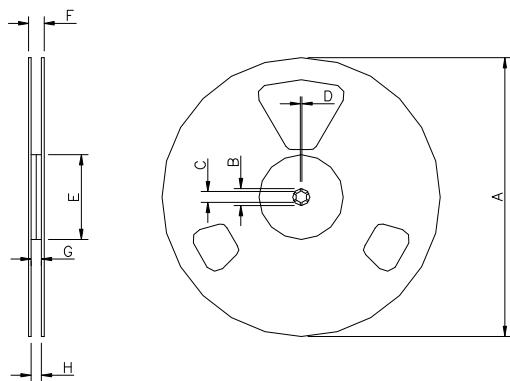
Please see DirectFET application note AN-1035 for all details regarding PCB assembly using DirectFET. This includes all recommendations for stencil and substrate designs.



## DirectFET™ Part Marking



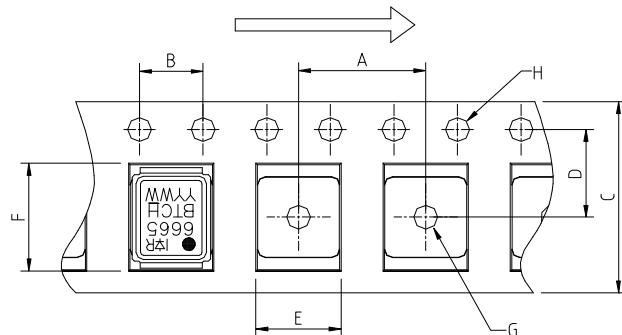
**DirectFET™ Tape & Reel Dimension (Showing component orientation).**



NOTE: Controlling dimensions in mm  
Std reel quantity is 4800 parts. (ordered as IRF6665TRPBF). For 1000 parts on 7"  
reel, order IRF6665TR1PBF

REEL DIMENSIONS									
STANDARD OPTION (QTY 4800)				TR1 OPTION (QTY 1000)					
CODE	METRIC MIN	METRIC MAX	IMPERIAL MIN	IMPERIAL MAX	CODE	METRIC MIN	METRIC MAX	IMPERIAL MIN	IMPERIAL MAX
A	330.0	N.C.	12.992	N.C.	177.77	N.C.	6.9	N.C.	
B	20.2	N.C.	0.795	N.C.	19.06	N.C.	0.75	N.C.	
C	12.8	13.2	0.504	0.520	13.5	12.8	0.53	0.50	
D	1.5	N.C.	0.059	N.C.	1.5	N.C.	0.059	N.C.	
E	100.0	N.C.	3.937	N.C.	58.72	N.C.	2.31	N.C.	
F	N.C.	18.4	N.C.	0.724	N.C.	13.50	N.C.	0.53	
G	12.4	14.4	0.488	0.567	11.9	12.01	0.47	N.C.	
H	11.9	15.4	0.469	0.606	11.9	12.01	0.47	N.C.	

Loaded Tape Feed Direction



DIMENSIONS				
	METRIC		IMPERIAL	
CODE	MIN	MAX	MIN	MAX
A	7.90	8.10	0.311	0.319
B	3.90	4.10	0.154	0.161
C	11.90	12.30	0.469	0.484
D	5.45	5.55	0.215	0.219
E	4.00	4.20	0.158	0.165
F	5.00	5.20	0.197	0.205
G	1.50	N.C.	0.059	N.C.
H	1.50	1.60	0.059	0.063

Data and specifications subject to change without notice.  
This product has been designed and qualified for the Consumer market.  
Qualification Standards can be found on IR's Web site.

International  
**IR** Rectifier

**IR WORLD HEADQUARTERS:** 233 Kansas St., El Segundo, California 90245, USA Tel: (310) 252-7105  
TAC Fax: (310) 252-7903

Visit us at [www.irf.com](http://www.irf.com) for sales contact information.08/06