

Trabalho 2 de Computação Distribuída - INE5418

Leonardo Schlüter
13200658

03 de maio, 2021

1 Introdução

Sistemas operacionais, principalmente embarcados, dependem fortemente do tratamento de interrupções, que são eventos assíncronos desenvolvidos para serem geridos pela CPU. Entre esses eventos assíncronos podemos destacar alguns exemplos como interrupção de relógio, interrupções de software e interrupções externas. A especificação do risc-v prevê que as suas implementações possuam mecanismos de gerenciamento de interrupções onde dois se destacam: o **CLINT** (Core Local Interruptor); e o **PLIC** (Plataform Local Interrupt Controller).

Neste documento vamos explorar os diferentes tipos de interrupções, com o foco no estudo dos mecanismos de gerência relativos a interrupções inter-hart no risc-v, descritas na especificação interrupções de software.

1.1 Core e Hardware Threads (hart)

1.2 Interrupção, Exceção e Trap

1.3 Local Interrupt Controller

1.4 Global Interrupt Controller

2 Registradores de Configuração de Interrupções

```
asm!(  
    "csw mtvec, {}",  
    in(reg) (mtvec_clint_vector_table as usize | 0x1)  
);  
  
asm!("csw mstatus, 0b1 << 3");  
  
asm!("csw mie, 0b1 << 3");
```

3 Referências

1. SiFive Interrupt cookbook - Disponível em https://sifive.cdn.prismic.io/sifive/d1984d2b-c9b9-4c91-8de0-d68a5e64fa0f_sifive-interrupt-cookbook-v1p2.pdf
2. An Introduction to RISC-V Architecture - Disponível em <https://cdn2.hubspot.net/hubfs/3020607/An%20Introduction%20to%20the%20RISC-V%20Architecture.pdf>
3. The RISC-V Instruction Set Manual Volume II: Privileged Architecture Privileged Architecture Version 1.10 - Disponível em <https://riscv.org/wp-content/uploads/2017/05/riscv-privileged-v1.10.pdf>
4. SiFive FU540-C000 Manual - Disponível em https://sifive.cdn.prismic.io/sifive%2F834354f0-08e6-423c-bf1f-0cb58ef14061_fu540-c000-v1.0.pdf