**研究规划**

1. **ADC**
2. **FIFO**
3. **LCD**
4. **阵列**

**一、ADC**

1.adc选型

**AD7606**

AD7606

是ADI公司的16位同步采样AD芯片，采样率高达200k。共有三个型号：AD7606/AD7606-6/AD7606-4，分别是8、6、4个采集通道。在电力线路测量和保护系统中，需要对多相输配电网络的大量电流和电压通道进行同步采样，AD7606是电力系统中最常用的AD采样芯片。

片上集成模拟输入箝位保护、二阶抗混叠滤波器、跟踪保持放大器、16位电荷再分配逐次逼近型ADC内核、数字滤波器、2.5V基准电压源及缓冲、高速串行和并行接口。AD7606采用5V单电源供电，不再需要正负双电源，并支持真正±10V或±5V的双极性信号输入。所有的通道均能以高达200kSPS的速率进行采样，同时输入端箝位保护电路可以承受最高达±16.5V的电压。传统的逐次逼近(SAR)型ADC，由于其采样电容的设计，模拟输入前端一般需要运算放大器(简称运放，Operation Amplifier)来实现内部采样电容的驱动。正因此电容的存在，其等效输入阻抗与采样频率相关，而且在一些高采样率的应用中，使得前端驱动运放的选择变得十分苛刻

但在AD7606内部的信号调理电路中，已经包含了低噪声、高输入阻抗的信号调理电路，其等效输入阻抗完全独立于采样率且固定为1Mohm。同时输入端集成了具有40dB抗混叠抑制特性的滤波器，更是简化了前端设计，不再需要外部驱动和滤波电路。因此，二次互感器输出的信号无需再经过运放来缓冲就可以直接接入AD7606。

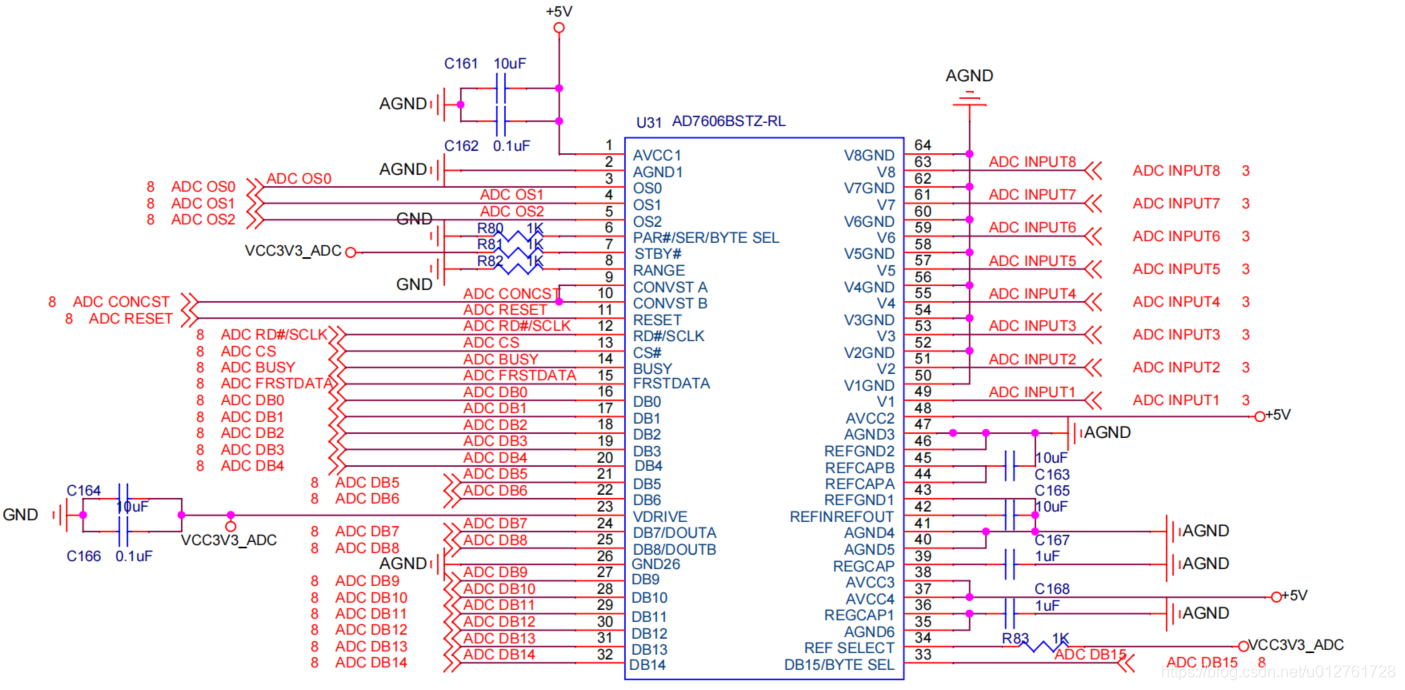
AD7606内部集成了2.5V带隙电压基准和基准缓冲电路，其温度系数典型值为±10ppm/℃。设计应用中，选用内置基准或外部基准，将取决于系统的要求。多片ADC的设计中，如果需求高绝对精度，则应采用高初始精度和低温度系数的外部基准，以消除不同器件内置基准之间的差异而带来的误差。推荐选用初始精度0.04%，温度系数3ppm/℃的ADR421B。如果需求多片ADC通道之间的数值匹配，可设置第一片AD7606工作在内置基准模式，其余AD7606为外部基准模式，然后通过第一片AD7606的内置基准输出供给其余AD7606。这样，在不加外部基准的情况下即可保证多个AD7606通道间数据的匹配性，但此时系统的绝对精度取决于内置基准的性能。

AD7606还提供了过采样和数字滤波功能。通过管脚OS[2:0]可以设置过采样倍数(OSR)为x2,x4,x8,x16,x32,x64。过采样打开后，内部的过采样控制电路和1阶Sinc数字滤波器会自动被使能，同时-3dB带宽也会相应的改变。

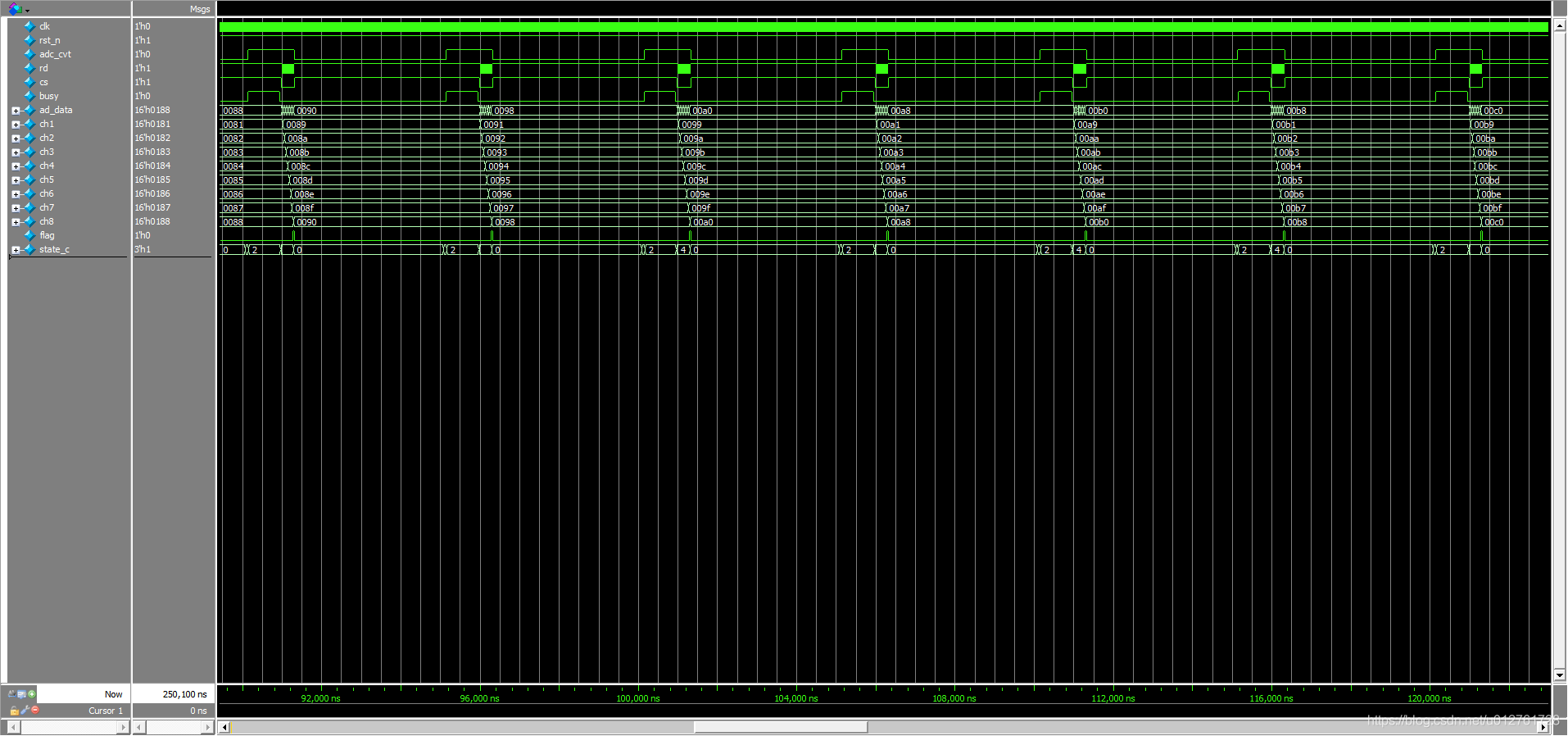
ADC一般需要模拟电源和数字电源。大多数的系统都会有5V数字电源，却不一定具有5V模拟电源。此时如果模拟电路和数字电路共用同一个5V电源，有害的数字噪声可能会耦合到模拟电路并降低ADC的性能，通常应该避免这样的设计。如果不可避免，需要将5V的数字电源进行很好的滤波后再供给模拟电路用。AD7606的去耦设计十分简洁，仅需要9个电容，其中包括2个10uF，2个1uF，5个0.1uF。

2.原理

硬件示意图



仿真图



AD7606读数据接口上电后初次复位，以后读写姐就可以再复位电路。从上面时序可以看出，AD7606接口复位信号在编程芯片上电复位为无效（0），异步复位完成后，持续让AD7606的接口复位信号高电平16个时钟周期后变为0.

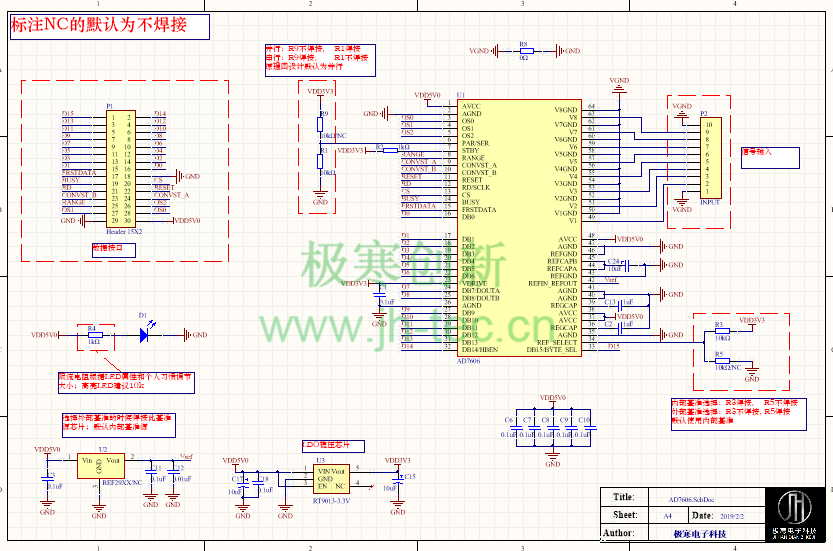
AD7606硬件读数据程序在系统时钟上升沿有效情况下，检测AD7606接口复位信号是否有效。复位信号有效，时序状态机初始化，8路数据输出初始化，片选信号，读数据使能，转换使能信号初始化（无效），时间计数器初始化为0；

AD7606读数据接口复位完成后，延迟20个时钟周期。

启动AD7606转换，需要花费2个clock(换句话说，转换脉冲宽度为2个clock),转换开始后，延迟5个clock, 检查判断busy信号是否由高变为低电平。如果变为低电平，说明数据转换完成，可以进行读取采样数据。

读取使能信号（需要4个clock脉冲宽度），读取第1个通道的采样数据。

依次读取通道2-通道8的AD采样数据；



**二、FIFO**

1.adc选型

2.原理

3.代码

**三、LCD**

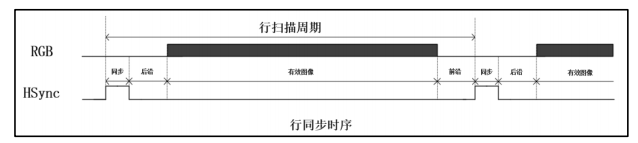
**1.TFT-LCD 简介**

TFT-LCD 全称 Thin Film Transistor-Liquid Crystal Display，译为薄膜晶体管液晶显示器。其中 TFT 就是 Thin Film Transistor 的简称，指的是薄膜晶体管（矩阵），可以“主动的”对屏幕上的各个独立的像素进行控制，这也就是所谓的主动矩阵 TFT（active matrix TFT）的来历。图像产生的基本原理很简单：显示屏由许多可以发出任意颜色的光线的像素组成，只要控制各个像素显示相应的颜色就能达到目的了。在 TFT LCD 中一般采用背光技术，为了能精确地控制每一个像素的颜色和亮度就需要在每一个像素之后安装一个类似百叶窗的半导体开关，以此做到完全的单独的控制一个像素点，液晶材料被夹在 TFT 玻璃层和颜色过滤层之间，通过改变刺激液晶的电压值就可以控制最后出现的光线强度与色彩

TFT-LCD 技术是微电子技术与液晶显示器技术巧妙结合的一种技术。人们将在硅片上进行微电子精细加工的技术，移植到在大面积玻璃上进行 TFT 阵列的加工，再将该阵列基板与另一片带彩色滤色膜的基板，利用已成熟的 LCD 技术，形成一个液晶盒，将两种技术相结合，再经过后工序如偏光片贴覆等过程，最后形成液晶显示器。

**2 RGB 接口 TFT-LCD 时序**

HV 同步模式下，图像的显示只需要行同步信号(hsync)和场同步信号(vsync)来确定显示时序。此时，RGB 接口的 TFT-LCD 液晶显示屏的显示时序和 VGA 时序标准类似。



如图所示，图中 RGB 代表图像信息，HSync 表示行同步信号，HSync 自上一个

上升沿起到下一个上升沿止为一个完整周期，我们称之为行扫描周期，一个完整的行扫描周期，包含 4 部分：同步、后沿、有效图像、前沿，基本单位为 pixel，即一个像素时钟周期。在一个完整的行扫描周期中，RGB 图像信息在 HSync 行同步信号的同步下完成一行图像的显示，RGB 图像信息在有效图像阶段，图像信息有效，其他阶段图像信息无效；HSync 行同步信号在同步阶段，维持高电平，其他阶段均保持低电平，在下一个行扫描周期的同步阶段，HSync 行扫描信号拉高，其他阶段拉低，周而复始。



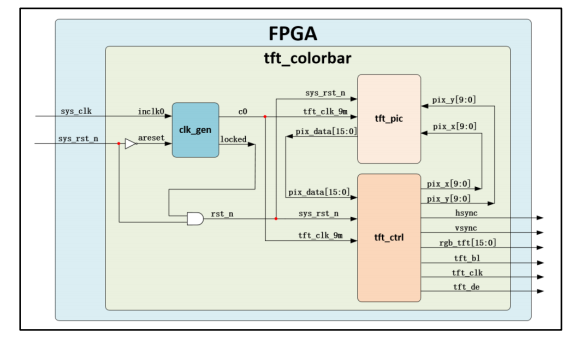
如图所示，图中 RGB 代表图像信息，VSync 表示场同步信号，VSync 自上一个上升沿起到下一个上升沿止为一个完整周期，我们称之为场扫描周期，一个完整的行扫描周期，包含 4 部分：同步、后沿、有效图像、前沿，基本单位为一个完整的行扫描周期。在一个完整的行扫描周期中，RGB 图像信息在 VSync 行同步信号的同步下完成一帧图像的显示，RGB 图像信息在有效图像阶段，图像信息有效，其他阶段图像信息无效；VSync 行同步信号在同步阶段，维持高电平，其他阶段均保持低电平，在下一个行扫描周期的同步阶段，VSync 行扫描信号拉高，其他阶段拉低，周而复始。

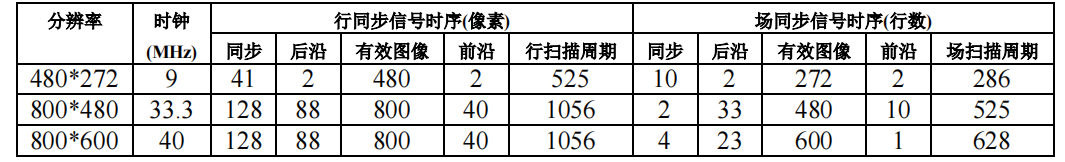
将行、场同步时序相结合，构成 RGB 接口 TFT-LCD 时序图。

**3.取模软件PCTOLCD**

取模1234567890，ppm Ω JLU GAS SENSOR LA

**4.程序设计**



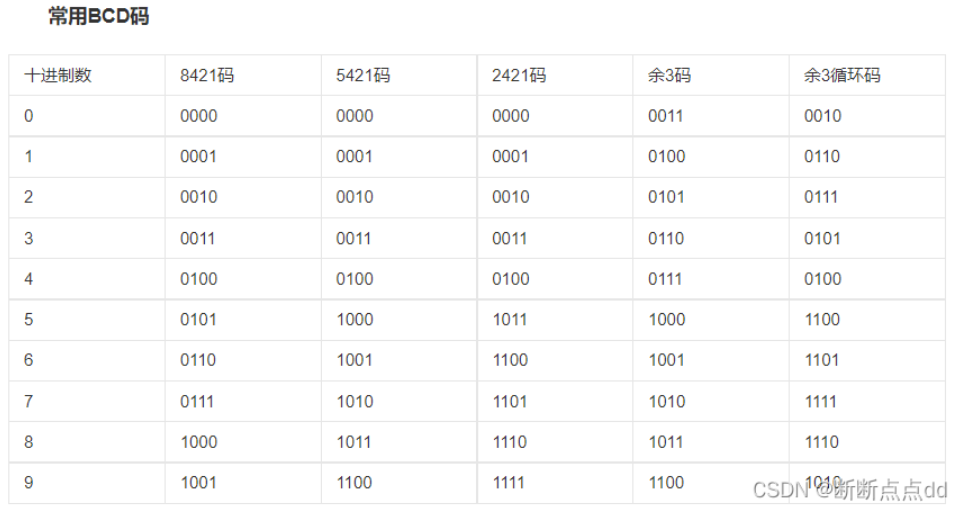


**固定字符显示**

**Ad数字显示**

**1.BCD2TO10**

BCD码（Binary-Coded Decimal‎），利用四个2进制位储存一个10进制的数，如下表所示。本文所讨论的问题均以8421BCD码为例，十进制的0~9分别用0000~1001来表示。十进制数23，可表示为0010\_0011，十进制数129，可表示为0001\_0010\_1001。即分别对个位、十位、百位求对应的BCD码。



先根据输入不同位数的二进制数，求对应的BCD码

假设输入1位二进制数1，则对应的BCD码为0001，对应十进制1；

若输入2位二进制数11，则BCD码为0011，对应十进制3；

若输入3位二进制数111，则BCD码为0111，对应十进制7；

若输入4位二进制数1110，那么问题来了，BCD码范围在0000~1001之间，只能表示十进制数0~9，而1110对应的十进制数为14！理应转换为0001\_0100才对！那怎么才能转换成0001\_0100呢？

先看看以下的分析：

1110（十进制14，BCD码需要表示十位和个位）是111（十进制7）左移一位的结果，其大小等于二倍的111，同理：

1100（十进制12，BCD码需要表示十位和个位）是110（十进制6）左移一位的结果，其大小等于二倍的110，

1010（十进制10，BCD码需要表示十位和个位）是101（十进制5）左移一位的结果，其大小等于二倍的101，

1000（十进制8，BCD码只需要表示个位）是100（十进制4）左移一位的结果，其大小等于二倍的100，

可见当二进制数 ≥5 （或 > 4 ）的时候，左移以后就 ≥ 10，对应的BCD码就需要表示个位和十位了，那么对于一个四位的二进制数，先输入的高3位在 ≥5 （或 > 4 ）的时候，要对它们处理一下，使得最低位输入进来后，表示十位的BCD码为0001。

**加3移位法**

例1：

依然设输入的二进制数为4位，表示为abcd，

在最低位输入前，如果高3位的 abc ≥ 5 （或 abc > 4 ），则对其加上3（即011），最低位d输入后，加过3的高3位就左移了一位.

这相当于（abc + 011）\*2+d，即abc\*2 + 6 + d，红字的部分就直接 ≥ 16 了，进一位！此时表示十位的BCD码为0001。

还是以输入为4位二进制数1110为例：

送入最高位得到1，

送入第二位得到1

送入第三位得到111 > 100，在111基础上进行修正，即111 + 011 = 1010，

在修正的结果上送入第四位得到10100，即0001\_0100即为1110的BCD码（十进制14）。

例2：

再以输入为8位二进制数10100101（十进制165）为例，8位二进制数表示范围为0~255，BCD码需要表示百位、十位、个位：

送入最高位1；

送入第二位0得到10；

送入第三位1得到101 ，因为101 > 100，修正：101 + 011 = 1000；

送入第四位0得到1\_0000；

送入第五位0得到10\_0000；

送入第六位1得到100\_0001；

送入第七位0得到1000\_0010，1000 > 100，修正：1000 + 011 = 1011；

送入第八位1得到1\_0110\_0101，得到输出结果为0001\_0110\_0101（十进制165）。

下面开始写作业了~

二进制转BCD码逻辑

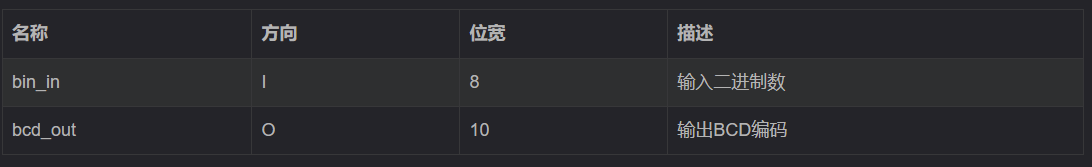
设计一个8位无符号二进制数（取值范围0 ~ 255）到10位BCD码的转换组合逻辑电路。其中10位BCD码定义如下：



输入8'b10100101（十进制165），输出10'b01\_0110\_0101；

输入8'b11110000（十进制240），输出10'b10\_0100\_0000.

模块输入输出功能定义：



设计要求：

Verilog实现代码可综合，逻辑延迟越小越好，给出仿真结果。

**Ad图像显示**

**四、阵列**

1.adc选型

2.原理

3.代码